Semnan University

Journal of Modeling in Engineering

Journal homepage: https://modelling.semnan.ac.ir/

ISSN: 2783-2538



Research Article

Designing a 4x4 Wallace Tree Multiplier Circuit Using Reversible Logic In QCA Technology

Milad Arabali [a] , Mehdi Bagherizadeh [b,*]

[a] *Department of Computer Engineering, SR.C., Islamic Azad University, Tehran, Iran*
[b] *Department of Computer Engineering, Raf.C., Islamic Azad University, Rafsanjan, Iran*

PAPER INFO

Paper history:

Received: 2024-06-05
Revised: 2025-10-30
Accepted: 2025-11-03

Keywords:

Quantum cellular automata;
Nanotechnology;
Full adder;
Multiplier;
Reversible logic.

ABSTRACT

Quantum-dot Cellular Automata (QCA) technology, due to its unique structure, ultra-low power consumption, and high operating speed, has emerged as a promising alternative to semiconductor transistors. This research aims to design and implement a reversible 4×4 Wallace tree multiplier with optimized propagation delay, speed, and hardware resource usage. In this regard, a reversible 4:2 compressor along with reversible half and full adders within the QCA technology were employed. The proposed design was simulated using the QCA Designer tool, demonstrating that the multiplier consists of approximately 50 quantum cells, with a latency of four clock phases and an approximate area of 0.15 μm². Compared to previous designs, it achieves nearly 20% improvement in speed and approximately 30% reduction in power consumption. The key innovation lies in the use of reversible logic and a 4:2 compressor to reduce delay and energy consumption while maintaining high multiplier performance in QCA technology, thereby achieving an optimal balance among speed, power consumption, and circuit area.

DOI: https://doi.org/10.22075/jme.2025.34348.2679

© 2026 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

*** Corresponding author.**
E-mail address: m.bagherizadeh@srbiau.ac.ir

How to cite this article:
Arabali, M. & Bagherizadeh, M., "Designing a 4x4 Wallace tree multiplier circuit using reversible logic in QCA technology." Journal of Modeling in Engineering, 24 86 (2026): 17–30, doi: 10.22075/jme.2025.34348.2679

مقاله پژوهشی

طراحی مدار ضرب‌کننده درخت والاس ۴*۴ با استفاده از منطق برگشت‌پذیر در فناوری آتوماتای سلولی کوانتومی

میلادعربعلی[۱]، مهدی باقری‌زاده[۲،*]

اطلاعات مقاله

دریافت مقاله: ۱۴۰۳/۰۳/۱۶
بازنگری مقاله: ۱۴۰۴/۰۸/۰۸
پذیرش مقاله: ۱۴۰۴/۰۸/۱۲

واژگان کلیدی:
آتوماتای سلولی کوانتومی،
فناوری نانو،
تمام جمع‌کننده،
ضرب‌کننده،
منطق برگشت‌پذیر.

چکیده

فناوری آتوماتای سلولی کوانتومی (QCA) به دلیل ساختار منحصر به‌فرد، مصرف انرژی بسیار کم و سرعت بالای عملکرد، جایگزینی امیدبخش برای ترانزیستورهای نیمه‌هادی محسوب می‌شود. هدف از این مقاله، طراحی و پیاده‌سازی یک ضرب‌کننده ۴×۴ درخت والاس برگشت‌پذیر با بهینه‌سازی تأخیر انتشار، سرعت و مصرف منابع سخت‌افزاری است. در این راستا، از کمپرسور ۴:۲ برگشت‌پذیر همراه با جمع‌کننده‌های نیمه و تمام برگشت‌پذیر در فناوری QCA استفاده شده است. طرح پیشنهادی با ابزار QCA Designer شبیه‌سازی شده است. نتایج شبیه‌سازی نشان داده که این ضرب‌کننده از حدود ۵۰ سلول کوانتومی تشکیل شده و دارای تأخیر چهار فاز کلاک و مساحت تقریبی ۰.۱۵ میکرومتر مربع است. همچنین در مقایسه با طراحی‌های پیشین بهبود سرعت حدود ۲۰٪ و کاهش مصرف توان نزدیک به ۳۰٪ حاصل شده است. نوآوری اصلی این کار در استفاده از منطق برگشت‌پذیر و کمپرسور ۴:۲ به منظور کاهش تأخیر و مصرف انرژی با حفظ کیفیت عملکرد ضرب‌کننده در فناوری QCA می‌باشد که تعادلی بهینه میان سرعت، مصرف توان، و مساحت مدار ایجاد کرده است.

DOI: https://doi.org/10.22075/jme.2025.34348.2679

© 2026 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

۱- مقدمه

آتوماتای سلولی کوانتومی[۳]، به‌عنوان یک مدل نوین محاسباتی در مقیاس نانو، بر مبنای اصول فیزیکی خاص خود مانند اثرات کوانتومی و یکپارچگی محاسباتی، به‌منظور انجام محاسبات کارآمد در مقیاس نانو به کار می‌رود. این فناوری از مزایای زیادی برخوردار است که از جمله آن‌ها می‌توان به نبود اتصال داخلی، فرکانس ساعت بالا در حدود تراهرتز و عدم نیاز به حرکت الکترون‌ها یا انتقال جریان اشاره کرد. این ویژگی‌ها باعث می‌شوند که QCA قابلیت انجام محاسبات با مصرف انرژی پایین را داشته باشد.

یکی از ویژگی‌های برجسته آتوماتای سلولی کوانتومی این است که می‌تواند مداراتی ایجاد کند که پردازش و حافظه را به‌طور یکپارچه به هم متصل می‌سازد. این ویژگی موجب می‌شود که سیستم‌های ساخته‌شده با این فناوری هم از نظر سرعت محاسباتی قدرتمندتر و هم از لحاظ مصرف انرژی کارآمدتر عمل کنند. این امر امکان طراحی و پیاده‌سازی سیستم‌های خاص‌منظوره با بهینه‌سازی‌های بیشتر را فراهم می‌آورد.

در دنیای امروز، نیاز به مدارات محاسباتی در مقیاس نانو بیش از پیش احساس می‌شود. فناوری‌های متعددی مانند

* پست الکترونیک نویسنده مسئول: m.bagherizadeh@srbiau.ac.ir
۱. گروه مهندسی کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
۲. گروه مهندسی کامپیوتر، واحد رفسنجان، دانشگاه آزاد اسلامی، رفسنجان، ایران

[3] Quantum-dot cellular automata

استناد به این مقاله:
عربعلی، میلاد و باقری زاده، مهدی، "طراحی مدار ضرب‌کننده درخت والاس ۴*۴ با استفاده از منطق برگشت‌پذیر در فناوری آتوماتای سلولی کوانتومی." مدل سازی در مهندسی، ۲۴ ۸۶ (۱۴۰۵): ۱۷-۳۰، doi: 10.22075/jme.2025.34348.2679

دیودهای تونلی تشدیدشده[۴] ، ترانزیستورهای اثر میدان نانو لوله‌های کربنی[۵] ، آتوماتای کوانتومی سلولی نقطه‌ای[۶] و سایر نوآوری‌ها برای حل چالش‌های پیش‌روی طراحی مدارها در مقیاس نانو به‌وجود آمده‌اند. استفاده از ویژگی‌های منحصر به فرد آتوماتای سلولی کوانتومی، نظیر مساحت کم، سرعت بالا و مصرف انرژی پایین، در طراحی مدارات محاسباتی به‌طور قابل توجهی باعث پیشرفت در این حوزه شده است [۱و۲].

در زمینه طراحی مدارهای محاسباتی ترتیبی، همچون شیفت‌دهنده‌ها، مقایسه‌کننده‌ها، جمع‌کننده‌ها، تقسیم‌کننده‌ها و ضرب‌کننده‌ها، تحقیقات گسترده‌ای انجام شده است. یکی از چالش‌های اصلی در این حوزه، بهبود مدارهای قبلی و ارائه طراحی‌های بهینه‌تر است. ضرب‌کننده‌ها، به‌عنوان یکی از مهم‌ترین واحدهای محاسباتی در سیستم‌های دیجیتال، با استفاده از تکنیک‌های مختلف از جمله دروازه‌های برگشت‌پذیر طراحی می‌شوند. طراحی یک ضرب‌کننده کارآمد باید ویژگی‌هایی چون کوچک بودن، سرعت بالا و مصرف انرژی کم را داشته باشد. یکی از نگرانی‌های اصلی در طراحی این نوع مدارها، گرمای بیش از حد و اتلاف انرژی است. در این راستا، استفاده از الگوریتم‌ها و مدارات برگشت‌پذیر که ویژگی بازیابی آسان ورودی‌ها با تغییر تنها یک بیت در خروجی را دارا هستند، به‌عنوان یک راهکار مؤثر مطرح می‌شود. این دروازه‌ها به دلیل تولید حرارت بسیار کم، نقش مهمی در کاهش مصرف انرژی و بهینه‌سازی طراحی مدارها دارند.

در مقایسه با فناوری‌های سنتی مانند CMOS[۷] ، فناوری آتوماتای سلولی کوانتومی از مصرف انرژی کمتری برخوردار است و چگالی بالاتری دارد. این فناوری همچنین به روش‌های منحصر به فردی مانند پردازش در سیم و حافظه در حرکت تکیه دارد که به‌طور مؤثری به طراحی جمع‌کننده‌های کامل[۸] با سرعت بالا و مساحت کم کمک می‌کند [۵].

یکی از مشکلات اساسی در توسعه سیستم‌های محاسباتی مدرن، اتلاف توان در مدارها است. یکی از راهکارهای مطرح در این زمینه استفاده از محاسبات برگشت‌پذیر[۹] است که به‌طور مستقیم ارتباطی میان اتلاف اطلاعات و اتلاف انرژی برقرار می‌کند. به‌طور کلی، در این نوع محاسبات، با جلوگیری از اتلاف اطلاعات، مصرف انرژی کاهش می‌یابد [۶]. ابزارهای مورد نیاز برای پیاده‌سازی فیزیکی این نوع محاسبات همچنان در حال بررسی و توسعه هستند و تحقیقات در خصوص معماری‌های مدار برگشت‌پذیر ضروری به نظر می‌رسد.

در این مقاله، هدف اصلی طراحی یک مدار ضرب‌کننده ۴*۴ والاس با استفاده از منطق برگشت‌پذیر در فناوری آتوماتای سلولی کوانتومی است. در این زمینه، انواع دروازه‌های برگشت‌پذیر به‌عنوان واحدهای پایه در طراحی واحدهای محاسباتی معرفی می‌شوند و جمع‌کننده‌های برگشت‌پذیر و برگشت‌ناپذیر در فناوری آتوماتای سلولی کوانتومی برای طراحی ضرب‌کننده‌ها به‌طور کامل بررسی خواهند شد.

کمپرسورها به دلیل تأخیر کمتر در حمل و انتشار، عملکرد بهتری در عمل ضرب دارند. اصل هر عملیات ضرب در نحوه تولید محصولات جزئی و جمع کارآمد آن‌ها برای محاسبه محصول نهایی نهفته است. در این مقاله از گیت PFAG در کمپرسورهای ۴:۲ و ضرب‌کننده‌های والاس برای افزایش سرعت فرآیند ضرب با کاهش تأخیر انتشار استفاده شده است.

مزیت، بهبود و نوآوری این مقاله در زیر خلاصه شده است:

- استفاده از کمپرسور ۴:۲ برگشت‌پذیر با گیت PFAG برای کاهش تأخیر انتشار و بهبود سرعت ضرب‌کننده درخت والاس.
- بهینه‌سازی ترکیب جمع‌کننده‌های برگشت‌پذیر در ساختار ضرب‌کننده برای کاهش مصرف توان و تأخیر.
- پیاده‌سازی در فناوری آتوماتای سلولی کوانتومی که دارای مزایای قابل توجهی نسبت به CMOS است (مصرف پایین انرژی، مساحت کوچک، سرعت بالا).
- طراحی بسیار کم هزینه از نظر تعداد سلول‌ها و مساحت توسط استفاده از منطق برگشت‌پذیر و کمپرسور ۴:۲ در ضرب‌کننده والاس.

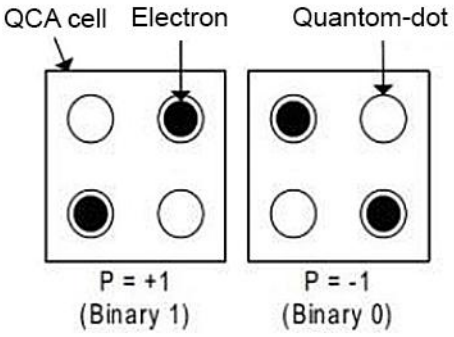
در ادامه، در بخش ۲ به بررسی آتوماتای سلولی کوانتومی پرداخته خواهد شد. در بخش ۳، مدارات ضرب‌کننده والاس

[4] Resonant-tunneling diode
[5] Carbon nanotube field-effect transistor
[6] Full adder
[7] Complementary metal oxide semiconductor
[8] Full Adder
[9] Reversible

و همچنین ساختارهای مختلف ضرب‌کننده والاس همراه با جمع‌کننده کامل و نیم‌جمع‌کننده که در مقالات مختلف طراحی شده‌اند، مرور می‌شوند. در بخش ۴، به ساختار مدار ضرب‌کننده والاس ۴*۴ با استفاده از کمپرسور ۴:۲ برگشت‌پذیر پیشنهادی پرداخته می‌شود. بخش ۵ به پیاده‌سازی مدار ضرب‌کننده درخت والاس ۴*۴ با استفاده از منطق برگشت‌پذیر در فناوری QCA اختصاص دارد. در نهایت، بخش ۶ به نتیجه‌گیری خواهد پرداخت.

۲- مبانی آتوماتای سلولی کوانتومی

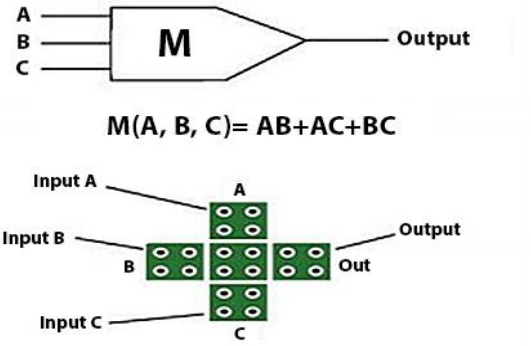
آتوماتای سلولی کوانتومی یک مدل نوین محاسباتی در مقیاس نانو است که اطلاعات باینری را به جای استفاده از سوئیچ‌های متداول، درون یک سلول ذخیره می‌کند. در این فناوری، هیچ‌گونه جریانی بین سلول‌ها وجود ندارد. دلیل این امر آن است که تعاملات کولمبی بین الکترون‌ها برای انجام محاسبات کافی است. این مدل یکی از راه‌حل‌های پیشنهادی برای انجام محاسبات در مقیاس نانو بدون استفاده از ترانزیستورهای متداول است.



شکل ۱- ساختار سلول QCA در حالت استاندارد

براساس دافعه کولمبی، الکترون‌ها دو گوشه مقابل سلول را اشغال می‌کنند. در شکل (۱) مشاهده می‌شود که الکترون‌ها به صورت اُریب در سلول قرار می‌گیرند که معادل مقادیر باینری ۱ و ۰ می‌باشند. این فرم به‌عنوان حالت نمایش استاندارد یا حالت ۳۱ درجه شناخته می‌شود.

سلول‌های کوانتومی واحدهای اساسی طراحی در فناوری QCA هستند. هر سلول از چهار نقطه کوانتومی تشکیل شده است و هر نقطه می‌تواند یک الکترون را در خود جای دهد. این الکترون‌ها در گوشه‌های سلول کوانتومی قرار می‌گیرند. به‌دلیل دافعه‌های کولمبی، الکترون‌ها تمایل دارند در گوشه‌های مخالف قرار گیرند و دو قطب را ایجاد کنند، همان‌طور که در شکل (۱) نشان داده شده است. در واقع، قطبش وضعیت سلول را تعیین می‌کند [۴]. اندازه سلول‌های کوانتومی، فاصله مرکز به مرکز بین سلول‌های همسایه به ترتیب ۱۸ نانومتر، ۵ نانومتر و ۲۰ نانومتر است. فناوری QCA از دو دروازه اصلی استفاده می‌کند که در بسیاری از طراحی‌ها به‌کار می‌روند: معکوس‌کننده و گیت اکثریت[۱۰]. طراحی این گیت‌ها به‌طور خاص بر اساس ساختارهای مقاومتی و قابل اعتماد است. همان‌طور که در شکل (۲) نشان داده شده است، طراحی مقاوم این گیت‌ها بسیار پایدار و قابل اعتماد است. بلوک ساختاری پایه در منطق QCA، گیت اکثریت است که در شکل (۲) مشاهده می‌شود. عملکرد گیت اکثریت[۱۰] زمانی به درستی انجام می‌شود که الکترون‌ها در یک فاز کلاک یکسان به گیت اکثریت برسند [۱۳].



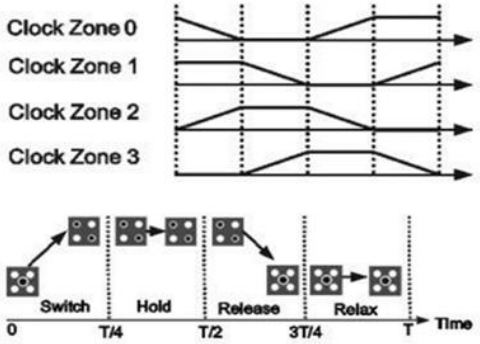
شکل۲- ساختار گیت اگثریت در حالت استاندارد

۲-۱-کلاکینگ در آتوماتای سلولی کوانتومی

بر خلاف مدارهای ترانزیستور اثر میدان جریان[۱۱] ، مدارات QCA هیچ گونه مسیر از پیش تعریف شده‌ای از جهت جریان یا الکترون‌ها ندارند، در یک مدار QCA اطلاعات تمایل دارند که در تمام جهات منتشر شوند. بنابراین کلاکینگ نقش بسیار مهمی در همگام سازی و انتشار جریان در یک جهت خاص، بازی می‌کند.

مدارات آتوماتای سلولی کوانتومی معمولاً از یک سیستم کلاک چهار فازی استفاده می‌کنند که در شکل (۳) نشان داده شده‌است. این سیستم کلاک می‌تواند به عنوان یک پمپ پیوسته در نظر گرفته‌شود که داده‌ها را به‌طور مرتب پمپاژ می‌کند. به همین دلیل، می‌توان نتیجه گرفت که مدارات QCA ذاتاً سیستم‌های خط‌لوله‌ای[۱۲] هستند.

[10] Majority Gate
[11] Field Effect Transistor
[12] Pipelined

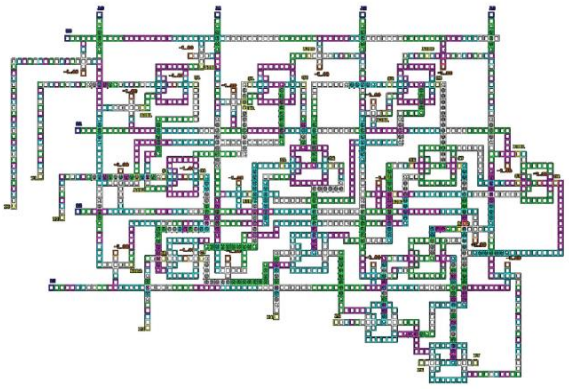


شکل ۳- شکل چهار فاز مختلف یک کلاک

یک کلاک QCA شامل چهار مختلف در تونل‌زنی موانع موجود در سلول‌ها است. در فاز اول (فاز تعویض[۱۳])، موانع تونل‌زنی شروع به بالا آمدن می‌کنند.
در فاز دوم (فاز نگهداری[۱۴])، زمانی که موانع به اندازه کافی بالا می‌آیند، الکترون‌ها از تونل‌زنی ممانعت می‌کنند. فاز سوم (فاز انتشار[۱۵]) زمانی رخ می‌دهد که موانع شروع به پایین آمدن می‌کنند. نهایتاً، در فاز چهارم (فاز استراحت[۱۶])، موانع تونل‌زنی اجازه می‌دهند که الکترون‌ها مجدداً به طور آزادانه حرکت کنند. به عبارت ساده، زمانی که سیگنال کلاک بالا است، الکترون‌ها قادر به انجام حرکت تونلی هستند.

۳- مروری برکارهای گذشته (مقالات پیشین)

در این بخش به بررسی مدارات ضرب کننده والاس و همچنین ساختار ضرب‌کننده والاس با جمع‌کننده‌کامل و نیم‌جمع‌کننده پرداخته خواهد شد.
در مقاله [۷]، آتوماتای سلولی نقطه کوانتومی، روند نوظهور در فناوری نانو که راه حلی عالی برای مشکلات ناشی از فناوری سنتی CMOS است و برای توسعه طراحی مدار مجتمع با کارایی بالا و توان کم مناسب است، مطرح کرده است. یک ضرب‌کننده درخت والاس ۴ * ۴ با استفاده از FA پیشنهادی طراحی‌شده است که نتایج بهتری در مقایسه با سیستم های موجود می دهد. در طرح پیشنهادی، ساختار ماتریسی برای کاهش پیچیدگی مدار ترجیح داده می‌شود. با توجه به این ساختار، ۳۱/۰۶ درصد کاهش اشغال مساحت و ۳۰/۷۵ درصد کاهش در تعداد کل سلول های استفاده شده وجود دارد.



شکل ۴- ضرب‌کننده موازی QCA بر اساس درخت والاس[۷]

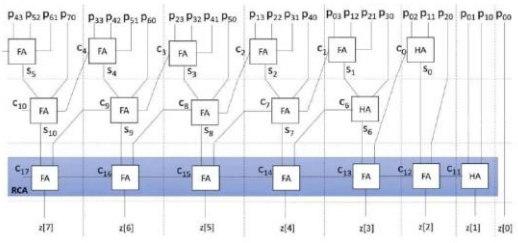
در مقاله [۱۵]، ضرب‌کننده درخت والاس یک معماری ضرب‌کننده با سرعت بالا است که برای کاهش تأخیر از یک ساختار درختی استفاده می‌کند. این معماری به‌ویژه در کاربردهایی که نیاز به عملیات ضرب سریع دارند، مانند پردازش سیگنال دیجیتال [۱۷] (DSP) و سیستم‌های [۱۸](VLSI) ، بسیار مفید است. در ضرب‌کننده والاس، محصولات جزئی[۱۹] ابتدا به‌صورت گروه‌هایی از سه محصول (۳:۲) با استفاده از جمع‌کننده‌های ذخیره برداشت[۲۰] کاهش می‌یابند. این فرآیند کاهش تا زمانی که فقط دو ردیف باقی بماند ادامه می‌یابد. در مرحله نهایی، این دو ردیف با استفاده از یک جمع‌کننده انتقال‌دهنده جمع شده و نتیجه نهایی حاصل می‌شود.
در ابتدا، محصولات جزئی با ضرب هر بیت از ضرب‌کننده با هر بیت از مضاعف‌کننده تولید می‌شوند. سپس این محصولات جزئی در گام‌های تکراری با استفاده از جمع‌کننده‌های ۳:۲ کاهش می‌یابند. این فرآیند برای کاهش تعداد محصولات تا دو ردیف ادامه پیدا می‌کند. در نهایت، دو ردیف کاهش یافته با استفاده از جمع‌کننده انتقال‌دهنده جمع می‌شوند تا نتیجه نهایی حاصل گردد.
ویژگی‌های اصلی ضرب‌کننده والاس شامل کاهش تأخیر به‌صورت لگاریتمی، عملیات موازی و کمترین تأخیر است. این ویژگی‌ها موجب می‌شود که ضرب‌کننده والاس برای سیستم‌هایی که نیاز به سرعت پردازش بالا دارند، مانند DSP و VLSI، انتخاب مناسبی باشد.

[13] Switch
[14] Hold
[15] Release
[16] Relax
[17] Digital Signal Processing
[18] Very Large Scale Integration
[19] Partial Products
[20] Carry Save Adder

در مقاله [۱۸]، طراحی و شبیه‌سازی یک ضرب‌کننده درخت والاس بررسی شده است. در این طراحی، ابتدا محصولات جزئی با ضرب هر بیت از یک عملوند با هر بیت از عملوند دیگر تولید می‌شوند. سپس این محصولات جزئی به‌طور موازی و با استفاده از نیم‌جمع‌کننده‌ها و جمع‌کننده‌های کامل به‌طور سلسله‌وار کاهش می‌یابند. هدف اصلی این طراحی، افزایش سرعت پردازش و کاهش تأخیر در عملیات ضرب است.

کاهش محصولات جزئی در چند مرحله انجام می‌شود؛ در هر مرحله، گروه‌های بیت‌ها جمع و کم می‌شوند تا زمانی که تنها دو بیت باقی بماند. در نهایت، یک جمع‌کننده انتقال‌دهنده برای تولید خروجی نهایی استفاده می‌شود. این ساختار موجب بهبود سرعت محاسبات و بهینه‌سازی استفاده از منابع می‌شود، به‌طوری که ضرب‌کننده درخت والاس برای سیستم‌های دیجیتال مدرن با نیاز به سرعت بالا و مدیریت کارآمد حمل، انتخابی مناسب است.

نتایج شبیه‌سازی نشان می‌دهد که ضرب‌کننده درخت والاس دقت بالاتری نسبت به ضرب‌کننده‌های تقریبی دارد و از لحاظ سرعت عملکرد نیز بهینه‌تر است. همچنین مقایسه‌ای بین ضرب‌کننده‌های درخت والاس و ضرب‌کننده‌های تقریبی انجام داده و نشان می‌دهد که اگرچه ضرب‌کننده‌های درخت والاس مصرف توان بیشتری دارند، اما دقت و سرعت بالاتری ارائه می‌دهند که آن را برای کاربردهای پیچیده و نیازمند محاسبات سریع، ایده‌آل می‌سازد. در مقاله، طراحی و پیاده‌سازی یک ضرب‌کننده درخت والاس با استفاده از Brent-Kung Adder و منطق معکوس برای بهبود عملکرد سرعت و کاهش مصرف انرژی ارائه شده است. ضرب‌کننده درخت والاس به دلیل ساختار درختی خود شناخته‌شده است و به کاهش تأخیر در عملیات ضرب کمک می‌کند.



شکل ۵- ضرب‌کننده درخت والاس[۲۰]

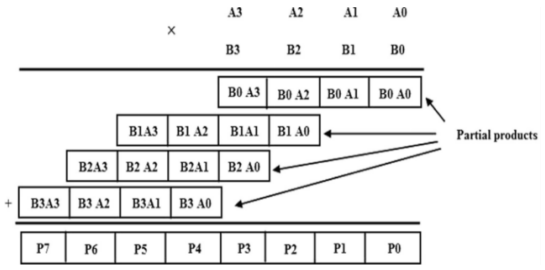
منطق معکوس در این طراحی به‌طور ویژه برای کاهش اتلاف انرژی به‌کار رفته است؛ زیرا این منطق قادر است اطلاعات ورودی را در طول محاسبات حفظ کرده و به این ترتیب تولید گرما را کاهش دهد. این ویژگی آن را به گزینه‌ای ایده‌آل برای کاربردهای کم‌مصرف تبدیل می‌کند. نتایج شبیه‌سازی‌ها نشان می‌دهد که این طراحی نسبت به معماری‌های سنتی، ۷۶٪ کاهش مصرف توان و ۵۱٪ کاهش در تأخیر زمانی دارد.

۳-۱- ضرب‌کننده ۴ بیتی درخت والاس

در این بخش، طراحی کارآمد ضرب ۴ بیتی مبتنی بر آتوماتای سلولی کوانتومی با استفاده از درخت والاس ارائه شده است. همانطور که در شکل (۶) نشان داده شده است، حاصل ضرب دو عدد ۴ بیتی :

$$A= (a3,a2,a1,a0)$$
$$B=(b3,b2,b1,b0) \quad (۱)$$

که منجر به ۱۶ محصول جزئی می‌شود. هر محصول جزئی توسط یک گیت AND تولید می‌شود که به‌وسیله یک گیت اکثریت سه‌ورودی (با در نظر گرفتن یکی از ورودی‌ها به‌عنوان "۰") پیاده‌سازی می‌شود. در مرحله دوم ضرب مبتنی بر درخت والاس، محصولات جزئی مشابه طبقه‌بندی شده و به جمع‌کننده‌های کامل[۲۱] وارد می‌شوند. در صورتی که دو محصول جزئی مقدار یکسانی داشته باشند، از نیم‌جمع‌کننده استفاده می‌شود. همچنین، اگر تنها یک محصول جزئی باقی بماند، مستقیماً به لایه بعدی منتقل می‌شود. در نهایت، دو گروه بیت حاصل از مرحله دوم به یک جمع‌کننده موجدار ۴ بیتی اضافه می‌گردند [۸].



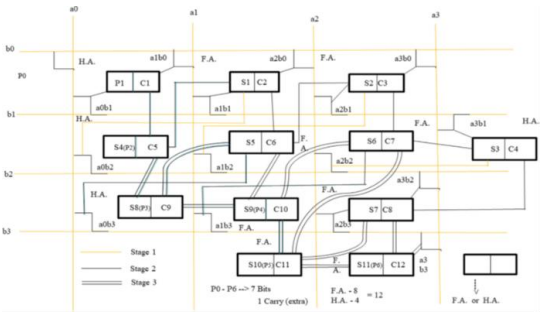
شکل ۶- محصول جزئی یک ضرب‌کننده ۴ بیتی[۸]

فرآیند ضرب دو عدد ۴ بیتی بر اساس تکنیک والاس در شکل (۶) نشان داده شده است. همانطور که در شکل مشاهده می‌شود، ضرب مبتنی بر والاس نیازمند پنج جمع‌کننده کامل، سه نیم‌جمع‌کننده و یک جمع‌کننده ۴ بیتی است. از آنجایی که پیاده‌سازی یک جمع‌کننده ریپل[۲۲]

[21] Full Adder

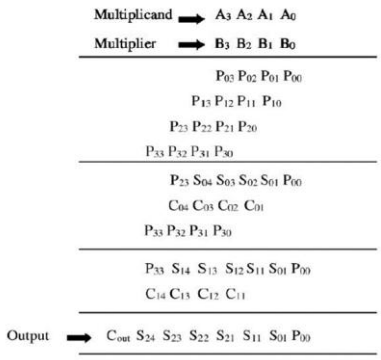
[22] Ripple

۴ بیتی با استفاده از یک نیم‌جمع‌کننده [۲۳] و سه تمام‌جمع‌کننده ممکن است، می‌توان ضرب‌کننده مبتنی بر والاس را با استفاده از هشت تمام‌جمع‌کننده و چهار نیم‌جمع‌کننده پیاده‌سازی کرد. شکل (۷) ورودی‌های اعمال شده به سیستم را نشان می‌دهد که به صورت عمودی و منظم در کنار یکدیگر قرار دارند و ساختاری مشابه ماتریس را تشکیل می‌دهند. ضرب‌کننده والاس پیشنهادی به راحتی قابل تعمیم برای طراحی ضرب‌کننده‌های ۸ بیتی، ۱۶ بیتی و n بیتی است [۸].



شکل ۷- بلوک دیاگرام ۴* ۴ ضرب درخت والاس[۸]

استفاده از یک جمع‌کننده مناسب در فناوری QCA می‌تواند به اجرای مؤثر ضرب‌کننده والاس کمک کند. تأخیر پایین و ساختار منظم از ویژگی‌های برجسته این جمع‌کننده است. به همین دلیل، به‌کارگیری این جمع‌کننده کامل در طرح‌های مختلف موجب کاهش مجموع تأخیر و مساحت اشغال‌شده خواهد شد.

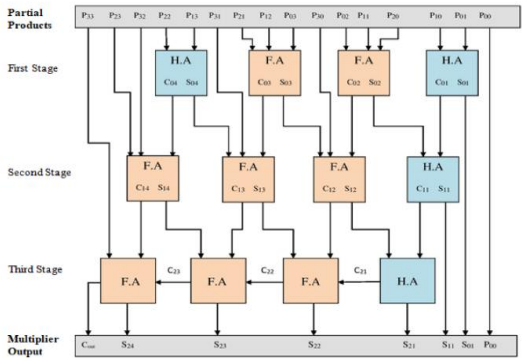


شکل ۸- ضرب‌کننده درخت والاس ۴*۴ [۹]

۳-۲- ضرب‌کننده درخت والاس ۴*۴ با استفاده از جمع‌کننده کامل و نیم‌جمع‌کننده

در مرحله اول، محصولات جزئی حاصل از ضرب هر بیت از ورودی‌ها به دست می‌آید. سپس، در مرحله بعد، گروه‌های سه‌تایی از این محصولات با استفاده از جمع‌کننده‌های نیم‌جمع‌کننده و جمع‌کننده‌های کامل ترکیب می‌شوند. در اینجا، برای گروه‌هایی که دو بیت دارند از نیم‌جمع‌کننده استفاده شده و برای گروه‌هایی که سه بیت دارند، جمع‌کننده کامل مورد استفاده قرار می‌گیرد [۹].

در مرحله نهایی، دو ردیف باقی‌مانده به هم اضافه می‌شوند تا حاصل ضرب نهایی به دست آید. استفاده از جمع‌کننده‌های کامل و نیم‌جمع‌کننده در این طراحی باعث کاهش تعداد گیت‌ها و کاهش مصرف توان در طراحی ضرب‌کننده ۴ بیتی می‌شود. این فرآیند همچنین در افزایش سرعت و کاهش تاخیر در طراحی‌های مبتنی بر فناوری آتوماتای سلولی کوانتومی تاثیرگذار است. پس از اتمام هر سه مرحله، خروجی ۸ بیتی را دریافت می کنیم که در شکل (۹) نشان داده شده است [۹].



شکل ۹- ضرب درخت والاس با استفاده از جمع‌کننده کامل و نیم‌جمع‌کننده[۹]

۴- ساختار مدار ضرب‌کننده والاس ۴*۴ با استفاده از کمپرسور ۴:۲ برگشت‌پذیر پیشنهادی

در این بخش، طراحی یک مدار ضرب‌کننده ۴*۴ والاس با استفاده از کمپرسور ۴:۲ برگشت‌پذیر بررسی خواهد شد. عملگر جمع، مهم‌ترین عملگر ریاضی است و سایر عملگرهای محاسباتی مانند ضرب و تقسیم از آن به دست می‌آیند. جمع‌کننده به عنوان واحد پایه در بسیاری از مدارهای محاسباتی و منطقی استفاده می‌شود. به‌طور کلی، استفاده از یک جمع‌کننده بهینه می‌تواند عملکرد و کارایی مدارهای محاسباتی را به‌طور قابل توجهی بهبود بخشد.

در پیاده‌سازی ضرب‌کننده والاس، تولید محصولات جزئی با کمترین تأخیر در هر مرحله، سرعت عملکرد ضرب‌کننده را افزایش می‌دهد. مدار الکترونیکی ضرب‌کننده والاس با استفاده از کمپرسورهای ۷:۲ و ۴:۲ برگشت‌پذیر طراحی

[23] half Adder

می‌شود تا امکان اجرای سریع و دقیق ضرب‌کننده‌های درخت والاس فراهم شود. علاوه بر این، استفاده از منطق برگشت‌پذیر و محاسبات کوانتومی در این مدارها، به‌منظور بهبود عملکرد ضرب‌کننده‌ها بررسی می‌شود.

جمع‌کننده‌های کامل به‌عنوان بلوک‌های ساختمان اصلی کتابخانه‌های پایه شناخته می‌شوند که سه بیت باینری را جمع کرده و مجموع و رقم نقلی را تولید می‌کنند. منطق جمع‌کننده‌های کامل به‌گونه‌ای طراحی شده که می‌تواند ورودی‌های ۸ بیتی را دریافت کرده و به‌صورت آبشاری انتقال‌ها را از یک جمع‌کننده به جمع‌کننده دیگر منتقل کند. تابع منطقی جمع‌کننده کامل به صورت زیر است:

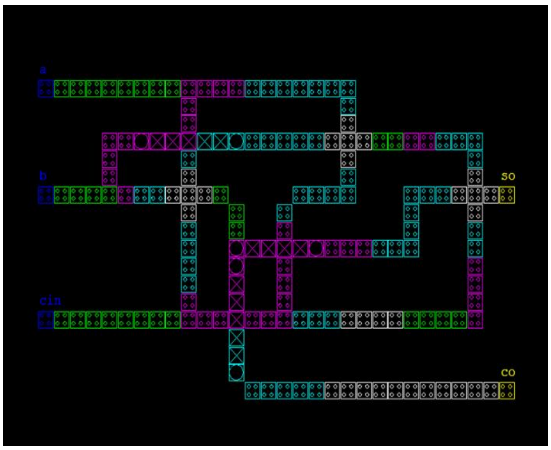
$$\text{Sum} = a \text{ xor } b \text{ xor } cin$$
$$\text{Carry} = a.b + b.cin + cin.a \quad (۲)$$

در فناوری QCA ، برای ایجاد یک جمع‌کننده، می‌توان از گیت رأی اکثریت و معکوس‌کننده‌ها استفاده کرد که به شکل زیر عمل می‌کنند:

$$\text{Carry} = \text{Majority}(a, b, cin)$$
$$\text{Sum} = \text{Majority}(\text{carry}\ ', c, \text{Majority}(a, b, c)) \quad (۳)$$

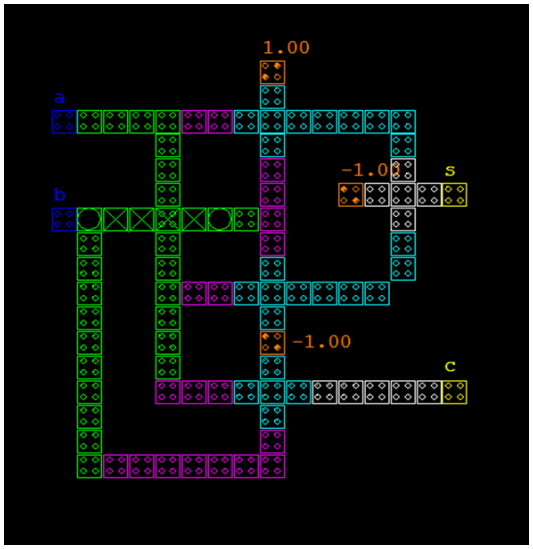
جمع‌کننده کامل روی سه ورودی برای تولید مجموع و خروجی عمل می‌کند. در برخی موارد، ممکن است مداری نیاز باشد که تنها دو بیت ورودی را جمع کرده و مجموع و رقم نقلی را تولید کند. منطق ترکیبی مفهومی است که در آن چند حالت ورودی برای تولید یک یا چند حالت خروجی مورد استفاده قرار می‌گیرد. طراحی یک جمع‌کننده کامل، ابتدا نیازمند ساخت یک جدول صدق است که مقادیر مختلف ورودی و خروجی را برای تمامی حالات ممکن نمایش می‌دهد. هشت حالت مختلف برای سه ورودی وجود دارد و برای هر حالت مقادیر خروجی مورد نظر ذکر می‌شود. به‌عنوان مثال، در حالت‌هایی مانند A=T، B=F، Cin=T، جمع‌کننده کامل باید این سه بیت را جمع کند و مجموع و حمل (Carry) مورد نظر را تولید کند.

در فناوری QCA ، کاهش اندازه اجزا باعث افزایش بازدهی می‌شود، برخلاف CMOS که کاهش ابعاد باعث کاهش بازدهی می‌شود. در این بخش قصد داریم یک مدار جمع‌کننده کامل را که یکی از مدارات اساسی در محاسبات و کامپیوترها است، در QCA طراحی و ارائه دهیم.



شکل ۱۰- مدار تمام جمع‌کننده در QCA

جمع‌کننده کامل روی سه ورودی عمل کرده و یک مجموع و یک خروجی حمل تولید می‌کند. در مقابل، در برخی موارد مداری مورد نیاز است که تنها دو بیت ورودی را جمع کند و حاصل آن یک مجموع و یک خروجی حمل باشد. چنین مداری به‌عنوان نیم‌جمع‌کننده شناخته می‌شود و یکی از واحدهای پایه در طراحی مدارهای منطقی و محاسبات دیجیتال محسوب می‌گردد. در فناوری QCA، همان‌طور که پیش‌تر اشاره شد، هرچه اندازه اجزا کاهش یابد، بازدهی مدار افزایش پیدا می‌کند؛ بر خلاف فناوری CMOS که کاهش ابعاد موجب افت بازدهی می‌شود. بر این اساس، در این بخش به طراحی و ارائه یک مدار نیم‌جمع‌کننده در QCA می‌پردازیم که می‌تواند به‌عنوان یکی از اجزای اساسی در پیاده‌سازی مدارهای محاسباتی و رایانه‌ای مورد استفاده قرار گیرد.

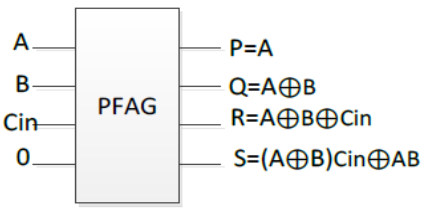


شکل ۱۱- مدار تمام جمع‌کننده در QCA

۴-۱- گیت PFAG[۲۴] استفاده شده در مدار ضرب‌کننده والاس

ضرب‌کننده یکی از سلول‌های پایه در واحدهای محاسباتی کامپیوتر محسوب می‌شود. پیاده‌سازی برگشت‌پذیر این واحد در طراحی کامپیوترهای کوانتومی اهمیت ویژه‌ای دارد. طراحی پیشرفته ضرب‌کننده معمولاً بر پایه گیت‌های مشابه (مانند گیت پیرس) انجام می‌شود، زیرا این روش پیاده‌سازی ساده‌تری دارد. استفاده از دروازه‌های پیرس در بخش تولید حاصل‌ضرب‌های جزئی، هزینه کوانتومی را بدون نیاز به دروازه‌های کپی کاهش می‌دهد. علاوه بر این، به‌کارگیری روش جمع‌کننده ذخیره نقلی در بخش جمع‌کننده موازی برگشت‌پذیر، موجب کاهش عمق مدار می‌شود.

همان‌طور که اشاره شد، یک مدار ضرب‌کننده برگشت‌پذیر ۴*۴ شامل دو بخش اصلی است: تولید حاصل‌ضرب‌های جزئی و جمع‌کننده موازی. هدف از این طراحی، ارائه‌ی ضرب‌کننده‌ای برگشت‌پذیر با بهبود پارامترهای کوانتومی و در عین حال حفظ کارایی است. سلول پایه در مدار ضرب‌کننده برگشت‌پذیر، تمام‌جمع‌کننده‌ی برگشت‌پذیر است که سه بیت و یک ورودی ثابت را دریافت می‌کند. در این ساختار از گیت PFAG به‌عنوان تمام‌جمع‌کننده برگشت‌پذیر استفاده شده است. گیت برگشت‌پذیر PFAG (با پیکربندی ۴*۴) دارای چهار ورودی و چهار خروجی است و بین ورودی‌ها و خروجی‌ها یک تناظر یک‌به‌یک برقرار می‌باشد. این تمام جمع‌کننده پیشنهادی فقط از یک دروازه منطقی استفاده کرده است. دو خروجی اضافه تولید کرده است و تنها یک ورودی ثابت نیاز دارد. کل محاسبات منطقی در تمام جمع‌کننده برگشت‌پذیر T=5 α+2 β است. هزینه کوانتومی اش هشت است.



شکل ۱۲- دیاگرام کمپرسور ۴:۲ برگشت‌پذیر با استفاده از گیت PFAG

۴-۲- کمپرسور برگشت‌پذیر ۴:۲ پیشنهادی

در هر معماری پردازش، توان محاسباتی به عملکرد ضرب وابسته است. از سوی دیگر، طراحی‌های کم‌مصرف به‌عنوان یک نیاز اساسی در پردازنده‌های نسل بعدی مطرح هستند. منطق برگشت‌پذیر به‌عنوان یکی از فناوری‌های نوظهور و کم‌مصرف آینده، جایگاه ویژه‌ای یافته است. در صورتی که انتقال داده با سرعت بیشتری انجام شود، می‌توان به ضرب با کارایی بالا و تأخیر کمتر دست یافت.

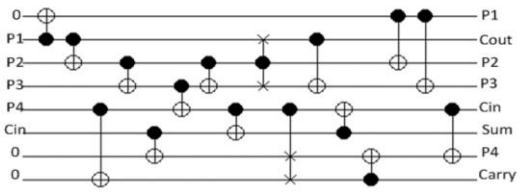
کمپرسورهای دیجیتال به دلیل تاخیر کمتر در انتشار و حمل، نقش مهمی در این زمینه ایفا می‌کنند.

اساس هر ضرب نیز در تولید کارآمد حاصل‌ضرب‌های جزئی و جمع دقیق آن‌ها برای دستیابی به نتیجه نهایی نهفته است. در این پژوهش، از کمپرسورهای ۴:۲ در معماری ضرب‌کننده والاس استفاده شده است تا با کاهش تأخیر انتشار، سرعت عملیات ضرب بهبود یابد.

$$
\begin{aligned}
&(1)\ p1+p2+p3+p4+cin = sum + 2.(sum + cout)\\
&(2)\ sum = (p1 \oplus p2 \oplus p3 \oplus p4 \oplus cin)\\
&(3)\ cout = (p1 \oplus p2).p3 + \overline{(p1 \oplus p2)}.p1\\
&(4)\ carry = (p1 \oplus p2 \oplus p3 \oplus p4).cin + \overline{(p1 \oplus p2 \oplus p3 \oplus p4)}.p4
\end{aligned}
\qquad (۴)
$$

یک کمپرسور ۴:۲ برای کاهش تعداد محصولات جزئی در معماری ضرب‌کننده مورد استفاده قرار می‌گیرد. این کمپرسور دارای پنج ورودی (p1، p2، p3، p4 و cin) و سه خروجی است. در این ساختار، خروجی مجموع و ورودی‌ها دارای وزن یکسان هستند، در حالی‌که خروجی حمل (cout) یک بیت با وزن بالاتر را تولید می‌کند. همچنین، ورودی حمل (cin) از مرحله قبل دریافت شده و وارد فرآیند محاسبه می‌شود. کمپرسور ۴:۲ از معادلات منطقی مشخصی پیروی می‌کند؛ از آنجا که خروجی حمل تنها به ورودی‌های pi وابسته است، می‌توان آن را بدون ایجاد تأخیر اضافی به کمپرسور مجاور تغذیه کرد.

در این پژوهش، با استفاده از گیت PFAG، کمپرسور ۴:۲ طراحی شده است که دارای هزینه کوانتومی برابر با ۱۶، عمق منطقی ۷ و تأخیر ۱۴ می‌باشد. شکل (۱۳) بلوک‌دیاگرام کمپرسور ۴:۲ و جمع‌کننده کامل مورد استفاده در طراحی ضرب‌کننده را نمایش می‌دهد.



شکل ۱۳- دیاگرام کمپرسور ۴:۲ برگشت‌پذیر

[24] Programmable Full-Adder Gate

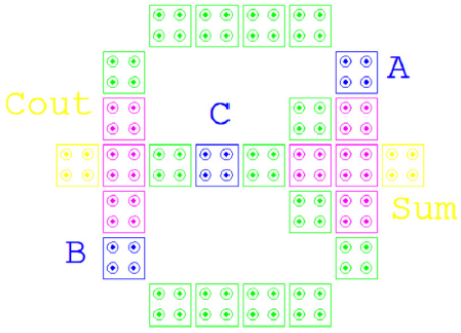
والاس یک ساختار کارآمد برای ضرب سریع پیشنهاد کرد. در ضرب درخت والاس مبتنی بر منطق برگشت‌پذیر با استفاده از گیت PFAG پیشنهاد شده است. این ضرب تاخیر و هزینه کوانتومی بالایی دارد. کمپرسور ۴:۲ به دلیل اتصال منظم خود، مناسب‌ترین بلوک ساختمانی برای ساخت درخت والاس است.

۵- پیاده سازی مدار ضرب‌کننده درخت والاس ۴*۴ با استفاده از منطق برگشت‌پذیر در تکنولوژی QCA

والاس یک ساختار کارآمد برای پیاده‌سازی ضرب سریع پیشنهاد داد. در طراحی ضرب‌کننده درخت والاس مبتنی بر منطق برگشت‌پذیر، از گیت PFAG استفاده می‌شود. با این حال، این روش دارای تأخیر و هزینه کوانتومی نسبتاً بالایی است. کمپرسور ۴:۲ به دلیل ساختار منظم و اتصال مناسب خود، یکی از بهترین بلوک‌های ساختمانی برای طراحی درخت والاس محسوب می‌شود.

مطابق پیشنهاد والاس، الگوریتم ضرب شامل سه مرحله اصلی است:

۱. تولید محصولات جزئی
۲. کاهش محصولات جزئی با استفاده از کمپرسورها
۳. جمع نهایی محصولات با استفاده از یک جمع‌کننده سریع



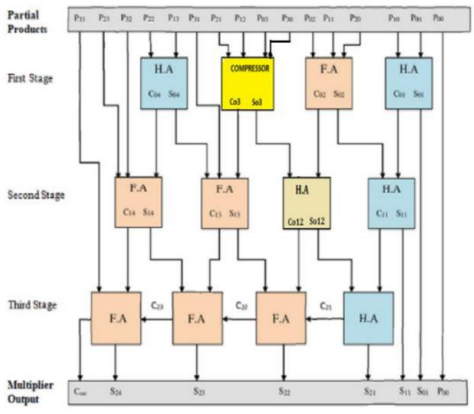
شکل ۱۴- جمع‌کننده طراحی‌شده در کمپرسور ۴:۲ پیشنهادی

در پایان مرحله دوم، دو گروه بیت باقی‌مانده توسط یک جمع‌کننده موجدار دوسطحی با هم ترکیب می‌شوند. طراحی پیشنهادی ضرب‌کننده والاس قابلیت تعمیم به ضرب‌کننده‌های با اندازه بزرگ‌تر مانند ۸ بیتی، ۱۶ بیتی و حتی n بیتی را دارد. در فناوری QCA، استفاده از یک جمع‌کننده بهینه می‌تواند به پیاده‌سازی کارآمد ضرب‌کننده والاس کمک کند. در این روش، کاهش تأخیر و بهره‌گیری از ساختار منظم به عنوان دو مزیت کلیدی در نظر گرفته می‌شوند.

جدول ۱- مقایسه جمع‌کننده طراحی‌شده در کمپرسور ۴:۲ پیشنهاد با برخی مدارات مشابه

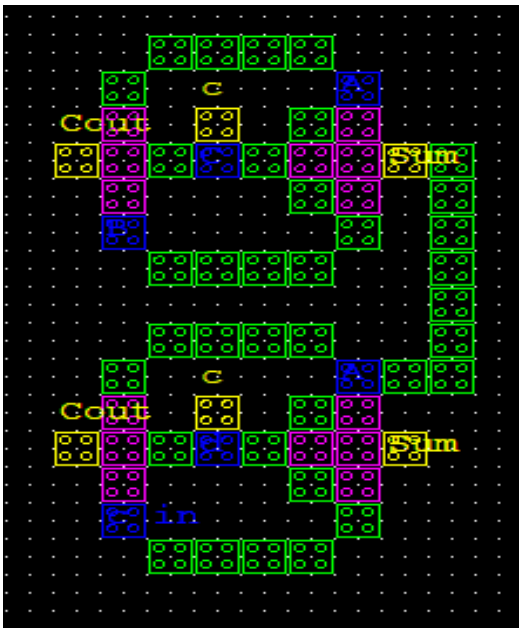
مراجع	تعداد سلول	مساحت (μm^2)	تاخیر(کلاک)
[15] K. L. & G. N. K. Murthy,	۶۵	۰.۱۹	۵
[18] S. T. Petla,	۶۰	۰.۱۸	۴.۵
[20] A. P. R.,	۵۸	۰.۱۷	۴
طرح پیشنهادی	۵۰	۰.۱۵	۴

ضرب هر بیت از دو عدد به همان موقعیت بیت مربوطه، اولین گام در تولید محصولات جزئی است. در مرحله دوم، سه ردیف مجاور گروه‌بندی شده و با استفاده از ترکیبی از جمع‌کننده‌های نیمه و جمع‌کننده‌های کامل کاهش می‌یابند. یک ضرب باینری در سخت‌افزار معمولاً به صورت ضرب‌کننده والاس پیاده‌سازی می‌شود. در درخت والاس، برای جمع مکرر محصولات جزئی، در نهایت تنها دو ردیف باقی می‌ماند. ضرب‌کننده‌های پیشنهادی ۴ بیتی والاس با استفاده از کمپرسور ۴:۲، همان‌طور که در شکل (۱۵) نشان داده شده است، تعداد عملیات مورد نیاز را کاهش می‌دهند. همچنین، ضرب‌کننده ۸ بیتی والاس با استفاده از ترکیب چند ضرب‌کننده ۴ بیتی والاس و کمپرسور ۴:۲ طراحی شده است تا میزان کلی تأخیر کاهش یابد.



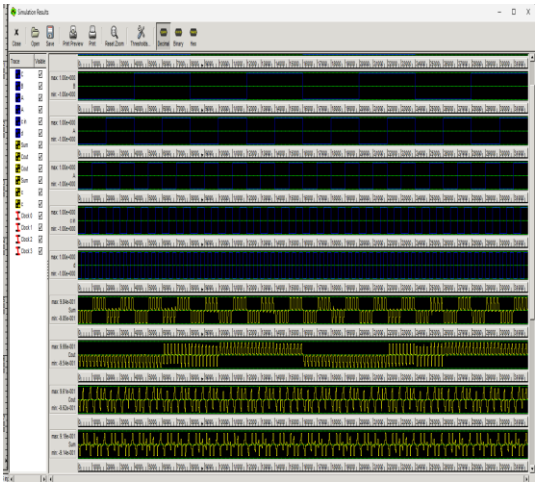
شکل ۱۵- نمودار منطقی ضرب‌کننده درخت والاس ۴ بیتی پیشنهادی با استفاده از ۴:۲کمپرسور

در طراحی ضرب‌کننده والاس با منطق برگشت‌پذیر، طرح پیشنهادی موجب می‌شود محصولات جزئی به‌صورت کارآمدتر کاهش یابند؛ به‌گونه‌ای که چهار بیت ورودی به‌همراه یک بیت حمل به‌طور همزمان پردازش شده و در نتیجه فیلدهای حاصل از ضرب با مراحل کمتری به دو ردیف نهایی تبدیل می‌شوند. این تغییر، علاوه بر کاهش تأخیر و هزینه کوانتومی، موجب منظم‌تر شدن ساختار درخت والاس در فناوری QCA می‌گردد. مدار کمپرسور ۴:۲ یکی از واحدهای پایه در مدارهای منطقی و محاسبات دیجیتالی است. همان‌طور که قبلاً اشاره شد، در فناوری QCA هرچه اندازه اجزا کاهش یابد، بازدهی بیشتر می‌شود، برخلاف CMOS که کاهش ابعاد باعث کاهش بازدهی می‌گردد. در این بخش، قصد داریم یک کمپرسور ۴:۲ را که یکی از مدارهای اساسی در محاسبات و سیستم‌های کامپیوتری محسوب می‌شود، در فناوری QCA طراحی و ارائه کنیم.

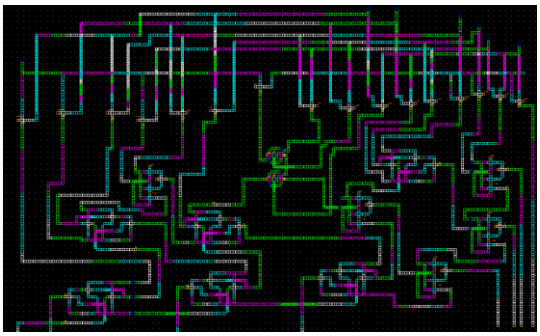


شکل ۱۶- نمودار منطقی کمپرسور ۴:۲ پیشنهادی در QCA

تفاوت اصلی بین ضرب‌کننده درخت والاس و کمپرسور ۴:۲ در مساحت، مصرف توان و تأخیر آن‌ها است. مساحت کمپرسور ۴:۲ معمولاً کمتر از ضرب‌کننده درخت والاس است، زیرا ساختار ساده‌تر و منظم آن فضای کمتری را اشغال می‌کند. در مقابل، ضرب‌کننده درخت والاس به دلیل بلوک‌های منطقی بزرگ‌تر، مساحت بیشتری را نیاز دارد. همچنین، مصرف توان در ضرب‌کننده درخت والاس معمولاً بیشتر است، چرا که ساختار درختی آن امکان اجرای موازی محاسبات بیشتری را فراهم می‌کند و بنابراین عملیات بیشتری به طور همزمان انجام می‌شود.



شکل ۱۷- نتایج حاصل شده از کمپرسور ۴:۲ پیشنهادی در QCA



شکل ۱۸- نتایج عملکرد کمپرسور ۴:۲ پیشنهادی در ضرب‌کننده درخت والاس

جدول ۲- جدول مقایسه مساحت، قدرت و تاخیر

مدار ضرب‌کننده	تاخیر (ns)	مساحت (µm²)	قدرت (nW)
Gudivada & Arunkumar [7]	۱۲	۲۴۵	۹۲۰۰
Murthy & K. L. [15]	۱۳	۲۵۰	۹۴۰۰
Petla et al. [18]	۱۱	۲۴۲	۸۹۵۰
ضرب‌کننده ۴ بیتی درخت والاس (پایه)	۱۱.۹۱۷	۲۴۰.۶۹۴	۹۱۰۹.۹۳۷
ضرب‌کننده درخت والاس ۴ بیتی با استفاده از کمپرسور ۴:۲	۱۰.۹۸۹	۲۴۵.۲۳	۸۹۶۲

کمپرسور ۴:۲ دارای قدرت محاسباتی کمتری است که منجر به کاهش تعداد جمع‌کننده‌ها در مدار ضرب‌کننده والاس می‌شود. در مقابل، ضرب‌کننده درخت والاس معمولاً تاخیر بیشتری دارد، زیرا هر بیت حاصل ضرب در مسیر انتقال داده‌ها موجب افزایش زمان پاسخ می‌شود. کمپرسور ۴:۲ به دلیل ساختار ساده‌تر خود، تاخیر کمتری دارد و سرعت انجام عملیات ضرب را افزایش می‌دهد. به طور کلی، ضرب‌کننده درخت والاس مساحت کمتری اشغال می‌کند و قدرت محاسباتی بالاتری ارائه می‌دهد، اما با تاخیر بیشتری همراه است، در حالی که کمپرسور ۴:۲ مساحت بیشتری نیاز دارد، قدرت محاسباتی کمتری دارد اما تاخیر کمتری ایجاد می‌کند.

با این حال، استفاده از کمپرسور ۴:۲ در ضرب‌کننده والاس دارای معایبی نیز هست. از جمله می‌توان به پیچیدگی طراحی و ساخت نسبت به درخت والاس پایه، افزایش تعداد اتصالات و مسیرهای انتقال داده که ممکن است باعث افزایش نویز و مشکلات همزمانی شود، افزایش مساحت مدار و مصرف انرژی در برخی پیاده‌سازی‌ها، و نیاز به بهینه‌سازی دقیق برای طراحی‌های با بیت‌عرض بزرگ‌تر اشاره کرد. همچنین، کاهش نسبی قدرت محاسباتی در برخی سناریوها می‌تواند محدودیت‌هایی در عملکرد کلی سیستم ایجاد کند و نیازمند تحلیل دقیق برای تعادل بین سرعت، مساحت و مصرف انرژی است.

بنابراین، ضرب‌کننده والاس ۴*۴ با کمپرسور ۴:۲ دارای مزایای قابل توجهی نسبت به ضرب والاس معمولی است، اما همزمان نکات مثبت و منفی خود را دارد و نیازمند توجه دقیق در طراحی و بهینه‌سازی است.

۶- نتیجه گیری

با توجه به نزدیک شدن فناوری CMOS به محدودیت‌های بنیادی خود، لزوم تحقیق و بررسی فناوری‌های جایگزین که بتوانند عملکرد بهتر، مصرف انرژی کمتر و مقیاس‌پذیری بالاتر ارائه دهند، بیش از پیش احساس می‌شود. در این مقاله، طراحی و شبیه‌سازی یک مدار ضرب‌کننده برگشت‌پذیر ۴*۴ با استفاده از گیت‌ها و تمام جمع‌کننده‌های برگشت‌پذیر در فناوری آتوماتای سلولی کوانتومی ارائه‌گردید. فناوری نانو و به ویژه QCA ، با ویژگی‌های منحصر به فرد خود از جمله اندازه کوچک سلول‌ها، قابلیت ساخت مدارهای با چگالی بالا، مصرف انرژی پایین و توانایی انجام محاسبات موازی، امکانات جدید و ارزشمندی برای پیاده‌سازی مدارهای محاسباتی فراهم می‌کند.کمپرسور ۴:۲ به دلیل ساختار ساده و اتصال منظم خود، باعث کاهش تاخیر در انتقال داده‌ها و بهبود عملکرد ضرب‌کننده می‌شود، نتایج این مقاله بیانگر آن است که استفاده از منطق برگشت‌پذیر و کمپرسورهای ۴:۲ در طراحی ضرب‌کننده‌های درخت والاس، تعادلی مناسب بین سرعت، مصرف انرژی، مساحت و قدرت محاسباتی ایجاد می‌کند، و می‌تواند راهگشای توسعه نسل بعدی مدارهای کوانتومی و نانومقیاس باشد.

مزیت نوآوری طرح پیشنهادی این مقاله در زیر خلاصه شده است:

استفاده از کمپرسور ۴:۲ برگشت‌پذیر با گیت PFAG برای کاهش تأخیر انتشار و بهبود سرعت ضرب‌کننده درخت والاس.

بهینه‌سازی ترکیب جمع‌کننده‌های برگشت‌پذیر در ساختار ضرب‌کننده برای کاهش مصرف توان و تأخیر.

پیاده‌سازی در فناوری آتوماتای سلولی کوانتومی که دارای مزایای قابل توجهی نسبت به CMOS است (مصرف پایین انرژی، مساحت کوچک، سرعت بالا).

طراحی بسیار کم هزینه از نظر تعداد سلول‌ها و مساحت توسط استفاده از منطق برگشت‌پذیر و کمپرسور ۴:۲ در ضرب‌کننده والاس.

معایب طرح پیشنهادی شامل موارد زیر است:

- پیچیدگی طراحی و ساخت نسبت به مدل‌های پایه درخت والاس.
- افزایش مساحت مدار به دلیل وجود اتصالات و مسیرهای انتقال داده بیشتر.
- احتمال افزایش نویز و مشکلات همزمانی در مدار به خاطر افزایش تعداد اتصالات.
- نیاز به بهینه‌سازی دقیق برای پیاده‌سازی‌های با فرمت بیت بزرگ‌تر.
- مصرف انرژی در برخی پیاده‌سازی‌ها ممکن است بهبود نیابد یا افزایش یابد.

جهت انجام کارهای آینده موارد زیر پیشنهاد می‌شود:

- ارائه بهبودهای بیشتر در طراحی برای کاهش پیچیدگی و مصرف توان.
- توسعه مدل‌های بزرگ‌تر (۸ بیت، ۱۶ بیت و n بیت) با بهینه‌سازی بیشتر ساختار.

- بهینه‌سازی ساختارهای انتقال داده برای کاهش نویز و مشکلات همزمانی.
- طراحی مدارات برگشت‌پذیر بهتر با هزینه کوانتومی کمتر.

توسعه الگوریتم‌ها و سخت‌افزار مورد استفاده در فناوری QCA به منظور افزایش مقیاس‌پذیری و عملکرد.

تقدیر و تشکر

نویسندگان از گروه مهندسی کامپیوتر دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران و واحد رفسنجان بابت فراهم آوردن امکانات لازم برای انجام این پژوهش قدردانی می‌نمایند.

تعارض منافع

نویسندگان اعلام می‌دارند که هیچ‌گونه تعارض منافعی در خصوص انتشار این مقاله وجود ندارد.

تاییدیه اخلاقی

این پژوهش بر پایه شبیه‌سازی رایانه‌ای و طراحی مدارهای منطقی انجام شده و هیچ‌گونه آزمایش انسانی یا حیوانی در آن صورت نگرفته است. نویسندگان متعهد می‌شوند که مطالب این مقاله را در هیچ مجله دیگری به چاپ نرسانده‌اند و تمامی اصول اخلاقی نشر علمی را رعایت نموده‌اند.

مشارکت‌های نویسندگان

میلاد عربعلی: طرح ایده اصلی پژوهش، طراحی مدارها، شبیه‌سازی‌ها با نرم‌افزار QCA Designer، تحلیل نتایج نموده و نگارش پیش‌نویس مقاله.

مهدی باقری‌زاده: نظارت علمی و راهنمایی پژوهش، بازبینی و ویرایش نهایی مقاله و تأیید نتایج

منابع مالی

این پژوهش از هیچ‌گونه منبع مالی دولتی یا خصوصی برخوردار نبوده و هزینه‌های آن توسط نویسندگان تأمین شده است.

References

[1] Snider, G. L., A. O. Orlov, I. Amlani, G. H. Bernstein, C. S. Lent, J. L. Merz, and W. Porod. "A functional cell for quantum-dot cellular automata." Solid State Electronics 42, no. 7 (1998): 1355–1359.

[2] Lent, C. S., P. D. Tougaw, W. Porod, and G. H. Bernstein."Quantum cellular automata." Nanotechnology 4, no. 1 (1993): 49–52.

[3] Lent, C. S., and P. D. Tougaw."A device architecture for computing with quantum dots." Proceedings of the IEEE 85, no. 4 (1997): 541–557.

[4] Cho, H., and E. E. Swartzlander Jr."Adder and multiplier design in quantum-dot cellular automata." IEEE Transactions on Computers 58, no. 6 (2009): 721–727.

[5] Kianpour, M., R. Sabbaghi-Nadooshan, and K. Navi."A novel design of 8-bit adder/subtractor by quantum-dot cellular automata." Journal of Computer and System Sciences 80, no. 7 (2014): 1404–1414. (in Persian)

[6] Faraji, H., and M. Mosleh."A fast Wallace-based parallel multiplier in quantum-dot cellular automata." International Journal of Nano Dimensions 9, no. 1 (2018): 68–77. (in Persian)

[7] Gudivada, A., and A. Arunkumar."Design of area-efficient high-speed 4×4 Wallace tree multiplier using quantum-dot cellular automata." International Journal of Nano Dimensions 12, no. 2 (2021): 1515–1523.

[8] Sooriamala, A. P., and V. Sherlin Solomi."Design of multiplexers using reversible logic technique." International Journal of Nano Dimensions 14, no. 1 (2023): 55–61.

[9] Hemalatha, K. N., and B. G. Sangeetha."Efficient design of compact 8-bit Wallace tree multiplier using reversible logic." International Journal of Computer Applications 182, no. 12 (2023): 30–35.

[10] Sharmila, G., and H. Sidharth."High performance, low power Wallace tree multiplier." International Journal of VLSI Design 14, no. 2 (2023): 20–24.

[11] Arul Teen, Y. P., and M. Subha."Programmable multiplier circuit designed for quantum-dot cellular automata devices." International Journal of Emerging Trends in Engineering Research 8, no. 5 (2020): 20–24.

[12] Mummudi, M. M., S. Sujith, S. Anita Angeline, and P. Sasi Priya."High performance Wallace tree multiplier using majority gate-based adders." International Journal of Nanoelectronics and Materials 14, no. 2 (2021): 125–134.

[13] Jothimani, S., M. Mugunthan, M. Kishore Kumar, and S. Harish Krithik Roshan. "Vlsi design of majority logic based wallace tree multiplier." In 2023 7th International Conference on Computing Methodologies and Communication (ICCMC), pp. 967-971. IEEE, 2023.

[14] Ram, G. C., M. V. Subbarao, D. R. Varma, and M. P. Kumar."Delay enhancement of Wallace tree multiplier with binary to excess-1 converter." Proceedings of the 5th International Conference on Smart Systems and Inventive Technology (ICSSIT), Tirunelveli, India, (2023): 113–117.

[15] Kavana, L., and GN Keshava Murthy. "Power and Area-Efficient Multiplier Architectures: A Comparative Study of Array, Dadda, Booth, Wallace Tree, and Vedic Multipliers." In 2025 3rd International Conference on Smart Systems for applications in Electrical Sciences (ICSSES), pp. 1-6. IEEE, 2025.

[16] Verma, M., S. Sharma, and S. S. Rout."A comparative study of Wallace tree multiplier and binary multiplier performance." Proceedings of the International Conference on Communication, Control, and Intelligent Systems (CCIS), Mathura, India, (2024): 1–6.

[17] Petla, S. T., V. S. Chowdam, P. Ponkala, T. Nichenametla, and P. Polturu."Comparative analysis of energy-efficient approximate multiplier and Wallace tree multiplier for error-tolerant applications." Proceedings of the 3rd International Conference on Device Intelligence, Computing and Communication Technologies (DICCT), Dehradun, India, (2025): 378–383.

[18] Ramesh, K., R. Bolimera, S. Alle, S. Surajkumar, P. Harshavardhan, and S. Shanavaz."Design of high-speed Wallace tree multiplier using full-adder." Proceedings of the International BIT Conference (BITCON), Dhanbad, India, (2024): 1–4.

[19] Ajithkumar, P. R., I. Gokulakrishnan, and R. Senthamizh Selvi. "Wallace Tree Multiplier Using Reversible Logic With Brent-Kung Adder." In 2025 International Conference on Recent Advances in Electrical, Electronics, Ubiquitous Communication, and Computational Intelligence (RAEEUCCI), pp. 1-6. IEEE, 2025.