Semnan University

Journal of Modeling in Engineering

Journal homepage: https://modelling.semnan.ac.ir/

ISSN: 2783-2538



Research Article

Design of a new Carry Look Ahead Adder using reversible gates

Mohsen Shafaghi [a], Samaneh Emami [b,*]

[a] *Electrical and Computer Engineering Department, Semnan University, Semnan, Iran.*
[b] *Electrical and Computer Engineering Department, Semnan University, Semnan, Iran.*

PAPER INFO

Paper history:

Received:
Revised:
Accepted:

Keywords:
Full adder;
Carry Look Ahead Adder;
Reversible logic;
Quantum cost;
Reversible Circuits;

ABSTRACT

In recent years, as technology has advanced, the design of low-power circuits with minimal area has gained significant attention. Researchers have been seeking structures that enable the design and implementation of low-power electronic systems. Reversible logic has emerged as a promising and practical technology, particularly applicable in low-power CMOS systems and quantum computing. One of the most critical aspects of electronic circuit design is power consumption. Reversible logic, due to its ability to preserve and recover input data, has been proposed as a solution to mitigate energy dissipation. Moreover, it offers additional advantages such as increased circuit speed, reduced quantum cost, decreased garbage outputs, reduced circuit depth, and extended hardware lifespan. In this paper, a reversible Carry Look-Ahead Adder is proposed, employing reversible gates such as NOT, TR, Feynman, and Peres to achieve an optimized design. A comparative analysis shows that the proposed 4-bit adder outperforms prior work by reducing the number of constant inputs. Overall, with an equal quantum cost to comparable designs, the proposed approach achieves a 46% reduction in constant inputs. It is worth noting that the proposed design has also been implemented on an FPGA using the VHDL hardware description language and the Xilinx Vivado toolchain.

DOI:

© 2024 Published by Semnan University Press.
This is an open-access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

UNCORRECTED PROOF

طراحی یک جمع‌کننده CLA جدید با استفاده از گیت‌های برگشت‌پذیر

محسن شفقی[۱]، سمانه امامی[۲،*]

اطلاعات مقاله

دریافت مقاله:
بازنگری مقاله:
پذیرش مقاله:

واژگان کلیدی:
تمام جمع‌کننده،
جمع‌کننده پیش‌بینی رقم نقلی،
منطق برگشت‌پذیر،
هزینه کوانتومی،
مدار برگشت‌پذیر.

چکیده

در سال‌های اخیر با پیشرفت تکنولوژی، ساخت مدارهای توان پایین با مساحت کم مورد توجه بوده و دانشمندان به دنبال دستیابی به ساختارهایی هستند که سیستم‌های الکترونیکی کم‌توان را طراحی و پیاده‌سازی نمایند. منطق برگشت‌پذیر به عنوان یک تکنولوژی کاربردی و جدید مطرح شده است که در سیستم‌های توان پایین CMOS و محاسبات کوانتومی کاربرد دارد. یکی از مهمترین مباحث موجود در مدارهای الکترونیکی بحث توان مصرفی آن هاست. منطق برگشت‌پذیر به دلیل حفظ و قابلیت بازیابی داده های ورودی برای حل مشکل اتلاف انرژی ارائه شده است؛ اما مزایای دیگری مانند افزایش سرعت مدار، کاهش هزینه کوانتومی، کاهش میزان خروجی زباله، کاهش عمق مدار و افزایش عمر سخت افزار را نیز شامل می‌شود. در این مقاله یک مدار جمع کننده Carry Look Ahead در منطق برگشت‌پذیر ارائه شده است که با بهره‌گیری از گیت‌های برگشت‌پذیر NOT، TR، Feynman و Peres سعی در ارائه یک مدار بهینه شده دارد. طرح پیشنهادی با استفاده از زبان توصیف سخت افزار VHDL و ابزار Xilinx Vivado در بستر FPGA پیاده‌سازی و صحت‌سنجی شده‌است. طبق بررسی‌های انجام شده، مدار ۴ بیتی طراحی شده در مقایسه با پژوهش‌های پیشین، با هزینه کوانتومی برابر، مقدار ۴۶ درصد بهبود در کاهش تعداد ورودی‌های ثابت داشته است.

DOI:

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

۱-مقدمه

در فناوری فعلی پردازش سیگنال، مفهوم VLSI[۳] مبتنی بر مدیریت توان بسیار مورد توجه قرار گرفته است. با افزایش پیچیدگی مدارهای VLSI و تلاش برای فشرده‌سازی مدارهای بیشتر در ابعاد کوچکتر، این مفهوم هر ساله بیشتر مورد توجه قرار می‌گیرد. در نتیجه، توان مصرفی به عنوان یک مشکل اساسی در حوزه VLSI ظهور کرده است. اصول منطق برگشت‌پذیر از ترمودینامیک آماده‌سازی داده‌ها ناشی می‌شود. در مدارهای منطقی برگشت‌ناپذیر معمولی با از دست دادن داده‌ها در طول محاسبه، گرما تولید خواهد شد. طبق نظریه Landauer، گرما از مدارهای ساخته شده با اجزای برگشت‌ناپذیر به دلیل از دست دادن بیت‌های داده آزاد می‌شود [۱].

در مدارهای غیر قابل برگشت و معمولی، وقتی ورودی به خروجی تبدیل می‌شود، ورودی از بین می رود و امکان بازیابی وجود ندارد. با ازدست رفتن داده‌ها، انرژی نیز از دست می رود[۲]. مقدار انرژی از دست رفته مطابق رابطه (۱) بدست می‌آید که در آن، E گرمای تولید شده برحسب ژول، K مقدار ثابت Boltzman و T به عنوان دمای مطلق درنظر گرفته می‌شود [۳].

[۱] دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان، سمنان، ایران
[۲] دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان، سمنان، ایران. پست الکترونیک نویسنده مسئول: s_emami@semnan.ac.ir

[۳] Very Large-Scale Integration

UNCORRECTED PROOF

$$E = K \cdot T \cdot Ln2 \quad (۱)$$

در مقیاس‌های کوچک این مقدار انرژی از دست رفته ناچیز است، اما در مدارهایی با اجزاء بیشتر این مقدار انرژی اهمیت زیادی دارد. یکی از مهمترین ویژگی‌های مدارهای برگشت‌پذیر، قابلیت بازسازی ورودی از سیگنال‌های خروجی است[۲]. اگر یک محاسبه در منطق برگشت‌پذیر انجام شود، اتلاف انرژی به مقدار صفر تصور می‌شود، زیرا مقدار انرژی تلف شده در سیستم متناسب با تعداد بیت‌های پاک شده در طول محاسبه است [۴]. در نتیجه می‌توان از منطق برگشت‌پذیر برای کاهش توان مصرفی، حفظ داده و افزایش سرعت استفاده نمود[۵]. کاهش هزینه‌های کوانتومی، عمق مدار، میزان خروجی زباله و ورودی‌های ثابت از اهداف کلیدی طراحی منطق برگشت‌پذیر بوده که در نهایت کاهش مصرف انرژی را به دنبال دارد و سبب افزایش طول عمر باتری‌ها خواهد شد[۶]. مصرف کمتر باتری موجب کاهش استفاده از کربن برای ساخت این باتری‌ها شده که سلامت محیط زیست و کاهش هزینه‌ها را به همراه دارد [۲].

مدارهای جمع‌کننده به عنوان مدارهای پایه در محاسبات ریاضی نظیر جمع، تفریق، ضرب و تقسیم به شمار می روند که دارای انواع مختلفی هستند. جمع کننده Carry Look Ahead ازجمله جمع‌کننده‌های سریع به حساب می‌آید که در پژوهش‌های اخیر با پیاده‌سازی این جمع‌کننده در منطق برگشت‌پذیر نتایج مناسبی به دست آمده است.

ساختار مقاله در ادامه به این شرح است: در بخش دوم به بیان مفاهیم پایه منطق برگشت‌پذیر پرداخته خواهد شد. در بخش سوم مروری بر کارهای پیشین ارائه شده و در بخش چهارم، یک طرح جدید از جمع‌کننده Carry Look Ahead در منطق برگشت‌پذیر شرح داده می‌شود. در بخش پنجم، شبیه‌سازی طرح پیشنهادی و در بخش ششم و هفتم نیز به ترتیب ارزیابی و نتیجه‌گیری ارائه خواهد شد.

۲-مفاهیم پایه

۲-۱- مدارهای جمع‌کننده

جمع کننده‌ها یکی از مهم‌ترین عناصر مدارهای دیجیتال و یکی از اجزای اساسی مدارهای حسابی، فیلترها و پردازنده‌های سیگنال دیجیتال هستند. بنابراین، ارائه یک طراحی بهینه از این عناصر کمک قابل توجهی به توسعه واحدهای محاسباتی دیگر خواهد کرد[۲]. مدارهای جمع‌کننده کاربردهای بسیاری در محاسبات دارند و به کمک آن‌ها می‌توان مدارهای پایه مانند تفریق‌کننده و ضرب‌کننده را طراحی کرد. مدارهای جمع‌کننده نقش قابل توجهی در محاسباتی همچون پیاده‌سازی شبکه‌های عصبی در بستر FPGA [۷, ۸] و الگوریتم‌های فشرده‌سازی و رمزنگاری [۹] دارند.

مهمترین و رایج ترین جمع‌کننده‌ها عبارت‌اند از: Carry Ripple Adder (CRA)، Carry Look Ahead Adder (CLA)، Carry Skip Adder (CSkA)، Carry Save Adder (CSA) و Carry Select Adder (CSlA) [۱۰, ۱۱].

جدول۱. مقایسه تاخیر جمع کننده‌های ۲۵۶ بیتی [۱۱]

Types of adders	Real time execution (ns)	CPU time execution (ns)
CRA	6.00	5.41
CSkA	6.00	5.39
CSA	6.00	5.28
CSlA	6.00	5.31
CLA	5.00	5.06

جدول ۱ به مقایسه تاخیر و زمان پاسخ‌دهی جمع‌کننده‌ها برای عملوندهای ۲۵۶ بیتی پرداخته است. همانطور که در این جدول مشاهده می‌شود CLA کمترین میزان تاخیر نسبت به سایر جمع‌کننده‌ها را دارد [۱۱].

۲-۲-منطق برگشت‌پذیر

محاسبات در منطق برگشت‌پذیر دارای ویژگی‌هایی است که به شرح زیر می باشند:

- در منطق برگشت‌پذیر مقدار fan out باید یک باشد[۲]. به عبارت دیگر، گرفتن داده از هر ورودی تنها یک بار مجاز بوده و همچنین نباید حلقه تشکیل گردد [۱۲, ۱۳].
- در منطق برگشت‌پذیر همیشه تعداد ورودی‌ها و خروجی‌ها باید مساوی باشند که این امر سبب بازیابی ورودی‌ها از خروجی شده و مانع از دست رفتن اطلاعات می‌گردد [۵].
- حداقل تعداد گیت‌های برگشت‌پذیر، کمترین تعداد ورودی‌های ثابت و کمترین تعداد خروجی‌های زباله از ویژگی‌های یک مدار در منطق برگشت‌پذیر می‌باشد.

UNCORRECTED PROOF

ورودی‌های ثابت به ورودی‌هایی از مدار اشاره دارد که دارای مقدار ثابت یک یا صفر بوده و خروجی‌های زباله به خروجی‌های بدون استفاده در مدار گفته می‌شود [۱۲].

۲-۳-گیت‌های برگشت‌پذیر پایه

تاکنون گیت‌های برگشت‌پذیر مختلفی طراحی شده است اما در ادامه، فقط گیت‌هایی که در ساخت و طراحی مدار پیشنهادی مورد استفاده قرار گرفته‌اند، معرفی می‌گردند.

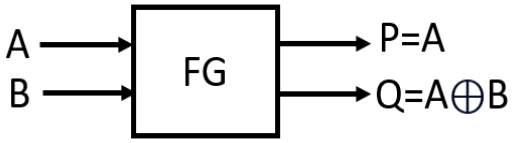
لازم به ذکر است که می‌توان همه‌ی گیت‌های برگشت‌پذیر را با گیت‌های پایه NOT، Controlled-V^+ و Controlled-V طراحی و پیاده‌سازی کرد [۲].

- گیت NOT: یک گیت برگشت‌پذیر ۱ در ۱ (یک ورودی و یک خروجی) با هزینه کوانتومی صفر بوده و همانطور که از نام آن مشخص است، معکوس کردن ورودی را انجام می‌دهد [۱, ۱۴]. طراحی منطقی این گیت در شکل ۱ مشاهده می‌شود.



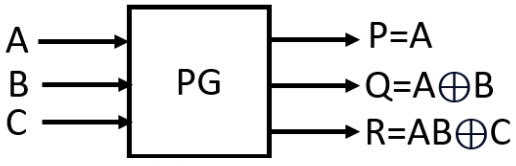
شکل ۱: گیت NOT [۱]

گیت Feynman: یک گیت برگشت‌پذیر ۲ در ۲ با هزینه کوانتومی یک است [۱]. طراحی منطقی این گیت برگشت‌پذیر که به اختصار FG نامیده می شود، در شکل ۲ قابل مشاهده است.



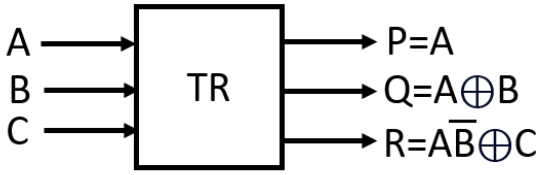
شکل ۲: گیت Feynman [۱]

گیت Peres: یک گیت برگشت‌پذیر ۳ در ۳ با هزینه کوانتومی ۴ است [۱]. طراحی منطقی این گیت برگشت‌پذیر به صورت شکل ۳ بوده و به اختصار PG نامیده می‌شود.



شکل ۳: گیت Peres [۱]

گیت TR: یک گیت برگشت‌پذیر ۳ در ۳ با هزینه کوانتومی ۴ است [۱۴, ۱۵] و طراحی منطقی آن، در شکل ۴ ارائه شده است.

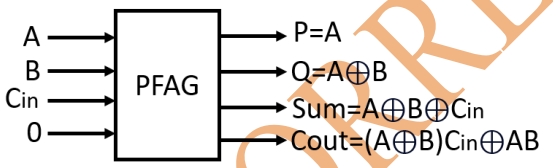


شکل ۴: گیت TR [۱۴]

۳-مروری بر کارهای پیشین

مدارهای جمع‌کننده انواع مختلفی دارند که هرکدام دارای ویژگی‌ها و خواصی می‌باشد. Full Adder یکی از جمع‌کننده‌های ساده است که در بسیاری از طراحی‌ها استفاده می شود. استفاده از منطق برگشت‌پذیر در طراحی مدارهای جمع‌کننده سبب بهره‌گیری از عملکرد جمع‌کننده به همراه مزایای منطق برگشت‌پذیر شده که در این قسمت به بررسی برخی از این موارد پرداخته می‌شود.

در مقاله [۱۶] یک Full Adder یک بیتی برگشت‌پذیر ساده با استفاده از گیت برگشت‌پذیر PFAG ارائه شده که این مدار مطابق شکل ۵ است. همانطور که مشاهده می‌شود در این مقاله با ارائه یک گیت به عنوان full adder از ارائه مدارات و گیت‌های جانبی دیگر خودداری شده است.



شکل ۵: گیت PFAG [۱۶]

برخی از محققان این حوزه در پژوهش‌های خود طرح‌هایی از Carry Look Ahead Adder در منطق برگشت‌پذیر ارائه کرده‌اند که در آن‌ها همواره سعی در کاهش مقادیری مانند هزینه کوانتومی مدار، تعداد ورودی‌های ثابت و خروجی‌های زباله را داشته‌اند. در مقاله [۱۷]، Kumar و همکارانش یک مدار از این نوع جمع‌کننده برگشت‌پذیر با استفاده از گیت‌های برگشت‌پذیر Peres، Feynman، TSG و R2 ارائه دادند که مقدار هزینه کوانتومی در آن ۷۰، تعداد ورودی ثابت ۱۴ و خروجی زباله ۲۰ عدد بوده است. در مقاله [۶]، Sharmila و همکارش یک طرح جدید از این نوع جمع‌کننده با ترکیبی از دو گیت پایه Peres و

UNCORRECTED PROOF

Feynman طراحی نمودند. مدار ارائه شده دارای هزینه کوانتومی حدودا ۳۶، تعداد ورودی ثابت ۷ و تعداد خروجی زباله ۶ بوده و با هدف استفاده در کاربردهای پزشکی ارائه شده است [۶]. در پژوهش [۱۸]، Gharajeh و همکارش دو طرح از جمع‌کننده برگشت‌پذیر (۴بیتی) ساخته شده با گیت‌های برگشت‌پذیر Peres، Fredkin و Feynman ارائه کردند که هزینه کوانتومی ۵۲، تعداد ورودی ثابت ۱۲ و خروجی زباله ۱۶ را شامل می‌شد. همچنین در این پژوهش، یک طرح دیگر از Carry Look Ahead Adder برگشت‌پذیر به صورت بهینه‌تر نسبت به طراحی قبل ارائه شد که در آن مقدار هزینه کوانتومی ۳۶، تعداد ورودی ثابت ۸ و تعداد خروجی زباله به مقدار ۱۲ کاهش پیدا کرد [۱۸]. در مقاله [۲] Rahmati و همکارانش طبق پژوهشی دو مدار متفاوت از این نوع جمع‌کننده با استفاده از گیت‌های برگشت‌پذیر Peres و Feynman ارائه کردند که دارای هزینه کوانتومی ۳۶، ورودی ثابت ۸ و ۱۲ خروجی زباله بود [۲].

۴-روش پیشنهادی

در این بخش، یک مدار ۴ بیتی جدید برای پیاده‌سازی Carry Look Ahead Adder در منطق برگشت‌پذیر پیشنهاد می‌گردد. در این مدار، برای انجام عملیات جمع در سطح منطقی باید سیگنال‌های Propagate و Generate که به اختصار P_i و G_i نامیده شده و عملکرد محاسباتی آن‌ها در فرمول (۲) و (۳) آمده است، تولید شوند. سپس مقدار نهایی جمع و رقم نقلی خروجی با استفاده از این سیگنال‌ها محاسبه می‌شوند. فرمول‌های تولید C_{out} و Sum در معادلات (۴) و (۵) نشان داده شده است.

$$G_i = A_i \cdot B_i \qquad (۲)$$

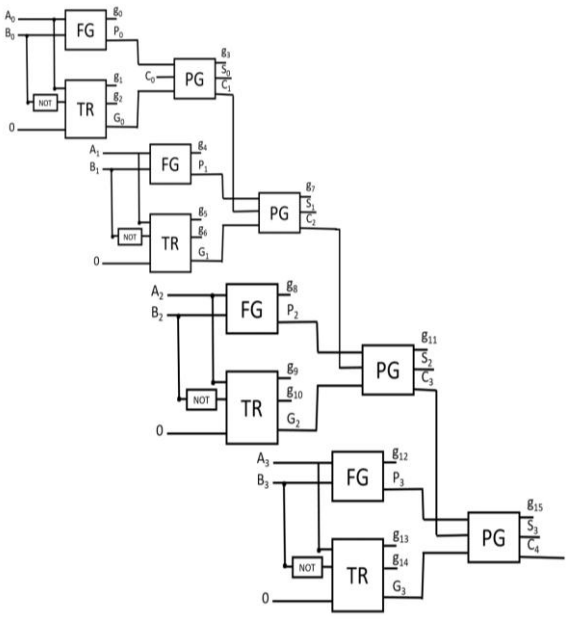
$$P_i = A_i \oplus B_i \qquad (۳)$$

$$C_{out} = C_{i+1} = G_i \oplus P_i \cdot C_i \qquad (۴)$$

$$Sum = A \oplus B \oplus C_i = P_i \oplus C_i \qquad (۵)$$

گیت PG دارای کمترین هزینه کوانتومی بین تمامی گیت‌های برگشت‌پذیر بوده و استفاده از آن در مدارها سبب کاهش هزینه کوانتومی و بهینه شدن مدار می‌گردد [۲]. در واقع علت اصلی انتخاب این گیت برگشت‌پذیر در طرح پیشنهادی، هزینه کوانتومی کم آن بوده است. در این طرح پیشنهادی از گیت‌های برگشت‌پذیر NOT، FG، TR و PG استفاده شده است. طبق موارد مطرح شده در بخش معرفی گیت‌های برگشت‌پذیر، با استفاده از گیت‌های برگشت‌پذیر NOT با هزینه کوانتومی صفر [۱، ۱۴] و گیت PG با کمترین هزینه کوانتومی سعی در کاهش هزینه کل شده است. در این مدار، با استفاده از گیت برگشت‌پذیر FG مقدار Propagate تولید شده و با گیت‌های برگشت پذیر NOT و TR مقدار Generate به دست آمده است و در نهایت با گیت برگشت‌پذیر PG مقدار Sum و C_{out} در هر سطح ساخته می‌شود. در این طرح، ورودی سوم گیت TR با مقدار ثابت صفر تکمیل شده و گیت PG وظیفه‌ی ایجاد Sum و C_{out} را با استفاده از Propagate و Generateهای تولیدی دارد. این مدار طراحی شده در شکل ۶ قابل مشاهده است. در این جمع‌کننده ۴ بیتی، تعداد ۱۶ عدد گیت برگشت‌پذیر NOT، FG، TR و PG استفاده شده و دارای ۴ عدد ورودی ثابت و ۱۶ خروجی زباله است. هزینه کوانتومی این طرح (که به اختصار به صورت QC نشان داده شده) مطابق فرمول (۶) محاسبه می گردد. در فرمول (۶) مقدار هزینه کوانتومی هر گیت در تعداد بیت‌های عملوندهای ورودی مدار ضرب شده و مجموع آن‌ها هزینه کوانتومی کل مدار را نتیجه می‌دهد.

$$\begin{aligned} QC(Proposed) &= 4 \times QC(FG) \\ &+ 4 \times QC(NOT) \\ &+ 4 \times QC(TR) \times 4 \cdot QC(PG) \\ &= 36 \qquad (۶) \end{aligned}$$



شکل ۶: جمع‌کننده CLA پیشنهادی ۴بیتی

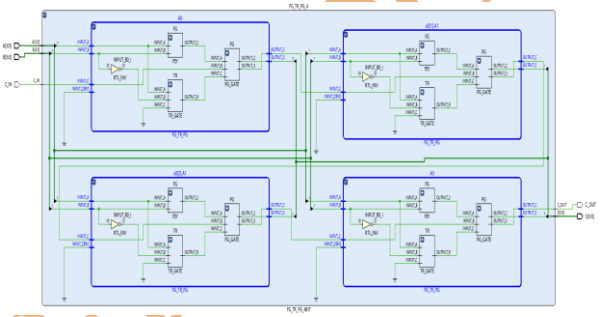
لازم به ذکر است که در این پژوهش باتوجه به ساختار ساده‌تر مدارهای ۴بیتی و امکان ارزیابی دقیق پارامترهای

ECTED PROOF

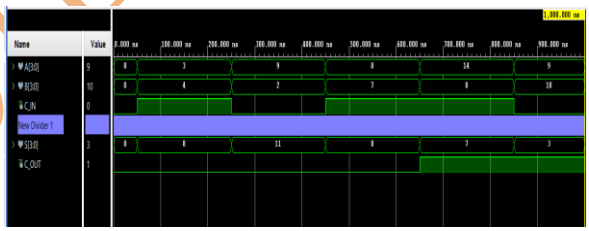
مقایسه‌ای مانند هزینه کوانتومی، ورودی‌های ثابت و خروجی‌های زباله و تسهیل مقایسه نتایج با سایر مقالات مرجع، صرفا روی طراحی مدار ۴بیتی تمرکز شده است. هرچند قابلیت افزایش بیت‌های مدار پیشنهادی با کنارهم قرار دادن و تشکیل ساختار سلسله مراتبی به سادگی وجود دارد.

۵-شبیه‌سازی نتایج

طرح پیشنهادی ارائه شده در این پژوهش با استفاده از زبان VHDL و ابزار Xilinx Vivado پیاده‌سازی گردیده و در شکل‌های ۷ و ۸ نمایش داده شده است.



شکل ۷: شبیه‌سازی مدار پیشنهادی در Xilinx Vivado



شکل ۸: نتایج شبیه‌سازی مدار پیشنهادی در Xilinx Vivado

همانطور که مشاهده می‌شود ابزار Xilinx Vivado تمامی گیت‌ها را پیاده‌سازی نموده و اتصالات مربوطه را برقرار کرده است. در شکل ۸ نیز نتیجه‌ی شبیه‌سازی ارائه شده است. مدار جمع‌کننده به صورت آسنکرون بوده و با تغییر ورودی‌ها، خروجی صحیح محاسبه می‌شود. در واقع با استفاده از زبان VHDL و ابزار Xilinx Vivado شبیه‌سازی نتایج در ساختار FPGA انجام شده که تاییدی بر امکان پیاده‌سازی سخت‌افزاری این مدار برگشت‌پذیر در عمل می‌باشد.

۶-ارزیابی

در حوزه طراحی و ساخت Carry Look Ahead Adder در منطق برگشت‌پذیر در گذشته پژوهش‌هایی صورت گرفته است که در این بخش با مدار پیشنهاد شده در این مقاله مقایسه می‌گردد. اندازه ۴بیت، یک ساختار پایه و استاندارد برای ارزیابی و مقایسه مدارهای جمع‌کننده در طراحی‌های برگشت‌پذیر و کوانتومی است و امکان تحلیل دقیق و آسان مقدار هزینه کوانتومی، ورودی‌های ثابت و خروجی‌های زباله را ممکن می‌سازد. بنابراین تمامی مدارها از جمله مدار پیشنهادی و بخش مقایسات در اندازه ۴بیتی در نظر گرفته شده‌اند. در پژوهش‌های پیشین، هزینه کوانتومی برابر با مجموع هزینه کوانتومی گیت‌های برگشت‌پذیر استفاده شده در مدار در نظر گرفته شده است. حداقل بودن پارامترهای مقایسه شامل هزینه کوانتومی، تعداد ورودی‌های ثابت و تعداد خروجی‌های زباله دلیلی بر بهینه بودن طرح ارائه شده می‌باشد.

جدول ۲: مقایسه نتایج پژوهش‌های اخیر و طرح پیشنهادی

شماره مرجع	هزینه کوانتومی	تعداد ورودی‌های ثابت	تعداد خروجی‌های زباله
[۱۹]	۱۲۸	۳۶	۴۰
[۲۰]	۷۸	۱۶	۲۲
[۲۰]	۷۴	۱۳	۱۷
[۱۹]	۷۲	۱۲	۲۰
[۱۷]	۷۰	۱۴	۲۰
[۱۸]	۵۲	۱۲	۱۶
[۲]	۴۳	۱۰	۱۴
[۶]	۳۶	۷	۶
[۲]	۳۶	۸	۱۲
[۱۸]	۳۶	۸	۱۲
طرح پیشنهادی	۳۶	۴	۱۶

طبق نتایج ارائه شده در جدول ۲، طرح پیشنهادی ارائه شده در این مقاله، از نظر هزینه کوانتومی با کسب مقدار ۳۶ در حالت مطلوبتری نسبت به سایر پژوهش‌های انجام شده قرار گرفته و همچنین این طرح، تعداد ورودی ثابت کمتری را نسبت به سایر پژوهش‌ها تولید نموده است. با توجه به ویژگی‌های طرح ارائه شده و نتایج به دست آمده، می‌توان از آن به عنوان یک طرح مطلوب و کاربردی در حوزه جمع‌کننده‌های برگشت‌پذیر نام برد. به طور کلی برای

UNCORRECTED PROOF

مقایسه‌ی عملکرد مدارهای برگشت‌پذیر، هرچه مقدار پارامترهایی نظیر هزینه کوانتومی، ورودی ثابت و خروجی زباله کمتر باشد، دلیلی بر بهینه بودن آن مدار است. طرح پیشنهادی ارائه شده، با کسب هزینه کوانتومی ۳۶ حداقل مقدار این پارامتر را دارا بوده و با کاهش تعداد ورودی‌های ثابت، با کسب مقدار ۴ به نتایج بهتری نسبت به پژوهش‌های موجود دست یافته است. همانطور که در جدول ۲ دیده می‌شود، طرح پیشنهادی نسبت به سایر طرح‌ها با هزینه کوانتومی برابر، مقدار ۴۶ درصد بهبود در کاهش تعداد ورودی‌های ثابت داشته است. در پیاده‌سازی عملی منطق برگشت‌پذیر، چند چالش بنیادی وجود دارد. نخست، به دلیل ممنوعیت fan-out مستقیم، تکثیر سیگنال تنها از طریق گیت‌هایی مانند CNOT امکان‌پذیر است که باعث افزایش گیت‌ها، بیت‌های کمکی و عمق مدار می‌شود. دوم، تولید خروجی‌های زباله اجتناب‌ناپذیر است و در سخت‌افزار واقعی نیازمند منابع فیزیکی بیشتری هستیم. سوم، نگاشت منطق کلاسیک به گیت‌های برگشت‌پذیر نیازمند استفاده از گیت‌هایی نظیر Toffoli با استفاده از ورودی‌های ثابت بیشتر بوده که خود سربار سخت‌افزاری و افزایش خطا را به همراه دارد. همچنین فرآیند پاک‌سازی بیت‌های کمکی موجب افزایش هزینه‌ی عملی می‌شود. با وجود این موارد، طرح پیشنهادی با تحمیل کمترین هزینه کوانتومی، کاهش ورودی‌های ثابت و خروجی‌های زائد، سربار پیاده‌سازی را نسبت به طرح‌های مشابه کاهش داده و یک طرح مطلوب را ارائه داده‌است.

۷- نتیجه‌گیری

جمع‌کننده‌ها یکی از اساسی‌ترین بلوک‌های سازنده مدارهای محاسباتی هستند که به طور گسترده در رایانه‌ها و پردازنده‌های عمومی مورد استفاده قرار می‌گیرند. با استفاده از مدارهای جمع‌کننده مدارهای دیگری مانند ضرب‌کننده، تفریق و تقسیم‌کننده طراحی می شوند. در این مقاله، یک طرح پیشنهادی از Carry Look Ahead Adder در منطق برگشت‌پذیر ارائه شده است که در آن، از گیت‌های برگشت‌پذیر NOT، FG، TR و PG استفاده شده و درنهایت با تولید هزینه کوانتومی ۳۶، تعداد ۴ ورودی ثابت و تعداد ۱۶ خروجی زباله عملکرد مطلوبتری را نسبت به سایر پژوهش‌ها کسب کرده است. به صورت کلی، این طرح پیشنهادی نسبت به سایر طرح‌ها با هزینه کوانتومی برابر مقدار ۴۶ درصد بهبود در کاهش تعداد ورودی‌های ثابت داشته است. لازم به ذکر است که طرح پیشنهادی به کمک زبان توصیف سخت افزار VHDL و ابزار Xilinx Vivado در بستر FPGA نیز شبیه‌سازی شده است.

تعارض منافع

نویسندگان این مقاله اعلام می‌کنند که هیچ تعارض منافع مالی یا غیرمالی در ارتباط با این تحقیق وجود ندارد. تمامی نویسندگان به طور کامل از عدم وجود هرگونه منافع شخصی یا مالی که ممکن است بر نتایج تحقیق تأثیر بگذارد، اطمینان حاصل کرده‌اند.

تاییدیه اخلاقی

نویسندگان متعهد می‌شوند که مطالب این مقاله را در هیچ مجله دیگری به چاپ نرسانده‌اند و تمامی اصول اخلاقی پژوهش را رعایت کرده‌اند.

مشارکت‌های نویسندگان

محسن شفقی: جمع‌آوری داده‌ها، ارائه طرح جدید، شبیه‌سازی مدل، نگارش مقاله.

دکتر سمانه امامی: تعریف موضوع، مشاوره علمی در طول تحقیق، تحلیل و بازبینی نتایج، ویرایش مقاله.

منابع مالی

در این تحقیق هیچ حمایت مالی از سازمان یا اشخاص صورت نگرفته است.

مراجع

[1] Tiwari R, Gupta AK, Joshi T, Semwal S. Performance analysis of 16-bit qALU using reversible logic gates with QCA for quantum processors. J Survey Fish Sci. 2023;10(1):189-208.

[2] Rahmati M, Houshmand M, Houshmand Kaffashian M. Novel designs of a carry/borrow look-ahead adder/subtractor using reversible gates. J Comput Electron. 2017;16(3):856-66.

UNCORRECTED PROOF

[3] Naz SF, Shah AP. Reversible gates: A paradigm shift in computing. IEEE Open J Circuits Syst. 2023;4:241-57.
[4] Surekha M, Ansari M. Survey of reversible logic: A review. Grenze Int J Eng Technol (GIJET). 2022;8(2).
[5] Kolay SC, Chatterjee A, Chattopadhyay S. Design and simulation of reversible logic gate using HCS macro-model. Memories-Mater Devices Circuits Syst. 2024;8:100109.
[6] Devi SS, Bhanumathi V. A novel reversible carry look ahead adder for bio-medical applications. J Phys Conf Ser. 2021;1937(1):012027.
[7] Kiani M, Shafaghi H, Ghalati AG, Moaiyeri MH. Efficient FPGA implementation of multiplication operations in artificial neural networks for human activity recognition. IEEE Trans Instrum Meas. 2025.
[8] Shafaghi H, Kiani M, Amirany A, Jafari K, Moaiyeri MH. A fast and light fingerprint-matching model based on deep learning approaches. Journal of Signal Processing Systems. 2023 Apr;95(4):551-8.
[9] Zourmba K, Effa JY, Fischer C, Rodríguez-Muñoz JD, Moreno-Lopez MF, Tlelo-Cuautle E, et al. Fractional order 1D memristive time-delay chaotic system with application to image encryption and FPGA implementation. Math Comput Simul. 2025;227:58-84.
[10] Balasubramanian P, Maskell DL. A new carry look-ahead adder architecture optimized for speed and energy. Electronics. 2024;13(18):3668.
[11] Rachana S, Ritu Patil , Sahana V , and A. R. B. P, "Design and Delay Analysis of Various 256-Bit Adders using Verilog " International Journal of Engineering Research & Technology (IJERT), 2020.
[12] Kalamani C, Murugasami R, Usha S, Saravanakumar S. Design of encoder and decoder using reversible logic gates. Meas Sens. 2024;31:100989.
[13] Pakkiraiah C, Lakshmi AH, Sucharita K, Raghuveer J. Design and implementation of low power Baugh Wooley multiplier using reversible circuits. J Nonlinear Anal Optim. 2024;15(1):3092-102.
[14] Surekha M. Efficient approaches for designing quantum costs of various reversible gates. Int J Eng Stud. 2017;9(1):57-78.
[15] Bhat HA, Khanday FA, Kaushik BK, Shah KA. Design and analysis of 3×3 reversible quantum gates. J Comput Electron. 2023;22(1):266-75.
[16] Islam MS. A novel quantum cost efficient reversible full adder gate in nanotechnology. arXiv preprint arXiv 2010 Aug 20. :1008.3533.
[17] Kumar AS, Pratap NL, Neelima N, Mahajani TC, Kumar VK, Anunya P. An optimised design of a 4-bit carry look-ahead adder using novel reversible logic gates. In: Proc Int Conf Intell Algorithms Comput Intell Syst (IACIS). IEEE; 2024: 1-6.
[18] Gharajeh MS, Haghparast M. Novel reversible CLA, optimized RCA and parallel adder/subtractor circuits. Serb J Electr Eng. 2020;17(3):259-83.
[19] Bhuvaneswary N, Lakshmi A. Design and optimization of reversible look ahead carry adder and carry save adder. 2020.
[20] Asri S, Haghparast M. A novel nanometric parity-preserving reversible carry-lookahead adder. IETE J Res. 2017;63(3):325-35.

UNCORRECTED PROOF