تحلیل و طراحی یک چهار برابر کننده ولتاژ دقیق برای بکار گیری بعنوان تقویت کننده در مبدلهای حوزه زمان و ولتاژ

نازنین معلمیان[۱]، ابراهیم فرشیدی[۲] و مهدی رضوانی وردوم [۳*]

اطلاعات مقاله

واژگان کلیدی:
تقویت کننده ولتاژ،
مبدل آنالوگ به دیجیتال،
مبدل زمان به دیجیتال،
پایپ لاین،
درون یاب.

چکیده

در این مقاله یک چهار برابر کننده ولتاژ جدید پیشنهاد می گردد که می تواند بعنوان ساختار تقویت کننده در مبدلهای حوزه زمان و ولتاژ مانند مبدلهای آنالوگ به دیجیتال و مبدلهای زمان به دیجیتال مورد استفاده قرار گیرد. تقویت کننده ها در مبدلهای حوزه زمان و ولتاژ برای افزایش رزولوشن و دقت مورد استفاده قرار می گیرند. کاربرد اصلی این نوع از تقویت کننده ها در ساختار مبدلهای آنالوگ به دیجیتال و زمان به دیجیتالی است که از تکنیکهای پایپ لاین و درونیاب برای افزایش رزولوشن و دقت بهره می برند. در این نوع از مبدلها باقیمانده در هر طبقه توسط تقویت کننده ای با ضریب تقویت طراحی شده مشخص تقویت شده و به طبقه بعد بعنوان سیگنال ورودی انتقال می یابد. این امر موجب می شود که یک مبدل پایپ لاین و یا درونیاب بتواند از طبقاتی با ساختار مداری مشابه استفاده نماید. تقویت کننده پیشنهادی از تکنیک پمپ بار برای تقویت ولتاژ ورودی استفاده می کند. از ویژگیهای تقویت کننده پیشنهادی می توان به تقویت دقیق ولتاژ ورودی، حساسیت کمتر به تغییرات پروسه، منبع تغذیه و دما، رنج خطی سازی مناسب و تاخیر ورودی–خروجی کم که سبب افزایش رنج دینامیکی مبدل می شود اشاره نمود.

۱- مقدمه

امروزه مبدلهای زمان به دیجیتال و مبدلهای آنالوگ به دیجیتال دارای کاربردهای وسیعی در صنعت هستند. که از آن جمله می توان به کاربرد آنها در اندازه گیری سیگنالهای زمانی on-chip و بازخوانی سنسورهای بیوشیمیایی[۲] [۱، ۲]، حلقه های قفل فاز تمام دیجیتال[۳] [۳] و بازخوانی سنسورهای خازنی[۴] [۴] اشاره نمود. از مهمترین ساختارهای مبدلهای آنالوگ به دیجیتال و زمان به دیجیتال ساختارهای پایپ لاین و درونیاب آنالوگ می باشند. تقویت کننده های ولتاژ و زمان از بلوکهای اصلی در این نوع از مبدلها محسوب می شوند [۵،۶ و۷]. تقویت کننده های مورد استفاده در مبدلهای آنالوگ به دیجیتال و زمان به دیجیتال از لحاظ عملکرد به ساختارهای آنالوگ، دیجیتال و یا ترکیبی از

* پست الکترونیک نویسنده مسئول: m.rezvanyvardom@gmail.com
۱. دانشجوی کارشناسی ارشد مهندسی برق الکترونیک، دانشکده مهندسی، دانشگاه شهید چمران اهواز، اهواز، ایران
۲. دانشیار گروه مهندسی برق الکترونیک، دانشکده مهندسی، دانشگاه شهید چمران اهواز، اهواز، ایران
۳. دانشجوی دکتری مهندسی برق الکترونیک، دانشکده مهندسی، دانشگاه شهید چمران اهواز، اهواز، ایران

[۲] On-chip time-signal measurement and biochemical sensor readout
[۳] All Digital Phase Locked Loops (ADPLL)
[۴] Capacitive sensor readouts

این دو تقسیم بندی می شوند. برخی از تقویت کننده ها دارای محدودیت در گین و رنج ورودی هستند. بنابراین تاخیر زیادی را در عملکرد مبدل سبب می شوند که نتیجه آن افزایش رنج دینامیکی در مبدل می باشد [۶]. تقویت کننده هایی که از ساختارها و المانهای دیجیتال برای تقویت کنندگی در حوزه زمان یا ولتاژ بهره می برند از خطوط تاخیر زنجیره ای استفاده می کنند [۷،۶]. این نوع از تقویت کننده ها سیگنال ورودی را از مسیرهای متفاوت و موازی که دارای تاخیرهای مختلف و با نسبت ثابت هستند عبور می دهند. در انتها، سیگنالهای خروجی از هر مسیر تاخیر با یکدیگر جمع شده و پالس تقویت شده را تولید می کنند که میزان این تقویت به تعداد خطوط تاخیر موازی شده بستگی دارد [۷،۶]. بنابراین میزان تاخیر در این نوع از تقویت کننده ها به تاخیر و نیز تعداد بافرها و یا اینورترهایی محدود می شود که در ساختار خطوط تاخیر موازی بکارگرفته می شوند. همچنین میزان تاخیر هر بافر و یا اینورتر به تکنولوژی ساخت بکار رفته بستگی دارد و با کاهش ابعاد تکنولوژی ساخت میزان تاخیر ایجاد شده توسط تقویت کننده نیز کاهش می یابد. کاهش میزان تاخیر موجب افزایش رنج دینامیکی در مبدل خواهد شد که یکی از پارامترهای مهم در عملکرد مبدلهای آنالوگ به دیجیتال و زمان به دیجیتال است. از مشکلات اصلی مدارات تاخیر ساخته شده بر پایه بافر و اینورتر، حساسیت بالای آنها به تغییرات دما پروسه و منبع تغذیه است [۷،۶]. در نتیجه این نوع از تقویت کننده ها نیز که بر اساس خطوط تاخیر ساخته می شوند دارای حساسیت بالا به تغییرات PVT و نیز شبه پایداری[۱] بوده که سبب کاهش دقت ضریب تقویت می گردد. تقویت کننده های با ساختارهای آنالوگ از شارژ و دشارژ شدن خازن توسط منابع جریان ثابت و یا منابع جریان با نسبتهای جریان متفاوت برای تولید سیگنال تقویت شده بهره می برند [۵]. استفاده از پمپ بار نیز یک تکنیک مفید برای طراحی تقویت کننده های حوزه زمان و ولتاژ می باشد [۸].تقویت کننده های با ساختار آنالوگ از رنج خطی سازی مناسبتری نسبت به تقویت کننده های دیجیتال برخوردار هستند. تقویت کننده های آنالوگ دارای حساسیت کم به تغییرات PVT بوده و در نتیجه سیگنال تقویت شده با دقت بالا و ضریب تقویت دقیق تری را تولید می کنند. تاخیر ورودی-خروجی ایجاد شده توسط تقویت کننده های آنالوگ کمتر به تکنولوژی ساخت بکار گرفته شده بستگی داشته و در نتیجه سبب محدود شدن رنج دینامیکی مبدلها نمی گردند.

در این مقاله یک تقویت کننده ولتاژ جدید پیشنهاد می گردد که از تکنیک پمپ بار برای چهار برابر کردن سیگنال ورودی استفاده می کند. کاربرد اصلی تقویت کننده پیشنهادی در مبدلهای آنالوگ به دیجیتال و مبدلهای زمان به دیجیتالی است که از ساختارهای پایپ لاین و درونیاب برای تولید خروجی دیجیتال و افزایش رزولوشن و دقت بهره می برند. این تقویت کننده از ترکیب چهار مدار پمپ بار تشکیل یافته که از شارژ خازنهای ورودی برای تولید سیگنال خروجی تقویت شده بهره می برد. ویژگیهای اصلی تقویت کننده پیشنهاد شامل این موارد می باشد: بدلیل استفاده نکردن از المانهای خطوط تاخیر در ساختار پیشنهادی، تقویت کننده دارای حساسیت کم به تغییرات PVT می باشد. بنابراین دارای گین ولتاژ بسیار دقیق در مقایسه با ساختارهای دیگر است. ساختار مداری این تقویت کننده بر اساس شارژ خازنهای ورودی است بنابراین دارای رنج خطی سازی مناسبی می باشد. عملکرد تقویت کننده پیشنهادی در چهار مسیر موازی با هم انجام می گیرد و خروجی مسیرهای موازی بصورت همزمان تولید می گردد. پس تاخیر ورودی-خروجی در این ساختار کم است. در نتیجه مبدلی که از ساختار پیشنهادی استفاده می کند دارای محدودیت رنج دینامیکی از جانب تقویت کننده نخواهد بود. برخلاف تقویت کننده های آنالوگ که از منابع جریان با نسبتهای جریان متفاوت جهت کشیدگی زمانی و تقویت سیگنال استفاده می کنند [۵]، این تقویت

[۱] Metastability

کننده از منابع جریان یکسان بهره می برد. بنابراین مشکل عدم انطباق[۱] بین المانهای منابع جریان در مدار پیشنهادی وجود نداشته و ضریب تقویت بسیار دقیق می باشد. به منظور بررسی ایده پیشنهادی یک تقویت کننده ولتاژ طراحی و در تکنولوژی 0.18µm CMOS TSMC توسط نرم افزار Hspice شبیه سازی گردید. مقایسه نتایج شبیه سازی و تئوری عملکرد تقویت کننده پیشنهادی را مورد تایید قرار می‌دهد.

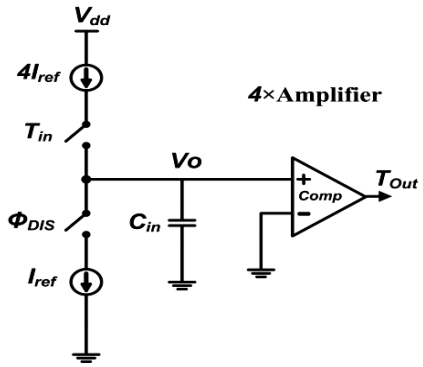
ساختار مقاله به این شرح است که: در بخش دوم پیش زمینه ای از تقویت کننده های آنالوگ و دیجیتال ارائه گردیده و ساختارهای مداری آنها بررسی می شود. در بخش سوم ساختار تقویت کننده پیشنهادی و حالت های مختلف عملکرد آن بصورت تئوری بیان می گردد. نتایج حاصل از شبیه سازی این مبدل توسط نرم افزار Hspice و در تکنولوژی 0.18µm CMOS در بخش چهارم نشان داده شده است. در بخش پنجم نتایج حاصل از دو بخش قبل با یکدیگر مقایسه و نتیجه حاصله بیان می گردد.

۲- اساس عملکرد تقویت کننده های آنالوگ و دیجیتال

در این بخش به بررسی ساختار مداری تقویت کننده های آنالوگ و دیجیتال پرداخته می شود و جزئیات عملکرد هر یک مورد مطالعه قرار می گیرد.

۲-۱- تقویت کننده آنالوگ

شکل ۱ ساختار مداری یک تقویت کننده زمانی آنالوگ را نشان می دهد [۵]. این تقویت کننده از تکنیک پمپ بار برای تقویت سیگنال ورودی استفاده می کند. از آنجاییکه شارژ و دشارژ شدن خازن بصورت خطی انجام می شود، زمان ورودی توسط اختلاف شیبهای شارژ و دشارژ شدن خازن تقویت می گردد.

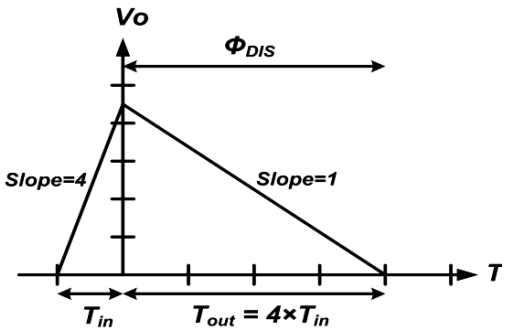


شکل ۱- ساختار مداری یک تقویت کننده زمانی آنالوگ [۵]

با بکارگیری منابع جریان با نسبتهای متفاوت و تشخیص نقطه عبور از صفر برای حالت دشارژ شدن خازن توسط مقایسه گر، زمان ورودی تقویت می گردد. دیاگرام زمان بندی این تقویت کننده زمانی آنالوگ در شکل ۲ نشان داده شده است. در این حالت خروجی تقویت شده که دارای گین ۴ می باشد توسط رابطه زیر محاسبه می گردد:

$$T_{Out} = \frac{4I_{ref}}{I_{ref}}.T_{in} = 4.T_{in} \qquad (۱)$$

استفاده از مدار تقویت کننده هم در ساختار مبدلهای آنالوگ به دیجیتال پایپ لاین و نیز در ساختار مبدلهای زمان به دیجیتال مرسوم می باشد. تقویت سیگنال برای مبدلهای آنالوگ به دیجیتال پایپ لاین در حوزه ولتاژ انجام می گیرد در حالیکه تقویت سیگنال برای مبدلهای زمان به دیجیتال پایپ لاین در حوزه زمان انجام می شود.

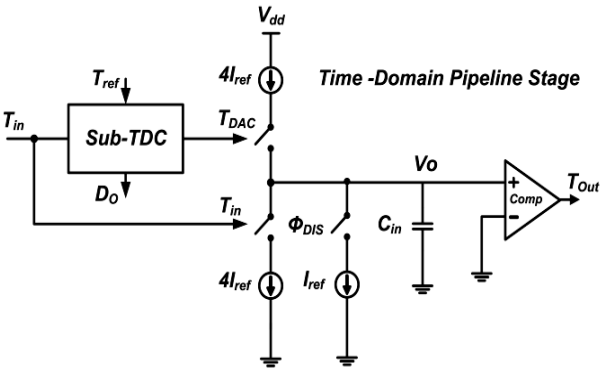


شکل ۲- دیاگرام زمان بندی تقویت کننده زمانی آنالوگ [۵]

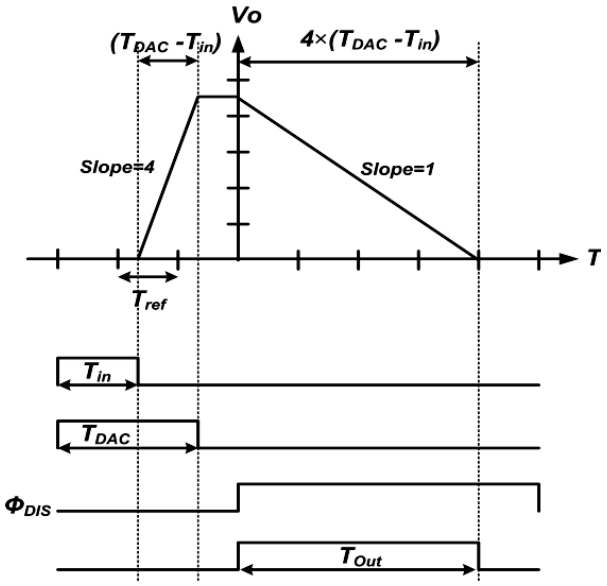
[۱] Mismatch

شکل ۳ و شکل ۴ بترتیب ساختار و دیاگرام زمان بندی یک مبدلهای زمان به دیجیتال پایپ لاین را نشان می دهند که از مدار تقویت کننده ذکر شده بهره می برد. همانطور که از شکل ۳ مشاهده می شود، در ابتدا، سیگنال زمانی ورودی (T_{in}) توسط یک TDC کوانتیزه می شود. بعبارت دیگر، TDC یک کد دیجیتال خروجی (D_o) و یک پالس (T_{DAC}) را برای تولید باقیمانده تولید می کند. در طول زمان کوانتیزاسیون، T_{DAC} مطابق با T_{in} و از زمان مرجع (T_{ref}) تولید می گردد. سپس باقیمانده زمانی (T_{DAC}-T_{in}) توسط منابع جریان با نسبت متفاوت ۴:۱ که برای شارژ و دشارژ شدن خازن بکار گرفته می شوند، ۴ برابر می شود. بعد از مقایسه ولتاژ خازن ورودی با ولتاژ صفر که توسط یک مقایسه گر انجام می شود، خروجی باقیماتده در حوزه زمان (T_{Out}) تولید شده و برای کوانتیزه شدن بیشتر به طبقه بعدی پایپ لاین انتقال می یابد.

یک راه حل شناخته شده برای کاهش اثر عدم تطابق بین المانها استفاده از منابع جریان کسکود شده است که دارای امپدانس بالایی هستند و می توانند یک نسبت جریان با دقت بسیار مناسب را تولید نمایند. همچنین برای بدست آوردن یک ضریب کشیدگی با دقت بالا بایستی از تکنیکهای لی اوت دقیق استفاده نمود. عدم تطابق بین منابع جریان که ناشی شده از تغییرات پروسه است هیچگاه بطور کامل قابل حذف شدن نمی باشند.



شکل ۳- ساختار مداری یک مبدلهای زمان به دیجیتال پایپ لاین با تقویت کننده زمانی [۵]



شکل ۴- دیاگرام زمان بندی مبدلهای زمان به دیجیتال پایپ لاین با تقویت کننده زمانی [۵]

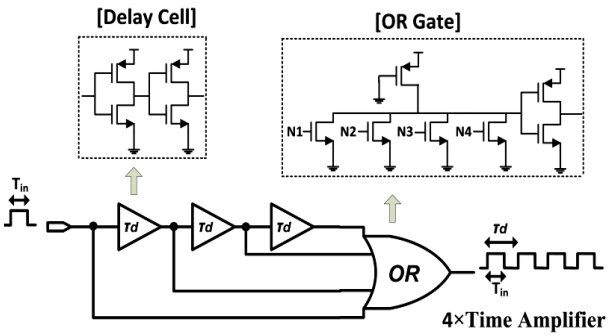
۲-۲- تقویت کننده دیجیتال

شکل ۵ ساختار مداری یک تقویت کننده زمانی دیجیتال را نشان می دهد [۷،۶]. این تقویت کننده که شامل سلولهای تاخیر بر اساس بافر یا اینورتر، سوئیچهای منطقی و یک گیت منطقی OR می باشد تقویت کننده زمانی قطار پالس[۱] نامیده می شود [۷،۶].

هر سلول تاخیر که می تواند یک بافر و یا اینورتر باشد، یک کپی از پالس ورودی را با تاخیر τ_Q ایجاد می کند. تاخیر ایجاد شده توسط هر سلول تاخیر با به اندازه کافی بزرگ باشد تا موجب تداخل کپی های موجود در سیگنال خروجی نشود.

اما بزرگ شدن میزان تاخیر تولید شده توسط سلولهای تاخیر سبب بیشتر شدن رنج ورودی می شود که عامل محدود شدن نرخ تبدیل و رنج دینامیکی در TDC است. بنابراین، زمان مورد نیاز برای این تقویت کننده زمانی برای تولید ضریب N برابر با (N ضربدر تعداد سلول تاخیر) است ($N\times\tau_Q$). در نتیجه ماکزیموم نرخ ورودی برابر با ($1/N\tau_Q$) است. مدار داخلی مربوط به هر سلول تاخیر و نیز مدار داخلی گیت منطقی OR در شکل ۵ نشان داده شده است.

[۱] Pulse-Train Time Amplifier



شکل ۵- بلوک دیاگرام یک تقویت کننده دیجیتال (تقویت کننده زمانی قطار پالس) [۶،۷]

۳- تقویت کننده پیشنهادی

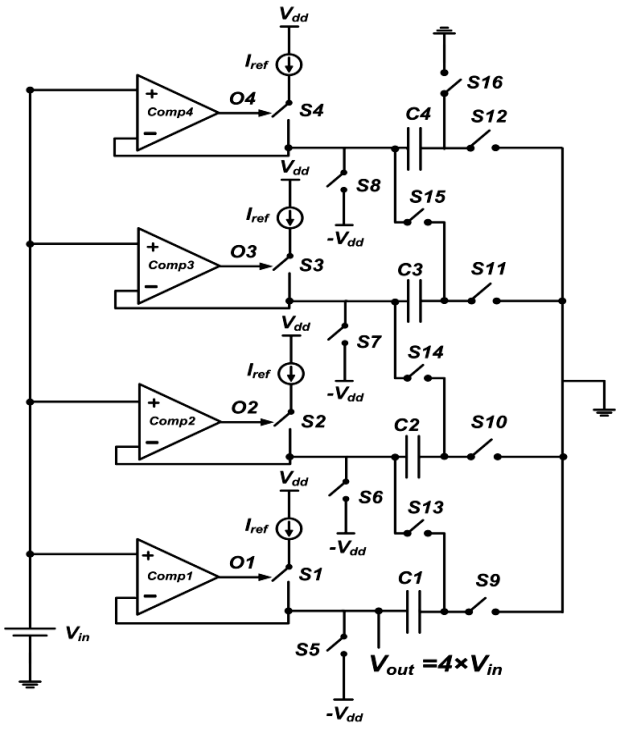
در این بخش عملکرد تقویت کننده ولتاژ پیشنهادی بیان گردیده و حالت های مختلف عملکرد آن مورد بررسی قرار می گیرد. ساختار مداری و دیاگرام زمان بندی تقویت کننده ولتاژ پیشنهادی بترتیب در شکل ۶ و شکل ۷ نشان داده شده است.

همانطور که در شکل ۶ نشان داده شده است، این تقویت کننده شامل ۴ خازن با مقادیر یکسان، ۴ مقایسه گر و ۴ منبع جریان ثابت و یکسان است. عملکرد تقویت کننده پیشنهادی بدین صورت می باشد:

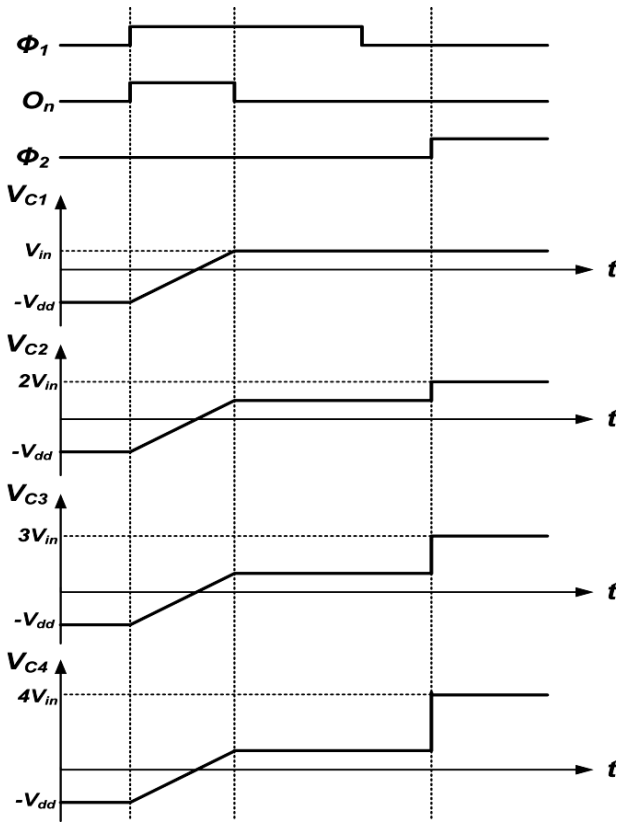
۳-۱- مرحله اول: ریست شدن خازنهای ورودی

در ابتدا سوئیچهای S_5 تا S_{12} بسته می شوند، در حالیکه سایر سوئیچهای مدار باز هستند. بنابراین، ولتاژ دو سر همه خازنهای ورودی برابر با V_{dd}- شده ولتاژ اولیه همه خازنها یکسان می گردد. این ولتاژ منفی به این دلیل بعنوان ولتاژ اولیه خازنها در نظر گرفته می شود تا تقویت کننده پیشنهادی برای تقویت ولتاژهای منفی ورودی نیز مشابه ولتاژهای ورودی مثبت عملکرد دقیق و مناسبی داشته باشد.

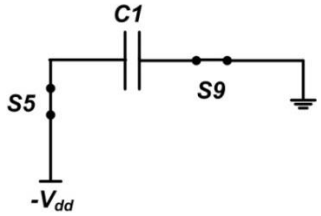
بدلیل اینکه تقویت کننده پیشنهادی دارای چهار طبقه مداری مشابه با یکدیگر است، بنابراین مدار معادل مراحل عملیاتی آن تنها برای طبقه اول رسم می گردد. مرحله اول برای یک طبقه از عملکرد تقویت کننده پیشنهادی در شکل ۸ نشان داده شده است.



شکل ۶- ساختار مداری تقویت کننده ولتاژ پیشنهادی



شکل ۷- دیاگرام زمان بندی تقویت کننده ولتاژ پیشنهادی

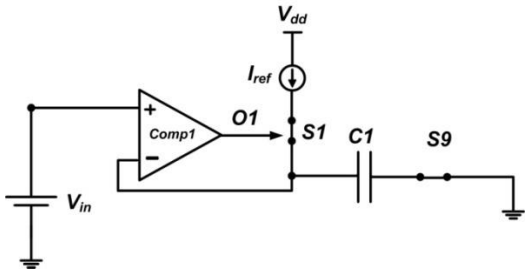


شکل ۸- مدار معادل تقویت کننده پیشنهادی در مرحله اول عملکرد

۳-۲- مرحله دوم: شارژ شدن خازنهای ورودی

مدار معادل مرحله دوم برای یک طبقه از عملکرد تقویت کننده پیشنهادی در شکل ۹ نشان داده شده است. در این مرحله از عملکرد تقویت کننده پیشنهادی، سوئیچهای S_1 تا S_4 بسته می باشند. همچنین سوئیچهای S_9 تا S_{12} (پالس فرمان این سوئچها در شکل ۷ با Φ_1 نشان داده شده است) نیز بسته می باشند و سایر سوئیچهای موجود در مدار تقویت کننده باز می باشند. بنابراین هر کدام از خازنهای ورودی با منبع جریان ثابت I_{ref} بصورت خطی شروع به شارژ شدن می کنند. بدلیل اینکه پایه مثبت ورودی همه مقایسه گرها به ولتاژ ورودی V_{in} که ولتاژی مثبت می باشد متصل می باشند، پس خروجی مقایسه گرها در طول این مرحله برابر با "1" می باشند.

بنابراین در طول این مرحله از عملکرد تقویت کننده پیشنهادی، ولتاژ پایه مثبت ورودی مقایسه گرها از ولتاژ پایه منفی ورودی مقایسه گر بیشتر می باشد. این مرحله زمانیکه ولتاژ دو سر هر یک از خازنهای ورودی به V_{in} برسند، که موجب می شوند خروجی مقایسه گرها برابر با صفر شده و در نتیجه سوئیچهای S_1 تا S_4 باز شده و شارژ شدن خازنهای ورودی متوقف شود، پایان می یابد.



شکل ۹- مدار معادل تقویت کننده پیشنهادی در مرحله دوم عملکرد

بنابراین رابطه زیر برای شارژ شدن خازنها در طول این مرحله برقرار است:

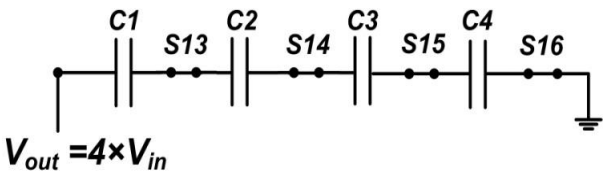
$$V_{Cn} = \frac{I_{ref} \times T_{Ch}}{C_n} \qquad n = 1,2,3,4 \qquad (۲)$$

که در این رابطه V_C ولتاژ دو سر هر یک از خازنهای ورودی است. همچنین T_{Ch} مدت زمان رسیدن ولتاژ هر یک از خازنهای ورودی به V_{in} است.

۳-۳-مرحله سوم: تولید ولتاژ تقویت شده

این مرحله از عملکرد تقویت کننده پیشنهادی زمانی شروع می شود که ولتاژ دو سر هر یک از خازنهای ورودی برابر با V_{in} می شود. بنابراین خروجی هر کدام از مقایسه گرها برابر با "0" شده و سوئیچهای S_1 تا S_4 باز شده و شارژ شدن خازنها متوقف می گردد. در نتیجه ولتاژ دو سر هر کدام از خازنها برابر با V_{in} است. در این مرحله از عملکرد تقویت کننده، چهار خازن که هر یک دارای ولتاژی برابر با V_{in} هستند با یکدیگر سری می شوند. در نتیجه در خروجی V_{Out} ولتاژی که چهار برابر ولتاژ ورودی است ($V_{Out}=4\times V_{in}$) تولید می گردد. در طول این مرحله، S_{13} تا S_{16} (پالس فرمان این سوئچها در شکل ۷ با Φ_2 نشان داده شده است) بسته می باشند و سایر سوئیچها باز می باشند. مدار معادل مرحله سوم برای یک طبقه از عملکرد تقویت کننده پیشنهادی در شکل ۱۰ نشان داده شده است. بنابراین خازنها بصورت سری با یکدیگر قرار می گیرند و رابطه زیر برقرار می شود.

$$V_{Out} = V_{C1} + V_{C2} + V_{C3} + V_{C4} = 4 \times V_{in} \qquad (۳)$$



شکل ۱۰- مدار معادل تقویت کننده پیشنهادی در مرحله سوم عملکرد.

که در این رابطه V_{Out} ولتاژ خروجی و V_{Cn} ولتاژ هر یک از خازنهای ورودی است.

از مهمترین مزایای تقویت کننده ولتاژ پیشنهادی که سبب می شوند بکارگیری آن در مبدلهای حوزه زمان و ولتاژ مفید باشد، می توان به این موارد اشاره نمود: در مقایسه با سایر روشهای تقویت ولتاژ، تقویت کننده پیشنهادی دارای عملکرد مداری ساده تری می باشد. این تقویت کننده از المانهای خطوط تاخیر در ساختار خود استفاده نکرده و در نتیجه دارای حساسیت کم به تغییرات PVT می باشد و در نتیجه می تواند ولتاژ چهار برابر شده بسیار دقیق تری را نسبت به تقویت کننده های با ساختار خط تاخیر تولید نماید. در این تقویت کننده از خازنهای با اندازه یکسان و نیز از منابع جریان با مقادیر مشابه استفاده گردیده است. بنابراین تقویت کننده پیشنهادی در مقایسه با تقویت کننده هایی که از خازنهایی با نسبتهای متفاوت و یا از منابع جریان با نسبتهای متفاوت بهره می برند و دارای مشکل عدم انطباق بین این المانها می باشند، بسیار دقیق تر است. همچنین تقویت کننده پیشنهادی به دلیل استفاده از مدارات پمپ بار که بر اساس شارژ و دشارژ خازنها می باشد دارای رنج خطی سازی مناسبی می باشد. بعلاوه، این مدار از چهار قسمت موازی و مشابه تشکیل یافته که خروجی آنها بصورت همزمان تولید می شود. بنابراین رنج دینامیکی این تقویت کننده بسیار مناسب بوده و محدودیت کمتری را برای مبدل بکار گیرنده خود اعمال می نماید.

روش آنالوگ برای تقویت ولتاژ ورودی بر اساس شارژ و دشارژ خازنهای ورودی استوار است در حالیکه در روش دیجیتال از المانهای منطقی و دیجیتال مانند سلولهای تاخیر استفاده می گردد. روش آنالوگ در مقایسه با روش دیجیتال از دقت مناسبتری برخوردار بوده اما از عدم پایداری رنج می برد. از سوی دیگر، روش دیجیتال در مقایسه با روش آنالوگ از رنج ورودی وسیعتری برخوردار بوده اما دقت این روش توسط تاخیر المانهای دیجیتالی محدود می شود.

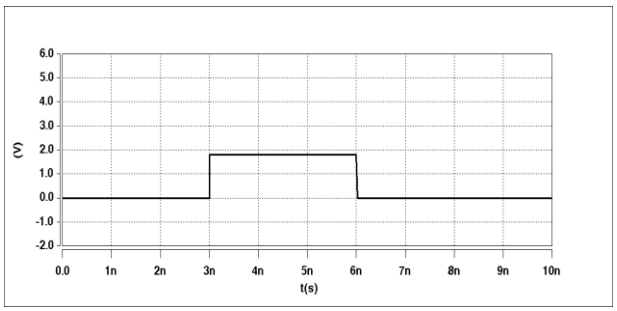
۴- نتایج شبیه سازی

در این بخش نتایج حاصل از شبیه سازی تقویت کننده ولتاژ پیشنهادی توسط نرم افزار Hspice و در تکنولوژی 0.18µm CMOS مورد بررسی قرار می گیرد.

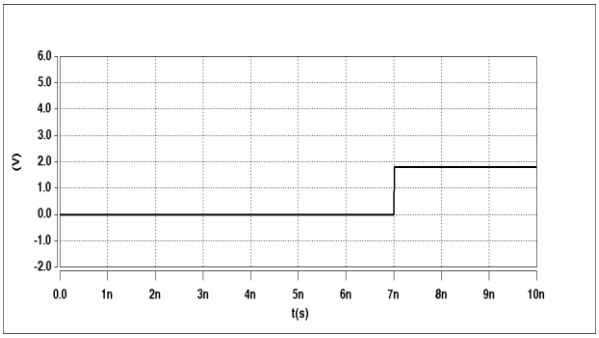
برای پیاده سازی مدار تقویت کننده پیشنهادی در شکل ۶ از ساختاری با منابع جریان یکسان (I_{ref} 30mA) و خازنهای ورودی با مقادیر یکسان $C_{1,2,3,4}$=20pF استفاده گردیده است. منبع ولتاژ، V_{dd} معادل 1.8 ولت و مقدار ولتاژ ورودی (V_{in}) برابر با 1.2 ولت است. شکل ۱۱ و شکل ۱۲ بترتیب فازهای Φ_1 (مربوط به بسته شده سوئیچهای S_9 تا S_{12}) و Φ_2 (مربوط به بسته شده سوئیچهای S_{13} تا S_{16}) را نشان می دهند.

شکل ۱۳ خروجی هر یک از مقایسه گرها را نشان می دهد که دارای خروجی مشابه هم می باشند. از لحظه اعمال مقایسه گرها به مدار در t=3ns تا زمانیکه ولتاژ اعمالی به هر دو پایه ورودی مقایسه گرها برابر شوند (t=5ns)، خروجی مقایسه گرها "1" و بعد از این لحظه "0" می گردند.

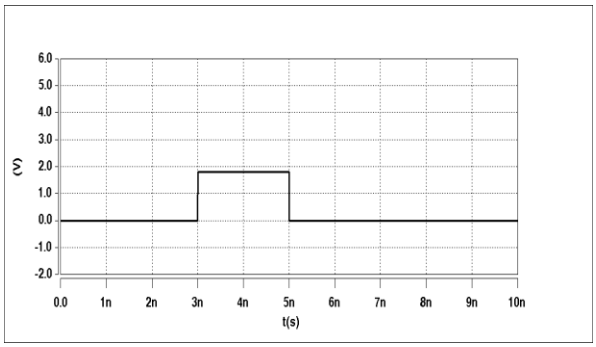
شکل ۱۴ ولتاژ دو سر خازن C_1 را نشان می دهد که در مدت زمان "1" بودن خروجی مقایسه گر تا ولتاژ ورودی V_{in}=1.2V شارژ شده و ولتاژ آن بعد از سری شدن خازنها ثابت باقی می ماند. شکل ۱۵ ولتاژ خازن C_2 را نشان می دهد که ولتاژ آن بعد از سری شدن خازنها برابر با $V_{C2}=2\times V_{in}=2.4V$ شده است.



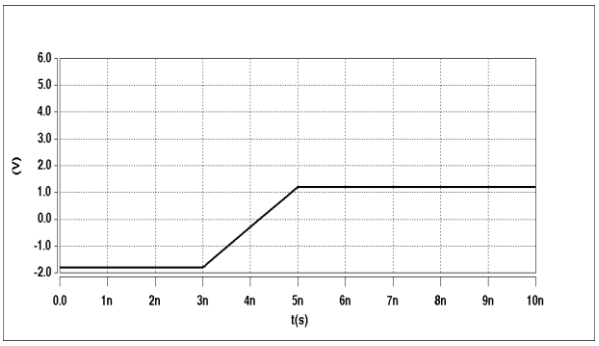
شکل ۱۱. فاز Φ_1 (مربوط به بسته شده سوئیچهای S_9 تا S_{12}) در تقویت کننده پیشنهادی



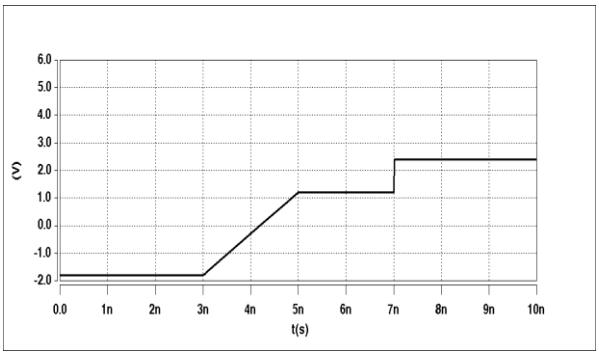
شکل ۱۲- فاز Φ_2 (مربوط به بسته شده سوئیچهای S_{13} تا S_{16}) در تقویت کننده پیشنهادی.



شکل ۱۳- خروجی هر یک از مقایسه گرها در تقویت کننده ولتاژ پیشنهادی.

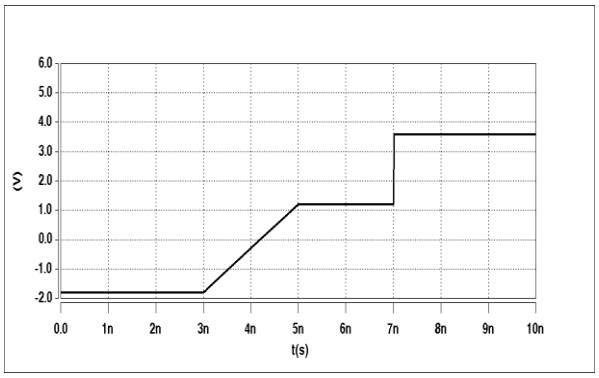


شکل ۱۴- ولتاژ دو سر خازن C_1 در تقویت کننده ولتاژ پیشنهادی

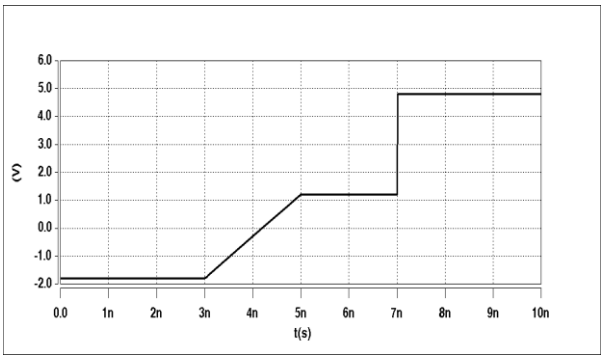


شکل ۱۵- ولتاژ دو سر خازن C_2 در تقویت کننده ولتاژ پیشنهادی

به روش مشابه با دو خازن قبل، ولتاژ دو سر خازنهای C_3 و C_4 بعد از سری شدن خازنها بترتیب برابر با $V_{C3}=3\times V_{in}=3.6V$ و $V_{C4}=4\times V_{in}=4.8V$ خواهند بود که به ترتیب در شکلهای ۱۶ و ۱۷ نمایش داده می شوند.



شکل ۱۶- ولتاژ دو سر خازن C_3 در تقویت کننده ولتاژ پیشنهادی.



شکل ۱۷- ولتاژ دو سر خازن C_4 در تقویت کننده ولتاژ پیشنهادی

۵- نتیجه گیری

در این مقاله یک تقویت کننده ولتاژ جدید پیشنهاد گردید که از تکنیک پمپ بار برای چهار برابر کردن ولتاژ ورودی بهره می برد. این تقویت کننده دارای مزایایی مانند حساسیت کم به تغییرات PVT به دلیل استفاده نکردن از المانهای خط تاخیر، رنج خطی سازی مناسب به دلیل استفاده از ساختار آنالوگ، برطرف نمودن خطاهای ناشی عدم انطباق بین المانهای مداری مانند خازنها و منابع جریان با نسبتهای متفاوت و ساختار مداری ساده

می باشد. بنابراین تقویت کننده پیشنهادی در مقایسه با تقویت کننده های آنالوگ و دیجیتال بیان گردیده دارای ضریب تقویت بسیار دقیق تری است. شکل موجهای تئوری و شکل موجهای حاصل از شبیه سازی توسط Hspice برای تقویت کننده پیشنهادی موررد مقایسه قرار گرفته و صحت عملکرد مدار پیشنهادی اثبات گردید.

۶- مراجع

[1] Nonis, R., Grollitsch, W., Santa, T., Cherniak, D., Da Dalt, N. (2013). "A Low-Complexity, Low-Jitter Fractional-N Digital PLL Architecture". IEEE Journal of Solid-State Circuits, Vol. 48, no.12, pp. 3134-3145.

[2] Jeong, C.-H., Kwon, C.-K., Kim, H., Hwang, I.-C., Kim, S.-W. (2013). "Low-power, wide-range time-to-digital converter for all digital phase-locked loops". Electronics Letter, Vol. 49, no. 2, pp.96-97.

[3] Han, Y., Lin, D., Geng, S., Xu, N., Rhee, W., Oh, T.-Y., Wang, Z. (2013). "All-digital PLL with ΔΣ DLL embedded TDC". Electronics Letter, Vol. 49, no. 2, pp.93-94.

[4] Roberts, G.-W., Ali-Bakhshian, M. (2010). "A brief introduction to time-to- digital and digital-to-time converters". IEEE Transaction on Circuits and Systems, Vol. 57, no. 3, pp.153-157.

[5] Oh, T., Venkatram, H., Moon, U.-K. (2014). "A Time-Based Pipelined ADC Using Both Voltage and Time Domain Information". IEEE Journal of Solid-State Circuits, Vol. 49, no. 4, pp.961-971.

[6] Kim, K., Kim, Y.-H., Yu, W., Cho, S. (2013). "A 7 bit, 3.75 ps Resolution Two-Step Time-to-Digital Converter in 65 nm CMOS Using Pulse-Train Time Amplifier". IEEE Journal of Solid-State Circuits, Vol. 48, no. 4, pp.1009-1017.

[7] Kim, K.-S., Yu, W., Cho, S.-H. (2013). "A 9b, 1.12ps resolution 2.5b/stage pipelined time-to-digital converter in 65nm CMOS using time-register". 2013 Symposium on VLSI Circuits (VLSIC), Vol., no., pp.136-137.

[8] Tung Ko, X- C., Pun , K. (2012). "A Charge-pump and comparator based power-efficient pipelined ADC technique". Elsevier of Microelectronic journal, Vol. 43, pp.182-188.