تکنیک نوین برای کاهش اثر خودگرمایی در ترانزیستورهای اثرمیدان با سورس و درین گسترده شده

میثم زارعی[۱،*] و مهسا مهراد[۲]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۵/۰۴/۲۸

پذیرش مقاله: ۱۳۹۶/۰۲/۲۷

واژگان کلیدی:

ترانزیستور ماسفت دو گیتی،

تکنولوژی سیلیسیم روی عایق،

اکسید مدفون،

ماکزیمم دمای افزاره.

چکیده

در این مقاله یک ساختار جدیدی از ترانزیستور دو گیتی در تکنولوژی سیلیسیم روی عایق پیشنهاد شده است. در این تکنولوژی، اکسید مدفون به عنوان یک لایه عایق نسبت به سیلیسیم، هدایت گرمایی پایین تری دارد که باعث بروز مشکلاتی برای ماسفت های در مقیاس نانو می گردد. در این مقاله یک پنجره سیلیسیمی زیر ناحیه کانال جایگزین قسمتی از اکسید مدفون می گردد تا باعث کاهش ماکزیمم دمای افزاره گردد زیرا قابلیت انتقال حرارت در سیلیسیم بیشتر از اکسید سیلیسیم می باشد. شبیه سازی با استفاده از نرم افزار شبیه ساز ATLAS نشان می دهد که با در نظر گرفتن مقدار بهینه برای طول و ضخامت پنجره سیلیسیمی، ترانزیستوری با عملکرد مناسب از نقطه نظر دما بدست می آید. این موضوع باعث می شود که ترانزیستور دوگیتی دارای عملکردی مطمئن تر در ابعاد نانو و در دماهای بالاتر گردد.

۱-مقدمه

امروزه تمایل بسیاری برای استفاده از ترانزیستور اثرمیدان فلز-اکسید-نیمه هادی (ماسفت) با تکنولوژی سیلیسیم روی عایق وجود دارد. زیرا این ترانزیستورها دارای اثرات کانال کوتاه کوچک، سرعت مداری بالا، جریان نشتی کوچک، توان مصرفی پایین و خازن های پارازیتی کوچک می باشند [۳-۱]. لایه اکسید مدفون که معمولا از جنس اکسید سیلیسیم می باشد، دارای مزایای زیادی می باشد. اما هدایت گرمایی پایین آن باعث بروز مشکلاتی نظیر اثر خودگرمایی می شود.

ترانزیستور چند گیتی به دلیل داشتن اثر کانال کوتاه بهبود یافته و شیب زیر آستانه مطلوب، یکی از بهترین کاندیداها برای افزاره های در مقیاس نانو می باشد [۸-۴]. در بین انواع ترانزیستورهای چندگیتی، نوع دوگیتی آن یکی از گزینه های ممکن برای بهبود جریان راه اندازی، هدایت انتقالی (transconductance) و اثرات کانال کوتاه می باشد [۹-۷]. یکی از روش ها برای بهبود مشخصات ترانزیستورهای دوگیتی با تکنولوژی سیلیسیم روی عایق استفاده از جدا کننده ها (spacer) بین گیت-سورس و گیت-درین می باشد [۱۰]. این روش اثرات کانال کوتاه و

* پست الکترونیک نویسنده مسئول: mzareiee@du.ac.ir

۱.استادیار، گروه برق، دانشگاه دامغان

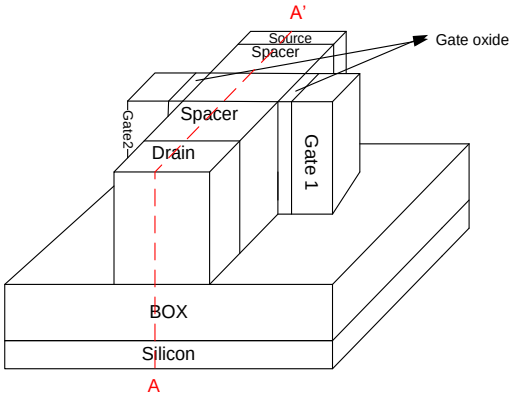
۲. استادیار، گروه برق، دانشگاه دامغان

جریان حالت خاموش ترانزیستور را به نحو قابل توجهی کاهش می دهد [۱۰].

برای بهره گیری همزمان از مزایای تکنولوژی سیلیسیم روی عایق و ترانزیستورهای دوگیتی، در این مقاله یک ترانزیستور دوگیتی با تکنولوژی سیلیسیم روی عایق جدید پیشنهاد می گردد. هدف اصلی کار پیشنهادی، ایجاد یک مسیر انتقال گرما در زیر ناحیه کانال می باشد تا قابلیت خنک شدن ترانزیستور افزایش یابد. ساختار پیشنهادی مشابه ساختار متداول (C-DG) می باشد با این تفاوت که یک پنجره سیلیسیومی در زیر ناحیه کانال و دو جداکننده، جایگزین اکسید مدفون شده است. شبیه سازی با شبیه ساز ATLAS نشان می هد که انتخاب اندازه مناسب برای طول و ضخامت پنجره سیلیسیومی منجر به کاهش چشمگیر دمای شبکه نسبت به نوع متداول آن می گردد [۱۱].

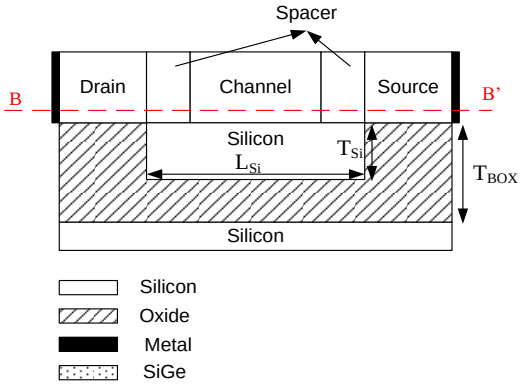
۲-ساختار افزاره

ساختار سه بعدی ترانزیستور دوگیتی با دو جداکننده در تکنولوژی سیلیسیم روی عایق در شکل (۱) نشان داده شده است. در این مقاله برای بهبود اثر خودگرمایی، یک پنجره سیلیسیومی در زیر ناحیه کانال در نظر گرفته می شود و این ترانزیستور جدید ترانزیستور دو گیتی با پنجره سیلیسیمی (SW-DG) نامیده می شود. به منظور آشکار شدن اثر پنجره سیلیسیمی، خط برش AA' در شکل (۱) در نظر گرفته می شود و سطح مقطع این ترانزیستور از این محل در شکل (۲) نشان داده می شود.



شکل ۱- ساختار سه بعدی ترانزیستور دوگیتی با دو جداکننده در تکنولوژی سیلیسیم روی عایق.

طول پنجره سیلیسیمی با L_{Si} و ضخامت آن با T_{Si} نشان داده شده است. همچنین ضخامت اکسید مدفون با T_{BOX} مشخص می گردد. چگالی حامل ها در پنجره سیلیسیمی برابر $N_A=4\times10^{16}\,cm^{-3}$ و در جداکننده ها برابر $N_D=5\times10^{19}\,cm^{-3}$ می باشد. همه پارامترهای ساختار پیشنهادی SW-DG که در شبیه ساز ATLAS استفاده گردیده اند در جدول ۱ نشان داده شده اند.



شکل۲- نمای دوبعدی از ساختار پیشنهادی SW-DG.

جدول ۱- پارامترهای ساختار پیشنهادی SW-DG استفاده شده در شبیه ساز ATLAS

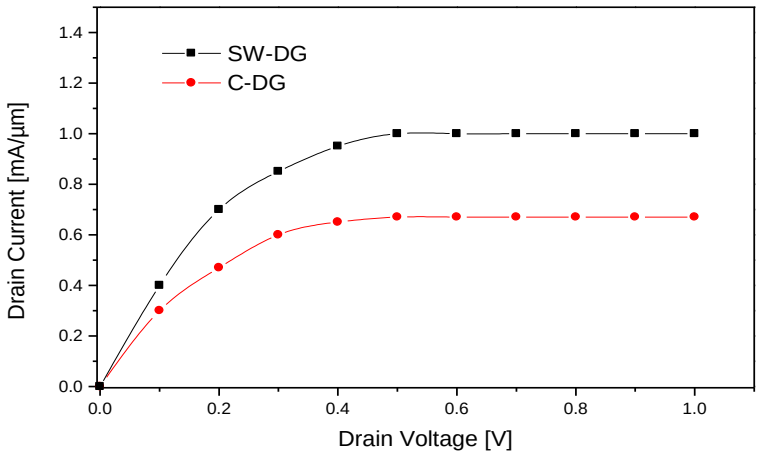
پارامترهای ترانزیستور	مقدار
طول گیت (L_G)	30 nm
تابع کار گیت	4.6 eV
ضخامت اکسید مدفون (T_{BOX})	40 nm
ضخامت سیلیسیم	10 nm
چگالی ناخالصی کانال (N_A)	1×10^{15} cm^{-3}
چگالی ناخالصی سورس و درین (N_D)	2×10^{20} cm^{-3}
طول جداکننده ها	15 nm
چگالی ناخالصی جداکننده ها (N_D)	5×10^{19} cm^{-3}
ضخامت پنجره سیلیسیمی (T_{Si})	30 nm
چگالی ناخالصی پنجره سیلیسیمی (N_D)	4×10^{16} cm^{-3}
طول پنجره سیلیسیمی (L_{Si})	60 nm

ذکر این موضوع مفید می باشد که مدل های دمای شبکه، اثر یونیزاسیون و جریان تونل زنی در شبیه ساز ATLAS در نظر گرفته شده اند. همچنین معادلات پیوستگی جریان، دما و پواسون حل گردیده اند تا دمای شبکه بدست آید. شرایط مرزی شارش دما در ۳۰۰ درجه کلوین در زیر زیرلایه سیلیسیومی ثابت شده است.

۳-بحث در نتایج بدست آمده

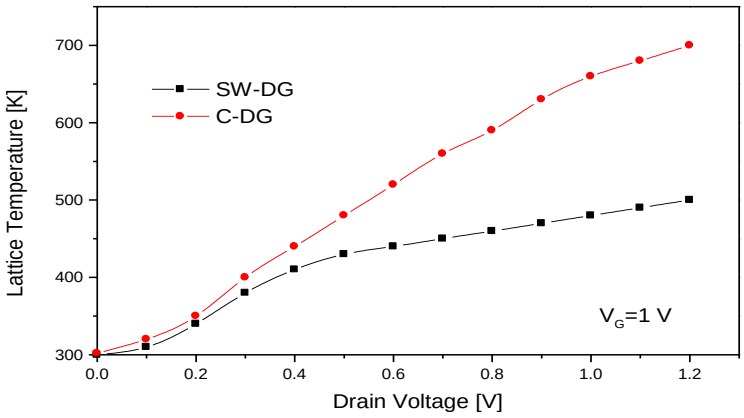
جریان درین با تغییر ولتاژ درین در ولتاژ گیت ۱/۲ ولت در شکل (۳) نشان داده شده است. همانگونه که در این شکل مشاهده می شود، جریان درین در حالت اشباع در ساختار

متداول کمتر می باشد زیرا اثر خودگرمایی در این حالت زیاد می باشد. جریان درین بیشتر در ساختار SW-DG به دلیل بیشتر بودن قابلیت انتقال گرمای پنجره سیلیسیمی نسبت به اکسید سیلیسیم می باشد.



شکل ۳- جریان درین با تغییر ولتاژ درین در ولتاژ گیت ۱/۲ ولت در ساختار های C-DG و SW-DG.

شکل (۴) دمای شبکه را برای هر دو ساختار C-DG و SW-DG در طول خط برش BB' (خط برش BB' در شکل ۲ نشان داده شده است) نشان می دهد. همانگونه که در این شکل دیده می شود، با افزایش ولتاژ درین، دمای ترانزیستورها افزایش می یابد. اما در SW-DG این افزایش دما به علت استفاده از پنجره سیلیسیمی تا حد بسیار زیادی کنترل شده است. بنابراین در ساختار پیشنهادی، پنجره سیلیسیمی به عنوان خارج کننده دما از ناحیه کانال ترانزیستور عمل می کند.

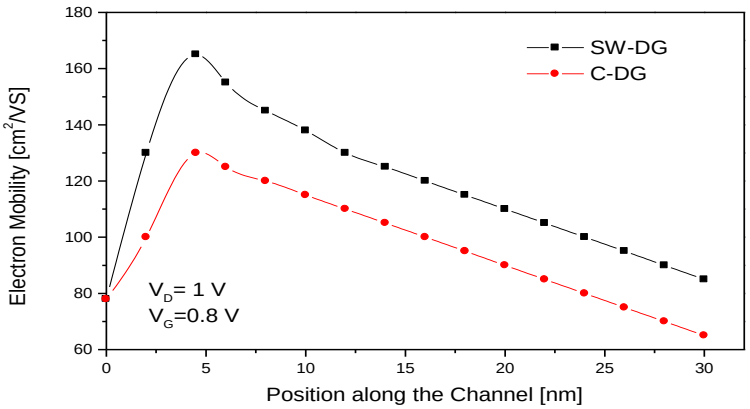


شکل ۴- دمای شبکه برای هر دو ساختار C-DG و SW-DG در طول خط برش BB'

پارامتر دیگری که با دما تغییر می کند، قابلیت تحرک الکترون می باشد. جریان درین کاهش یافته در C-DG در دمای بالا به علت قابلیت تحرک پایین الکترون ها می باشد. قابلیت تحرک پایین نیز به خاطر افزایش پراکنش در دمای بالا می باشد [۱۲]. رابطه‌ی بین موبیلیتی و دما در رابطه ی (۱-۱) آورده شده است.

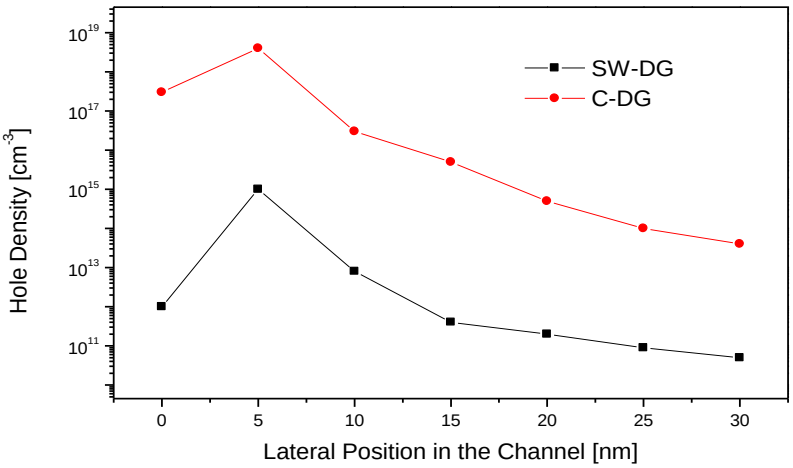
$$\mu_{eff} = \mu_{eff,0}\left(\frac{T}{T_0}\right)^{-k} \qquad (۱-۱)$$

در این رابطه $\mu_{eff,0}$ موبیلیتی موثر در دمای محیط می باشد. همچنین T، میانگین دمای کانال؛ T_0 دمای محیط و k توان دمایی موبیلیتی می باشد که مقدار معمول آن بین ۱/۵ تا ۱/۷ است. در SW-DG با جایگزینی اکسید سیلیسیم با سیلیسیم، دمای پایین تر در کانال حاصل می شود. همانگونه که در شکل (۵) دیده می شود، موبیلیتی در ساختار SW-DG نسبت به ساختار C-DG بیشتر می باشد که دلیل آن کاهش دما می باشد و در نتیجه آن جریان درین افزایش می یابد.



شکل ۵- موبیلیتی در طول کانال برای هر دو ساختار SW-DG و C-DG.

در شکل (۶) چگالی حفره های کانال در هر دو ساختار بررسی شده است که در خط برش 'BB رسم شده است. قرار گرفتن یک پنجره ی سیلیسیمی در زیر کانال با چگالی ناخالصی دهنده موجب می شود حفره های کانال در این پنجره جذب شده و بازترکیب گردند. با کاهش تعداد حفره های کانال اثر بدنه شناور در ساختار پیشنهادی کاهش یافته و اثرات مخرب آن در ترانزیستور کنترل می گردد.

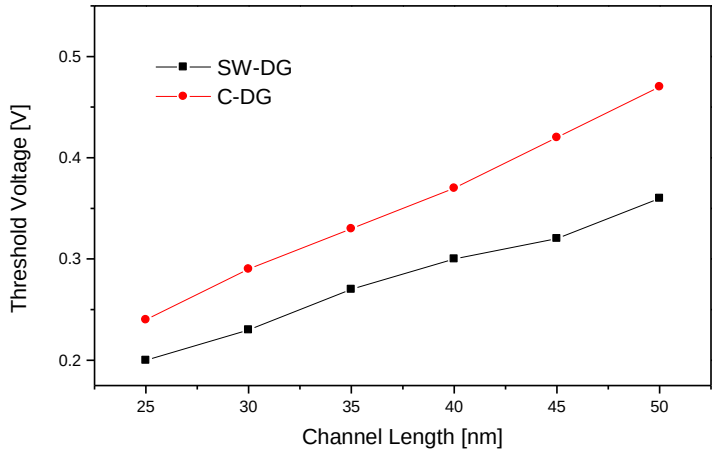


شکل ۶- چگالی حفره های کانال در هر دو ساختار C-DG و SW-DG.

در شکل (۷) تغییرات ولتاژ آستانه در ترانزیستور پیشنهاد شده با ساختار متداول مقایسه شده است. همان طور که مشخص می باشد، ساختار SW-DG ولتاژ آستانه پایین تری را از خود نشان می دهد. این رفتار فیزیکی با توجه به رابطه ی زیر قابل توجیه می باشد:

$$V_{th} = V_{FB} + 2\Phi_F - \frac{Q_d}{C_{ox}} \qquad (۱)$$

در ساختار پیشنهادی SW-DG به علت کاهش حفره های داخل کانال، تعداد الکترون ها که در جریان شرکت دارند، افزایش می یابد. بنابراین با توجه به رابطه ی (۱) ولتاژ آستانه در ساختار پیشنهادی کاهش می یابد.

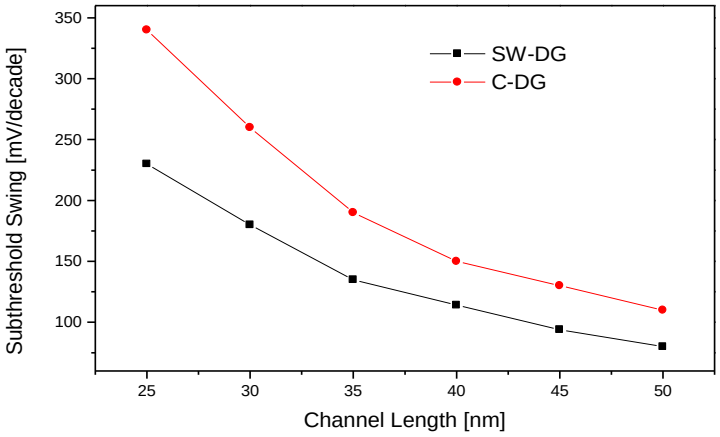


شکل ۷- تغییرات ولتاژ آستانه در ترانزیستور در هر دو ساختار C-DG و SW-DG.

در شکل (۸) شیب زیر آستانه برای طول کانال های مختلف در هر دو ساختار SW-DG و C-DG مقایسه شده اند. همان طور که در این شکل مشخص می باشد، شیب زیر آستانه ساختار SW-DG مقادیر پایین تری را نشان می دهد. این پدیده با توجه به رابطه ی (۲) قابل بررسی می باشد.

$$SS \approx 60^{mV} \frac{T}{300^{K}} \qquad (۲)$$

در این رابطه T دما بر حسب کلوین می باشد و ۶۰ میلی ولت مقدار ایده آل شیب زیر آستانه می باشد. این رابطه نشان می دهد که با افزایش دما از ۳۰۰ درجه کلوین، شیب زیر آستانه از مقدار ایده آل ۶۰ میلی ولت فاصله می گیرد. در ساختار SW-DG وجود پنجره ی سیلیسیمی به جای اکسید مدفون دمای شبکه ی ترانزیستور را در مقایسه با ساختار C-DG کاهش می دهد. بنابراین مقادیر شیب زیر آستانه در ساختار پیشنهادی پایین تر از ساختار متداول می باشد.

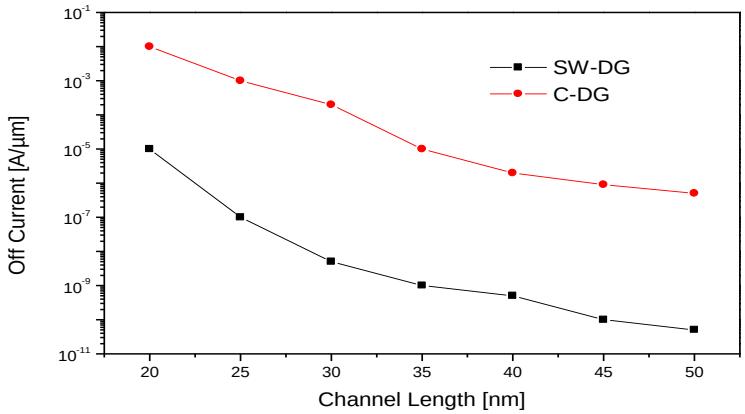


شکل ۸- شیب زیر آستانه برای طول کانال های مختلف در هر دو ساختار SW-DG و C-DG.

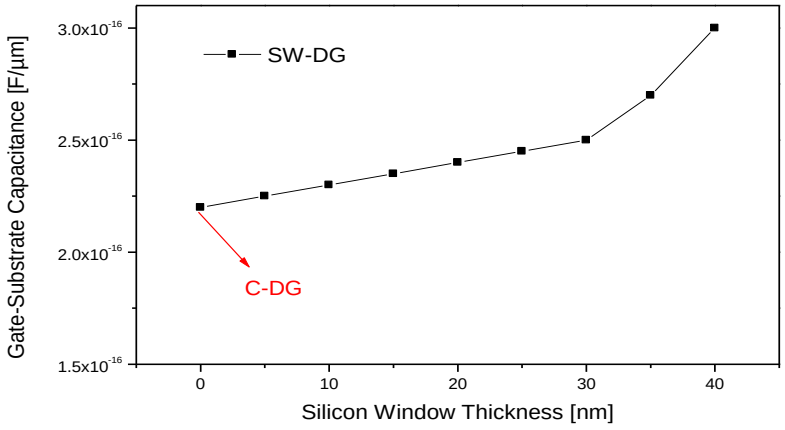
شکل (۹) تغییرات جریان حالت خاموش با تغییرات طول کانال را برای هر دو ساختار SW-DG و C-DG نشان می دهد. جریان حالت خاموش رابطه مستقیمی با دما دارد. بدین معنی که جریان حالت خاموش با دمای شبکه تغییر می کند. در دمای شبکه بالاتر، جریان حالت خاموش افزایش می یابد. بنابراین، در این شرایط ترانزیستور برای سوئیچ زنی مناسب نمی باشد. در ساختار پیشنهادی، با کنترل دمای شبکه به علت در نظرگیری پنجره سیلیسیومی زیر کانال، جریان حالت خاموش به میزان قابل توجهی کاهش می یابد.

طول پنجره سیلیسیمی برابر مجموع طول کانال و طول دو جداکننده می باشد. برای بدست آوردن عملکرد مطلوب SW-DG، لازم است که ضخامت پنجره سیلیسیمی بطور بهینه انتخاب شود. شکل (۱۰) تغییرات خازن گیت در مقابل ضخامت پنجره سیلیسیومی (L_{Si}) را نشان می دهد. همانگونه که در این شکل دیده می شود، با افزایش ضخامت پنجره سیلیسیمی تا ضخامت ۳۰ نانومتر، مقدار خازن گیت

تغییرات بسیار کمی دارد اما بعد از این مقدار، خازن گیت با شیب زیادی افزایش می یابد. بنابراین به نظر می رسد مقدار ۳۰ نانومتر برای ضخامت پنجره سیلیسیمی مناسب می باشد.

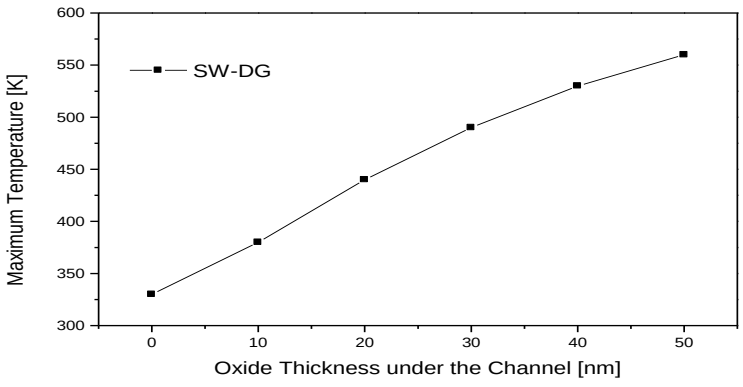


شکل ۹- تغییرات جریان حالت خاموش با تغییر طول کانال.



شکل ۱۰- تغییرات خازن گیت در مقابل ضخامت پنجره سیلیسیومی (T_{Si}).

در شکل (۱۱)، دمای ماکزیمم در مقابل ضخامت اکسید مدفون نشان داده شده است. همانگونه که در این شکل مشاهده می شود، با افزایش ضخامت اکسید مدفون زیر کانال و جداکننده ها، دمای ماکزیمم افزایش می یابد. در ضخامت اکسید مدفون ۱۰ نانومتر، دمای ماکزیمم مقدار مطلوبی دارد. با توجه به اینکه ضخامت اکسید مدفون زیر نواحی درین و سورس ۴۰ نانومتر می باشد و با توجه به شکل ۱۰ لازم است که ضخامت پنجره سیلیسیومی برابر ۳۰ نانومتر در نظر گرفته شود تا ماکزیمم دمای قابل قبول بدست آید.



شکل ۱۱- دمای ماکزیمم در مقابل ضخامت اکسید مدفون برای ساختار پیشنهادی (V_{ds}=1 v و V_{gs}=0.8 v).

۴-نتیجه گیری

در این مقاله یک ترانزیستور دو گیتی جدید با دو جدا کننده در تکنولوژی سیلیسیم روی عایق پیشنهاد شد که در آن یک پنجره سیلیسیمی جایگزین قسمتی از اکسید مدفون در زیر کانال و جداکننده ها گردید. ایده اصلی کار ارائه شده، کنترل کردن اثر خودگرمایی بوسیله کاهش دمای ماکزیمم ترانزیستور بوده است. نتایج شبیه سازی با شبیه ساز ATLAS نشان می دهد که ترانزیستور پیشنهادی می تواند جایگزین مناسبی برای ترانزیستورهای دوگیتی متداول باشد که در این صورت گستره کاربرد این ترانزیستورها در دماهای بالا افزایش می یابد.

مراجع

[1] J. P. Colinge, Silicon-on-insulator technology: materials to VLSI: materials to Vlsi, 3th ed., Springer Science & Business Media, USA, 2004.

[2] M. Mehrad, and A. A. Orouji, "A new nanoscale and high temperature field effect transistor: Bi level FinFET", Physica E: Low-dimensional Systems and Nanostructures, Vol. *44*, NO. *3*, December 2011, pp. 654 – 658.

[3] A. A. Orouji, and M. Mehrad, "Positive charges at buried oxide interface of RESURF: An analytical model for the breakdown voltage", Superlattices and Microstructures, Vol. *72*, August 2014, pp. 336 – 343.

[4] A. A. Orouji, and M. Mehrad, "A new rounded edge fin field effect transistor for improving self-heating effects", Japanese Journal of Applied Physics, Vol. *50*, NO. *12R*, December 2011, pp. 124303 – 124309.

[5] J. P. Colinge, "Multi-gate soi mosfets", Microelectronic Engineering, Vol. *84*, NO. *9-10*, September 2007, pp. 2071 – 2076.

[6] X. Zhou, K. Y. Lim, and D. Lim, "A simple and unambiguous definition of threshold voltage and its implications in deep-submicron MOS device modeling", IEEE Transactions on Electron Devices, Vol. *46*, NO. *4*, April 1999, pp. 807 – 809.

[7] M. Mehrad, and A. A. Orouji, "Partially cylindrical fin field-effect transistor: a novel device for nanoscale applications", IEEE Transactions on Device and Materials Reliability, Vol. *10*, NO. *2*, June 2010, pp. 271 – 275.

[8] A. Kranti, and G. A. Armstrong, "Source/drain extension region engineering in nanoscale double gate SOI MOSFETs: novel design methodology for low-voltage analog applications", Microelectronic Engineering, Vol. *84*, NO. *12*, December 2007, pp. 2775 – 2784.

[9] M. Saxena, S. Haldar, M. Gupta, and R. S. Gupta, "Design considerations for novel device architecture: hetero-material double-gate (HEM-DG) MOSFET with sub-100 nm gate length", Solid-State Electronics, Vol. *48*, NO. *7*, July 2004, pp. 1169 – 1174.

[10] J. T. Park, and J. P. Colinge, "Multiple-gate SOI MOSFETs: device design guidelines", IEEE Trans. Electron Devices, Vol. *49*, NO. *12*, December 2002, pp. 2222 – 2229.

[11] Device simulator ATLAS, Silvaco International, Santa Clara, 2007.

[12] A. A. Orouji, and M. Mehrad, "Breakdown voltage improvement of LDMOSs by charge balancing: An inserted P-layer in trench oxide (IPT-LDMOS)", Superlattices and Microstructures, Vol. *51*, NO. *3*, March 2012, pp. 412 – 420.