استخراج روابط میان پارامترهای مداری به کمک الگوریتم ژنتیک چند هدفه برای طراحی تقویت کننده‌های عملیاتی مجتمع با جبرانسازی غیرخطی

اسماعیل رنجبر کلیبی، محمد دانائی[1,*] و مجتبی احمدیه خانه‌سر

اطلاعات مقاله

دریافت مقاله: ۱۳۹۶/۱۰/۲۰
پذیرش مقاله: ۱۳۹۸/۰۱/۲۱

واژگان کلیدی:
الگوریتم ژنتیک چند هدفه،
تقویت کننده‌ی عملیاتی،
جبرانسازی،
خازن ترانزیستوری.

چکیده

در این مقاله یک تقویت کننده عملیاتی دوطبقه با تکنیک بافر جریان سری با خازن میلر برای کاربردهایی با پهنای باند چند صد مگاهرتز طراحی و بهینه سازی شده است. در اینجا برای کاهش سطح سیلیکون اشغالی، خازن جبرانسازی را با خازن ترانزیستوری جایگزین کرده‌ایم. برای برطرف کردن مشکلات بکارگیری خازن ترانزیستوری از الگوریتم بهینه‌سازی استفاده شده است و همچنین با استفاده از روش پیشنهادی رابطه تحلیلی از جواب‌های بهینه شده استخراج نموده‌ایم. روابط بدست آمده نشان می‌دهد که در بهترین حالت چه مصالحه‌ای بین حاشیه فاز، توان مصرفی و پهنای باند بهره-واحد وجود دارد. با توجه به امکانات موجود در تراشه، این روابط به طراح کمک می‌کند بهترین طراحی را برای تقویت کننده عملیاتی داشته باشد. تقویت کننده دوطبقه طراحی شده به روش جبرانسازی میلر با بافر جریان و با تکنولوژی ۱۸/ ۰میکرومتر طراحی شده است. این تقویت کننده دارای بار خازنی به اندازه ۱ پیکوفاراد می باشد، بهره‌ای فرکانس پایین آن بیش از ۷۰ دسی بل، پهنای باند بهره-واحد ۶۸۰ مگاهرتز، حاشیه فاز ۶۵ درجه و آهنگ‌گردش آن $۳۵۰\ V/\mu s$ است. این درحالی است که اندازه توان مصرفی برابر با ۹۰۰ میکرو وات و ولتاژ تغذیه ۱/۸ ولت می باشد. با استفاده از این روش بهبود ۳۴ درصد در پهنای باند حاصل شده است و همچنین اندازه خازن جبران سازی را می توان تقریبا به یک سوم کاهش داد.

۱-مقدمه

تقویت کننده‌های عملیاتی[2] عنصر اساسی بسیاری از مدارهای آنالوگ، دیجیتال و مرکب (آنالوگ-دیجیتال) هستند. تقویت کننده‌های عملیاتی، برای انواع مدارهای مجتمع همچون تولید بایاس دی‌سی[3] تقویت سیگنال‌های سرعت بالا، مبدل آنالوگ به دیجیتال و یا فیلتر، بطور گسترده بکار گرفته می‌شوند و همچنین در طراحی این تقویت کننده‌ها طیف وسیعی از پارامترهای عملکردی مورد توجه قرار می‌گیرد [۱]. توجه به پارامترهایی همچون بهره فرکانس پایین، دامنه سوئینگ سیگنال ولتاژ خروجی، آهنگ گردش، رفتار خطی، نویز، آفست، ولتاژ تغذیه و دیگر پارامترهای عملکردی روند طراحی را پیچیده می‌کند؛ از سویی دیگر یکی از موضوعات پراهمیت در کنار این پارامترها، توجه به پایداری یک تقویت کننده و اصلاح پاسخ فرکانسی یا "جبرانسازی فرکانسی" در تقویت‌های عملیاتی است. برای یک ساختار خاص از مدارهای آنالوگ یکی از مهم‌ترین سوالاتی که ذهن طراح را به خود مشغول می‌کند آن است که تا کجا می‌توان کیفیت جبرانسازی فرکانسی را بهبود داد. برای نمونه پهنای باند قابل دسترس در یک تقویت کننده آنالوگ، با مصرف توان خاص و در یک حاشیه فاز معین تا چه اندازه می‌تواند باشد. همچنین پارامترهای مداری به یکدیگر وابسته‌اند، به عنوان مثال، توان مصرفی و

* پست الکترونیک نویسنده مسئول: danaie@semnan.ac.ir
۱. دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه سمنان

[2] Operational Amplifiers
[3] DC Bias

خطی بودن پاسخ سیستم و ولتاژ تغذیه و پهنای باند به هم مرتبط هستند بطوری که کاهش یا افزایش هر کدام بر روی باقی پارامترها تاثیر می‌گذارد. عموما برای بیشتر شدن پهنای باند توان مصرفی افزایش می‌یابد؛ کاهش ولتاژ تغذیه می تواند به کاهش توان کمک کند ولی این کاهش ولتاژ تغذیه خطی بودن سیستم را تحت تاثیر قرار خواهد داد. از این وابستگی پارامترها می‌توان نتیجه گرفت که چندین پارامتر مختلف وجود دارد که افزایش هر کدام به معنای کاهش دیگری خواهد بود. حال سوال مهمی که مطرح می-شود این است تا کجا می‌توان یک پارامتر را بهبود بخشید با این شرط که پارامترهای دیگر زیاد تاثیر قرار نگیرند.

امروزه با کاهش ابعاد ترانزیستورها و به دنبال آن کاهش ولتاژ تغذیه مدار، آزادی عمل طراحان مدارهای آنالوگ کاهش یافته است. با کاهش مقاومت خروجی ترانزیستورها بهره آن‌ها نیز کاهش می یابد و برای جبران آن باید جریان مصرفی ترانزیستورها و تعداد طبقات تقویت کننده را افزایش داد که موجب افزایش توان مصرفی خواهد شد. این امر طراح را مجبور می کند که تا حد ممکن سعی کند مدار خود را در نقطه بهینه طراحی کند. از طرفی دقت رابطه درجه ۲ مربوط به مشخصه جریان-ولتاژ در ترانزیستورهای ماسفت کانال کوتاه افت می کند، به نحوی که نقطه بهینه-ای که از فرمول‌های طراحی بدست می‌آید گاها با نقطه بهینه واقعی فاصله زیادی دارد [۲].

تاکنون استفاده از الگوریتم‌های ژنتیک و الگوریتم‌های مشابه برای طراحی مدارهای الکترونیکی آنالوگ معمولا به این صورت بوده که پارامترهای یک توپولوژی خاص مداری به عنوان ورودی های الگوریتم بهینه ساز در نظر گرفته شده و پس از تعریف یک تابع هزینه که ترکیبی از چند شاخصه مختلف مداری از قبیل بهره، پهنای باند و غیره می باشد؛ الگوریتم بهینه ساز نرم افزار شبیه ساز مدار را با پارامترهای شبه تصادفی اجرا می‌کند و در نهایت به یک جواب بهینه می‌رسد. با توجه به این که در هر اجرای مدار زمان نسبتا زیادی می‌برد، این روش بسیار زمان بر بوده و برای مدارهای بزرگ با تعداد پارامترهای زیاد به هیچ وجه مناسب نیست. بعلاوه جز یک جواب نهایی هیچ گونه دیدی به طراح نمی دهد. با پیچیده تر شدن مدارات آنالوگ کارائی این روش به شدت افت می‌کند [۳- ۵].

با استفاده از الگوریتم‌های ژنتیک چند هدفه می توان به صورت هم زمان چند خروجی و اثرات کاهش و افزایش هر کدام بر دیگری را بررسی کرد. مشاهده جبهه پارتو می‌تواند دید نسبی به طراح بدهد که بهبود یک پارامتر تا چه میزان می‌تواند باعث افت کیفیت سایر پارامترها شود [۶]. این روش نسبت به روش قبل بسیار بهتر است ولی بسیار زمان بر بودن آن باعث می‌شود که بیشتر طراحان ترجیح بدهند از فرمول‌های نظری استفاده کنند، هرچند که جواب های آن‌ها بهینه نباشد.

برای طراحی تقویت کننده‌های عملیاتی مجتمع توپولوژی-های مداری یک طبقه و چند طبقه مختلفی پیشنهاد شده است. انتخاب مناسب نوع توپولوژی معمولا به تجربه طراح وابسته است. تعیین مقدار درست ابعاد ترانزیستورها و جریان بایاس طبقات مسئله بعدی است که بایستی برای رسیدن به خواسته‌های مسئله از قبیل پهنای باند مورد نیاز، توان مصرفی، بهره و غیره بصورت دقیق انجام شود. در گام آخر انتخاب روش مناسب جبران سازی و مقادیر خازن‌های جبران ساز هم یکی دیگر از چالش‌های طراحی می باشد.

مهم ترین نکته‌ای که در انتخاب توپولوژی تقویت کننده عملیاتی وجود دارد آن است که آیا می‌توان با این ساختار به خواسته‌های مداری مورد نیاز رسید. با افزایش توان مصرفی می‌توان پهنای باند را افزایش داد ولی اینکه برای هر توپولوژی چقدر افزایش توان باعث چه میزان بهبود پهنای باند می‌شود مسئله بعدی است. سوال بعدی این است که بهینه ترین جواب هر توپولوژی چه اندازه است. به عنوان مثال، برای یک بهره ولتاژ فرکانس پایین، حاشیه فاز و توان مصرفی معین بیشترین پهنای باند قابل دسترس یک تقویت کننده دو طبقه تلکسوپی آبشاری خاص چقدر می‌تواند باشد. این امر می‌تواند به طراح کمک کند که از انتخاب ساختار اشتباه پرهیز کرده و در صورت انتخاب ساختار درست بداند جواب او با جواب بهینه چقدر فاصله دارد.

در این مقاله سعی شده است با استفاده از الگوریتم ژنتیک چند هدفه جبهه پاراتوهای مختلف را پیدا کرده و سپس این منحنی‌ها را با توابع ریاضی شناخته شده تقریب زد. این کار این مزیت را دارد که بعدا در طراحی دستی و انتخاب نقطه بهینه که گاها نیاز به مشتق گیری دارند می‌توان از این فرمول‌های ریاضی استفاده کرد. با این روش می‌توان برای هر کدام از توپولوژی متداول مداری یکبار الگوریتم ژنتیک را اجرا کرد و یک رابطه منحصربفرد که حالت بهینه تقویت کننده را نشان می‌دهد بدست آورد. سپس در طراحی های بعدی از این روابط برای بهینه سازی استفاده

شود که این کار تا کنون انجام نشده است. به عنوان مثال با استفاده از این روش توانسته ایم با حفظ پارامترهایی مثل توان مصرفی و حاشیه فاز پهنای باند را افزایش قابل توجهی بدهیم.

رابطه بهینه بدست آمده نشان خواهد داد که در بهترین حالت چه مصالحه‌ای بین حاشیه فاز، توان مصرفی و پهنای باند بهره-واحد وجود دارد. مزیت بکار بردن الگوریتم بهینه سازی تنها به اینجا ختم نمی‌شود. در این مقاله روش تازه‌ای را برای بدست آوردن ابعاد بهینه خازن ترانزیستوری مورد نیاز در یک شبکه‌ی جبرانسازی ارائه کرده‌ایم. در این روش ظرفیت خازن ترانزیستوری وابسته به طول و عرض ترانزیستورهای تشکیل دهنده‌ی این نوع خازن است و مقدار بهینه آن‌ها به کمک یک الگوریتم بهینه‌سازی چند هدفه محاسبه می‌شود و نتیجه این خواهد بود که با این روش محدودیت کمتری در بکار بردن ترانزیستورهای خازنی خواهیم داشت.

افراد بسیاری الگوریتم ژنتیک را برای کابردهای گوناگون استفاده کرده‌اند و شماری نیز به بحث در طراحی مدارهای الکترونیکی با این الگوریتم‌ها پرداخته‌اند. در نخستین موارد استفاده از الگوریتم‌های بهینه‌سازی در طراحی مدارهای مجتمع، الگوریتم ژنتیک یک هدفه برای یک ساختار خاص مانند تقویت کننده نویز پایین[1] یا منبع ولتاژ پهن باند[2]، یک یا ترکیبی از پارامترهای عملکردی مدار را بهینه می‌کرد [۷- ۱۳]. در این موارد به هر کدام از پارامترهای مداری از قبیل حاشیه فاز، توان مصرفی، پهنای باند و غیره وزنی خاص داده شده و یک تابع هدف تولید می‌شود و پس از آن یک الگوریتم بهینه ساز برای کاهش تابع هزینه یا افزایش تابع هدف بکار گرفته می‌شد [۱۱- ۱۳]. استفاده از الگوریتم ژنتیک به صورت گفته شده هیچ دیدی به طراح نداده و به صورت یک جعبه سیاه تنها یک جواب بهینه را معرفی خواهد کرد. شماری دیگر با استفاده از الگوریتم چند هدفه سعی کردند دو یا چند متغیر را به صورت همزمان بهینه کنند [۷] و [۱۴- ۱۷].

با این حال در این مقاله با توجه به اینکه از یک الگوریتم بهینه سازی چند هدفه استفاده شده است، برتری‌های ویژه خود را دارد. تفاوت کار انجام شده در اینجا، بکارگیری ابزار الگوریتم بهینه‌سازی چند هدفه برای استخراج روابط تقریبی ریاضی است که بتوان در روند طراحی و بهینه سازی از آن ها استفاده کرد. گرچه برای طراحی مدارهای آنالوگ الگوریتم‌های طراحی بسیاری ارائه شده است اما در این روش ها مدلی خطی برای هر ترانزیستور استفاده می شود، حال آن که مدل‌های تجاری و دقیق ترانزیستور، علاوه بر غیر خطی بودن، پارامترهای بسیار زیادی دارد که استفاده از تمامی آنها را برای طراحی تقریبا ناممکن می‌کند. این موضوع باعث می‌شود تا بین نتایج طراحی دستی و نتایج شبیه سازی با مدل های تجاری در بعضی مواقع تفاوت‌های بسیار زیادی ایجاد شود. در این مقاله سعی شده است با استفاده از الگوریتم‌های ژنتیک چند هدفه روابط مابین پارامترهای مختلف بدست آمده و سپس تابعی چند متغیره را به روابط حاصله برازش داد به گونه ای که بتوان از تابع حاصل شده را در فرآیند طراحی دستی یا بهینه سازی دستی استفاده کرد. بنابر مطالعه نویسندگان چنین روشی در طراحی تقویت کننده‌های عملیاتی استفاده نشده است.

با توجه به قابلیت‌های الگوریتم طراحی در مواجه با پارامترهای غیرخطی در اینجا به جای استفاده از خازن جبران سازی معمولی، خازن غیرخطی بین گیت و بدنه[3] ترانزسیتور در فرآیند طراحی شبکه جبران سازی استفاده شود. اینکار باعث کاهش حجم سیلیکون اشغالی برای پیاده سازی تقویت کننده عملیاتی در روی تراشه خواهد شد [۱۸- ۲۰].

برای شبیه سازی ساختارها از نرم افزار HSPICE و یک مدل تجاری در تکنولوژی CMOS استاندارد استفاده شده است. برخی از پارامترهای مهم کتابخانه این مدل استاندارد BSIM3 v3.1 در جدول ۱ آورده شده است.

جدول ۱- پارامترهای کتابخانه مدل استاندارد BSIM3 v3.1

PROCESS: TSMC 0.18um Mixed Signal
SALICIDE (1P6M, 1.8V/3.3V)
MODEL: BSIM3 (V3.1)
VERSION: 1.3

t_{oxn}	4.08E-09	t_{oxp}	4.08E-09
c_{jn}	0.001000266	c_{jp}	0.001121
c_{jswn}	2.040547E-10	c_{jswp}	2.481E-10
c_{jswgn}	3.340547E-10	c_{jswgp}	4.221E-10
c_{gon}	3.665E-10	c_{gop}	3.28E-10

به این منظور یک ساختار خاص مداری که از خازن معمولی برای جبران سازی استفاده کرده است انتخاب شده و سپس

[1] Low Noise Amplifier
[2] Bandgap Voltage Reference
[3] Bulk

خازن غیرخطی پیشنهادی را به جای آن جایگزین کرده و نتایج را با هم مقایسه می‌کنیم. نشان داده خواهد شد که در بهره فرکانس پائین، حاشیه فاز و توان مصرفی یکسان مقدار ۳۴ درصد افزایش در پهنای باند حاصل خواهد شد. این در حالی است که سطح اشغالی در روی تراشه نیز به بدلیل جایگذاری MOSCAP به جای خازن MIM از $487\mu m^2$ به حدود $204\mu m^2$ کاهش می‌یابد.

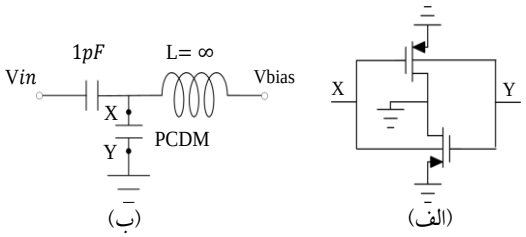
در بخش ۲ ساختارهایی از خازن‌های ترانزیستوری و منحنی مشخصه‌های آن‌ها را نمایش داده‌ایم. سپس در بخش ۳ به عملکرد و بکار گیری الگوریتم ژنتیک چند هدفه و همچنین به پیاده سازی توسط نرم‌افزارهای شبیه‌ساز پرداخته شده است. در بخش ۴ درباره ایده‌ی جبرانسازی فرکانسی سیستم‌ها و شیوه‌ی جبرانسازی در ساختار تقویت کننده عملیاتی صحبت شده است. در بخش ۵ جزئیات مدار تقویت کننده عملیاتی بکار گرفته شده را شرح داده‌ایم و همچنین نتایج جواب های خروجی از تلفیق الگوریتم ژنتیک چند هدفه با طراحی تقویت کننده عملیاتی جبرانسازی شده را با نتایج طراحی در مقالات مرجع مقایسه کرده‌ایم. در بخش ۶، ابزاری جدید برای پیش‌بینی طراحی بهینه ساختارهای گوناگون از تقویت کننده‌های عملیاتی ارائه شده است. در نهایت، بخش ۷ نتیجه‌گیری مقاله صورت می‌گیرد.

۲- خازن‌های قابل ا ستفاده در طراحی مدارهای مجتمع آنالوگ

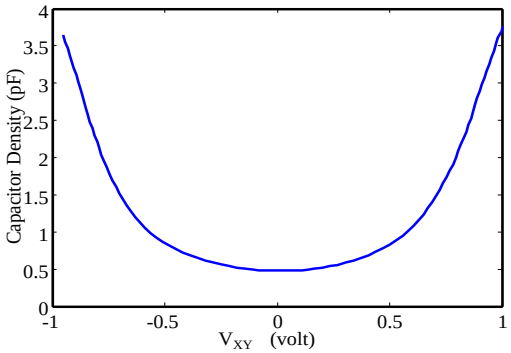
خازن یکی از عناصر اصلی در ساخت مدارهای مجتمع است. بنا به کاربردهای متفاوت تراشه‌ها، نوع این خازن‌ها هم متفاوت است. امروزه سه نوع خازن در کاربردهای مدار مجتمع معمول است. خازن ترانزیستوری یا خازن‌های فلز-اکسید-نیمه‌هادی[1] ، خازن فلز-عایق-فلز[2] و خازن فلز-اکسید-فلز[3]. خازن‌های لایه-فلز، خازن‌های MIM و MOM کاربرد گسترده‌ای در فرآیند ساخت مدارهای مجتمع دارند. این خازن‌ها ضریب دمایی بالایی دارند، در برابر تغییر پروسه مقاوم هستند و رابطه ظرفیت این خازن ها با ابعاد آن خطی است. در نتیجه برای کاربردهایی که نیاز به خازنی قابل اعتماد است، مناسب هستند [۲۱]. با این حال خازن‌های MOM و MIM به نسبت خازن‌های ترانزیستوری ظرفیت خازنی کمی دارند و همین چند لایه شدن تراشه هزینه ساخت آن را بالا می‌برد.

از بین سه نوع خازن یاد شده، خازن ترانزیستوری به دلیل داشتن ساختار اکسید گیت، چگالی ظرفیت خازنی بالایی دارد در نتیجه می‌تواند سطح سیلیکن کمتری از تراشه را اشغال کند، ولی از سویی دیگر این ترانزیستورها معایبی همچون غیرخطی بودن، ضریب دمایی بالا، ولتاژ شکست پایین، حساس بودن نسبت به تغییر فرآیند و وجود جریان نشتی مسیر گیت-بالک ترانزیستور را دارند. اشکالاتی از این قبیل موجب محدودیت در کاربرد این نوع از خازن‌ها شده است. البته برخی از این مشکلات ترانزیستور خازنی در کاربردها قابل چشم پوشی است. برای نمونه در تراشه‌های ولتاژ پایین دیگر نیازی به وجود افزاره‌ای با ولتاژ شکست بالا نداریم. جریان نشتی ترانزیستور خازنی را می‌توان با روش‌های اشاره شده در مرجع [۲۲] کم کنیم و یا مورد کاربرد خازن ترانزیستوری جایی باشد که در مسیر بکار گرفته شده جریان بسیار محدود باشد. همچنین می‌توان خاصیت غیر خطی خازن ترانزیستوری را کم کرد. یکی از روش‌های کم کردن خاصیت غیرخطی حالت تخلیه در خازن ترانزیستوری، بکار بردن تکنیک خطی سازی موازی است [۲۳- ۲۵]. شکل (۱-الف) ترکیب بندی مداری خازن ترانزیستوری که حالت تخلیه‌ای آن به روش موازی خطی سازی شده[4] را نمایش می‌دهد. این مدار این امکان را فراهم می‌کند که سطح ولتاژ متناوب دو سر خازن PCDM اندازه‌گیری شود و با استفاده رابطه راکتانس خازن و تقسیم مقاومتی به اندازه خازن مذکور در یک فرکانس خاص رسید. منحنی مشخصه ترکیب خازنی PCDM در شکل (۲) نشان داده شده و ظرفیت خازنی بر حسب ولتاژ بایاس دو سر آن را نشان می‌دهد. این منحنی از مدار اندازه‌گیری ظرفیت خازن نشان داده شده شکل (۱-ب) بدست آمده است. مطابق با شکل(۲) این تغییرات برای بازه بایاس ۰/۵± ولت کمتر از ۶ درصد است. بزرگترین مشکل ما برای بکار بردن این نوع خازن رفتار غیر خطی است. در مرجع‌های [۱۸] و [۲۳] این رفتار غیر خطی خازن را مدل سازی ریاضی کرده و رابطه بدست آمده از نمودار غیر خطی را در اندازه گیری-های خود بکار برده است.

[1] Metal-Oxide-Semiconductor (MOS)
[2] Metal-Insulator-Metal (MIM)
[3] Metal-Oxid-Metal (MOM)
[4] Parallel Compensated Depletion-Mode (PCDM) MOSCAP



شکل ۱- (الف) ترکیب خازن ترانزیستوری PCDM [۲۳]
(ب) مدار تست خازن ترانزیستوری PCDM



شکل ۲- ظرفیت خازن PCDM برحسب ولتاژ بایاس این خازن

این نوع مدل سازی ریاضی از یک رفتار غیرخطی، پیچیدگی محاسبات ما را افزایش می دهد. در هر حال، نمی‌توان مزایای بکار بردن خازن‌های ترانزیستوری را نادیده گرفت.

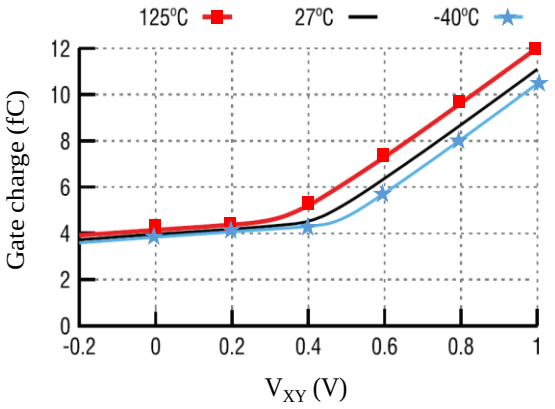
جدول ۲- مقایسه بین ناحیه اشغالی و ضریب خطی انواع ترازیستوری‌های خازنی MOSCAP و خازن‌های لایه‌ای MIM [۲۵]

	MIMCAP	PCDM	SCDM[1]	PMOS
ظرفیت خازن *(pF)*	1	1	1	1
نسبت عدم قطعیت (ضریب غیرخطی)	-	45%	19.55%	77.5 %
ناحیه اشغالی سیلیکون *(μm^2)*	480	240	1700	100
چگالی خازن *($fF/\mu m^2$)*	2.08	4.17	0.535	6.8

در جدول ۲ برای انواع ساختارهای شناخته شده خازن‌های ترانزیستوری MOSCAP و خازن MIM مقایسه‌ای از نسبت تغییر غیرخطی ظرفیت خازن به ازای تغییرات ولتاژ بایاس دوسر این خازن‌ها انجام شده است. همچنین در این جدول چگالی ظرفیت بر سطح سیلیکون اشغالی برای هر یک از این خازن‌ها اندازه‌گیری شده است که به روشنی اهمیت خازن‌های MOSCAP را از نظر چگالی ظرفیت نشان می‌دهد. چگالی خازن‌های ترانزیستوری می‌تواند به بیش از سه برابر خازن‌های لایه‌ای فلز-عایق MIM برسد.

یکی دیگر از ویژگی‌های ترانزیستورهای خازنی تاثیر تغییر دما در میزان بار خازن گیت-بالک بر حسب ولتاژ بایاس دو سر MOSCAP، $Q(V)$ است. نمودار این میزان تغییرات در شکل (۳) برای ولتاژ بایاس $V_{AB} \leq ۰,۶$ به ازای بازه دمایی ۴۰- تا ۱۲۵ درجه سانتی‌گراد با شبیه‌سازی Mont Calro در Hspice انجام شده است. در اینجا نشان داده شده است که عدم قطعیت کمتر از ۰/۷۵ درصد است که برای کاربرد جبرانسازی تقویت کننده عملیاتی سه طبقه قابل صرفنظر است.

در این مقاله روشی برای طراحی ترانزیستورهای انواع خازن‌های ترانزیستوری ارائه شده است که طراحی ما نه تنها دیگر به روابط ریاضی وابسته نخواهد بود بلکه به اندازه بهینه از ابعاد افزاره‌های مدار خود خواهیم رسید. ظرفیت خازن‌های ترانزیستوری نه تنها به ولتاژ بایاس آنها وابسته است بلکه ابعاد طول کانال و عرض ترانزیستورهای آن می‌تواند تاثیر زیادی بر ظرفیت خازن‌های ترانزیستوری بگذارد [۲۷].



شکل ۳- نمودار متوسط بار دخیره شده گیت-بالک خازن ترانزیستوری در دماهای مختلف برای مدار شکل

[1] Series Compensated Depletion-Mode (SCDM) MOSCAP

۳- بهینه سازی با الگوریتم ژنتیک چند هدفه مبتنی بر جبهه پارتوی توزیع شده

همانطور که در بخش ۲ اشاره شد، بدلیل رفتار غیر خطی خازن ترانزیستوری و وابستگی آن به ولتاژ بایاس و ابعاد ابزاره‌های تشکیل دهنده‌ی این نوع خازن، محاسبه دقیق ظرفیت خازنی آن امکان پذیر نیست و همچنین با استفاده از فرمول‌های تقریبی یا مدل سازی شده، معمولا نتایج مورد نظر حاصل نشده و نیازمند سعی و خطای زیادی خواهد بود تا به نتایج مطلوب دست یابیم. این روش سعی و خطا بصورت دستی زمانبر است و همچنین نهایتا برای ما بهترین جواب ممکن را مشخص نمی‌کند. در اینجا برای طراحی مدار یک ابزار طراحی ارائه شده است که جستجوی وسیع و موثری را در محدوده‌ی طراحی انجام می‌دهد. در هر مرحله مدار با نرم‌افزار Hspice شبیه سازی شده و نتایج شبیه‌سازی بررسی می‌شود. این کار تا بدست آمدن نتیجه مطلوب ادامه پیدا خواهد کرد. در اینجا مساله بهینه‌سازی مدار یک مسئله چند هدفه است و بایستی مصالحه‌ای بین پارامترهای مختلف مدار از قبیل بهره، پهنای باند، توان مصرفی و سطح تراشه برقرار شود. الگوریتم بهینه‌سازی بکار گرفته شده در این مقاله الگوریتم ژنتیک چندهدفه[1] می‌باشد و برای هر نوع مدار مجتمعی که نیاز به طراحی ابعاد ترانزیستور و دیگر عناصر مدار دارد قابل استفاده است[۶]. پیش از این نیز الگوریتم‌های بهینه سازی تک هدفه و چند هدفه، در طراحی تقویت کننده‌های آنالوگ فرکانس بالا [۱۲- ۱۳] ، تقویت کننده‌های عملیاتی [۷] و [۱۴] و [۲۷]، افزاره‌های نیمه‌هادی [۲۸] و یا حتی طراحی یک ساختار با چینش تصادفی افزاره‌ها [۲۹] بکار رفته است. ما در این مقاله برای اولین بار الگوریتم بهینه‌سازی را برای طراحی خازن ترانزیستوری و کم کردن روابط غیرخطی در محاسبات خود بکار برده‌ایم. در اینجا برای بکارگیری خازن ترانزیستوری، یک تقویت کننده‌ی عملیاتی دو طبقه در نظر گرفته شده است [۳۰]. این تقویت کننده توسط مدار بافر جریان و خازن سری با آن جبرانسازی شده و می‌خواهیم به بهینه‌ترین پارامترهای فرکانسی ممکن برسد. روش طراحی بصورت الگوریتمی به ترتیب زیر پیشنهاد شده است:

- کاربرد تقویت کننده مشخص شود.
- نوع تقویت کننده‌های مناسب برای این کاربرد تعیین شوند و یک ساختار عملکردی و مداری تعیین شوند.
- خازن میلر شبکه جبرانسازی تقویت کننده با ترکیب ترانزیستور خازنی PCDM جایگزین شود.
- المان‌های تاثیر گذار در طراحی ساختار انتخاب شده و ترکیب ترانزیستور خازنی تعیین شوند. بازه مجاز تغییرات هر المان متغییر تعیین شود.
- بنابر کاربرد تقویت کننده عملیاتی پارامترهای خروجی عملکردی مربوطه جهت بهینه سازی انتخاب شوند. برای نمونه در روش طراحی تقویت کننده عملیاتی با کاربرد مورد نظر ما پهنای باند واحد، حاشیه‌فاز و توان مصرفی اهمیت بیشتری خواهند داشت.
- پیاده سازی تابع هزینه[2] بهینه‌سازی جهت تولید مجموعه‌ای از نمونه‌های بهینه سازی شده. این گام یک پروسه چرخشی با تعدادی زیرمرحله است که در شکل (۴) نمایش داده شده است؛ ابتدا، پارامترهای تقویت کننده عملیاتی مورد نظر را برای پاسخ قابل قبول که حاصل از طراحی به روش دستی است را به الگوریتم بهینه‌سازی تعبیه شده در نرم‌افزار متلب به عنوان نمونه اولیه می‌دهیم. در اینجا این مقدارهای اولیه ابعاد ترانزیستورها (L_i , W_i) هستند که با آن‌ها یک یا تعدادی از پارامترهای بهره فرکانس پایین، آهنگ گردش، پهنای باند، حاشیه‌فاز، توان مصرفی، ناحیه اشغالی سیلیکون و غیره می‌توانند بهینه شده باشند یا هدف الگوریتم بهینه‌سازی باشند. به دنبال آن، متلب ابعاد جدید ترانزیستورها را به قصد بهبود در پارامترهای خروجی ذکر شده را پیشنهاد می‌هد و در نرم‌افزار Hspice جایگذاری می‌کند. بعد از آن، نرم‌افزار متلب دستور به تولید نسل جدید نمونه‌ها با ورودی‌های جدید را به Hspice خواهد داد. در نهایت نمونه‌های جدید تولید می‌شود و برای مقایسه به الگوریتم برمی‌گردند. به این ترتیب یک

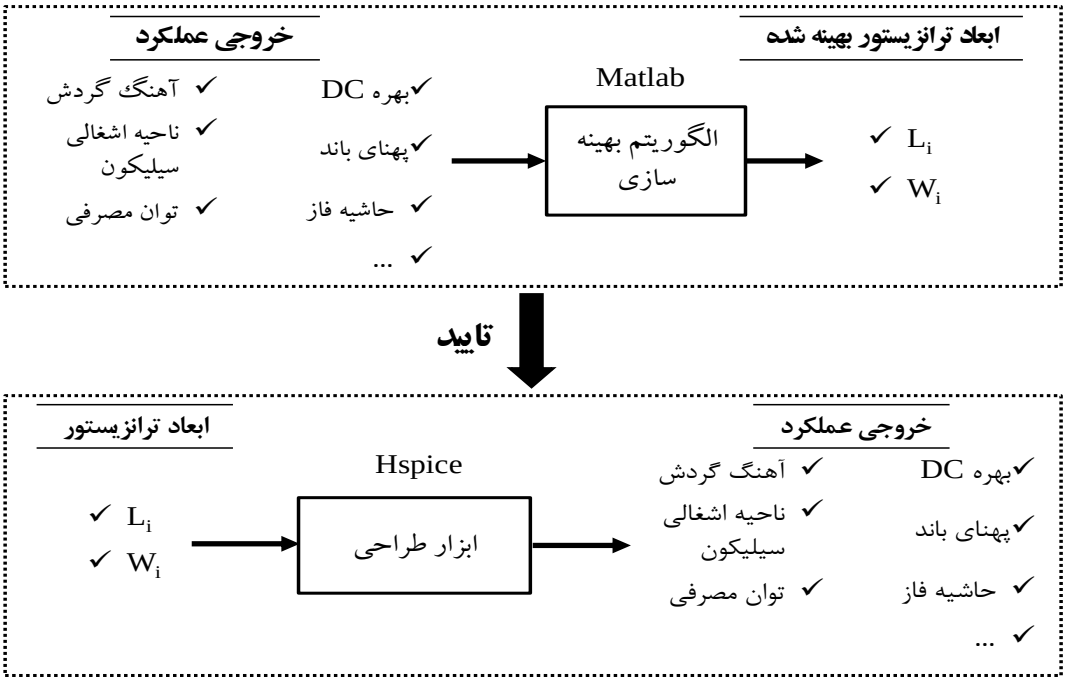
[1] Multi Objective Genetic Algorithm (NSGA II)

[2] Cost-Function

چرخه کامل بهینه‌سازی انجام می‌شود.

- روابط بین پارامترهایی که در بهینه‌سازی با هم متضاد هستند بدست آید.

در بخش های پیش‌رو تمامی مراحل ذکر شـــده در بالا بصورت عملی پیاده سازی خواهد شد.

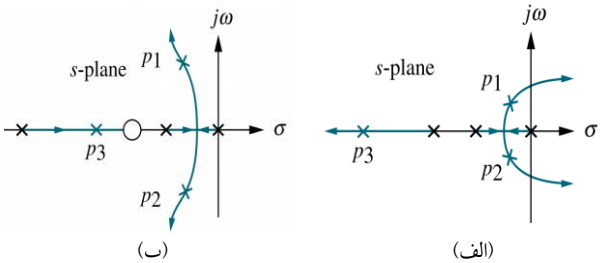


شکل ۴- فلوچارت عملیات طراحی تقویت کننده عملیاتی با الگوریتم بهینه‌سازی و نرم افزار Hspice

۴- ساختارهای جبرانسازی تقویت کننده‌های عملیاتی

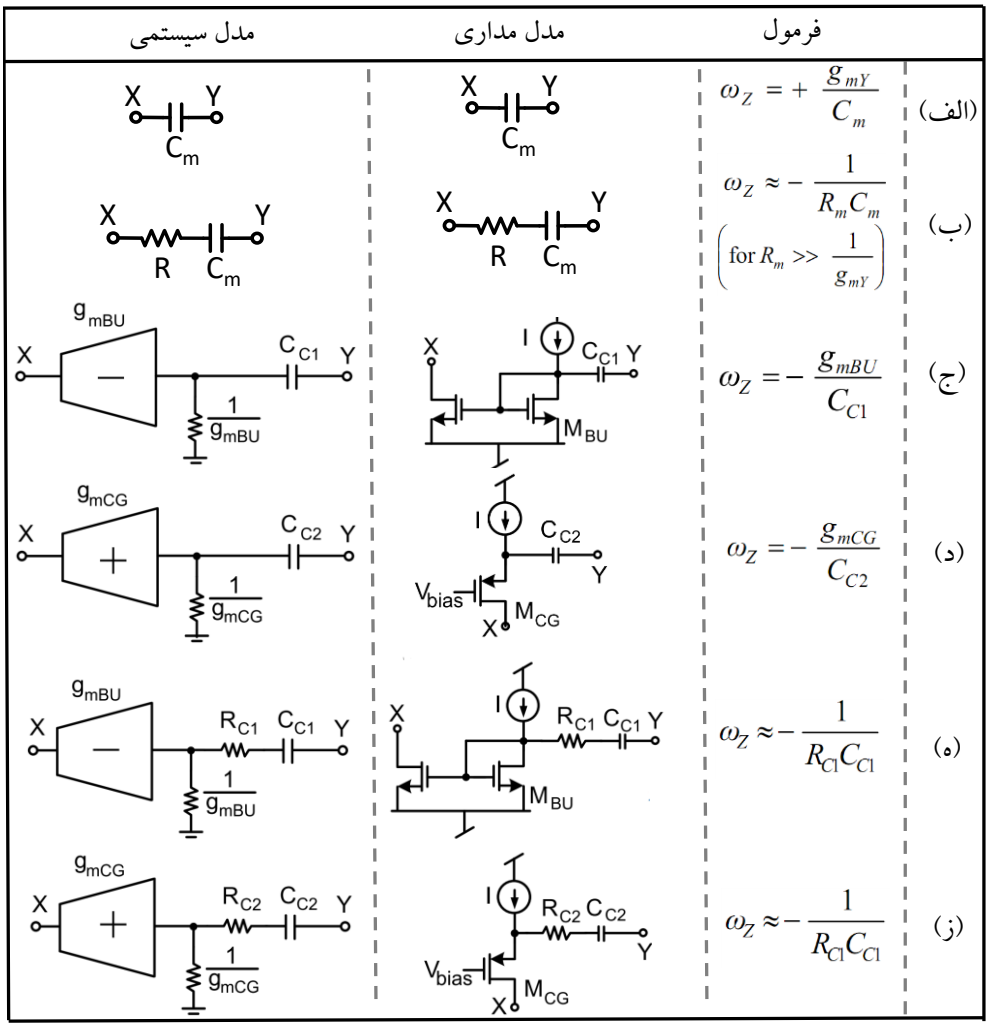
ایده جبرانسازی و پایداری سیستم بر مبنای تئوری کنترل کلاسیک، جایابی قطب و صفر سیستم در نمودار قطبی یا ایجاد حاشیه فاز و حاشیه بهره در نمودارهای بود[1] برای رسیدن به پاسخ فرکانسی مناسب است. شکل (۵) نمایشی از یک سیستم ناپایدار نوعی است که با جایگذاری مناسب یک صفر در نمودار قطبی سیستم، آن سیستم را پایدار کرده است. این مفهوم اضافه کردن صفر یا جابجایی قطب به منظور جبرانسازی، قابل پیاده سازی در هر سیستمی است. از روش‌های مرسوم برای جبرانسازی فرکانسی در یک تقویت کننده عملیاتی (و یا هر سیستم خطی و غیرخطی دیگر) اضافه کردن مسیرهای پیشخور و پسخور است.

نمونه‌ای از مسیرهای پیشخور مورد استفاده در تقویت کننده‌های مدار مجتمع به‌همراه اندازه و نوع صفری که برای جبرانسازی سیستم ایجاد می‌کنند را در شکل (۶) نشان داده شده است. نمونه‌ای از تکنیک‌های جبرانسازی که با استفاده از آن‌ها در مدار مجتمع تقویت کننده‌های عملیاتی جبرانسازی انجام می‌شود عبارتند از: تکنیک جبرانسازی میلر [۲۵] و [۲۹] و [۳۱]، جبرانسازی میلر با مقاومت حذف کننده‌ی صفر سمت راست [۲۲]، جبرانسازی میلر با بافر جریان [۳۲]، جبرانسازی با تکنیک میلر معکوس [۱۰] و جبرانسازی با مسیر پیشخور فعال [۳۳]. شکل (۷) ساختار سیستمی یک تقویت کننده‌ی عملیاتی که با بافر جریان و خازن سری با آن جبرانسازی شده است را نشان می‌دهد.

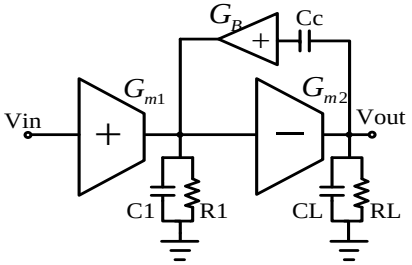


شکل ۵- (الف) سیستم در فرکانس های بالا ناپایدار است
(ب) جبرانسازی سیستم با اضافه کردن صفر سمت چپ

[1] Bode Diagram



شکل ۶- نمایش سیستمی و مداری مسیرهای پیشخور مورد استفاده از جبرانسازی تقویت کننده‌های عملیاتی به‌همراه رابطه صفر جبرانسازی آن‌ها



شکل ۷- دیاگرام عملکردی جبرانسازی میلر با بافر جریان برای تقویت کننده دوطبقه [۳۴]

۵- ساختار تقویت کننده‌ی عملیاتی استفاده شده

این بخش اولین مرحله از طراحی است و باید با توجه به کاربرد تقویت کننده عملیاتی نوع ساختار انتخاب شود و همانطور که در بخش ۴ گفته شد، تعداد قابل توجهی از ساختارهای تقویت کننده‌های عملیاتی وجود دارد که با توجه به ایرادها و مزایای آن‌ها، هر یک کاربرد ویژه‌ی خود را خواهد داشت. یکی از روش‌های بهبود پاسخ فرکانسی تقویت کننده، ایجاد صفر سمت چپ در نمودار قطبی سیستم تقویت کننده عملیاتی و جبرانسازی یکی از قطب-های فرکانس پایین سیستم است [۳۵]. این کار با ایجاد یک بافر جریان در مسیر خازن میلر (CBMC) امکان پذیر است [۳۴].

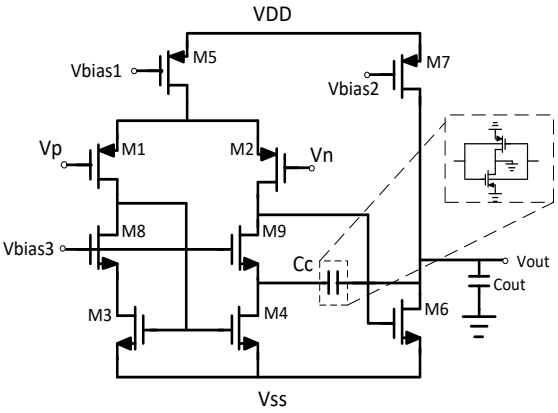
دیاگرام عملکردی تقویت کننده عملیاتی با ساختار CBMC که برای طراحی در نظر گرفته‌ایم در شکل (۷) نشان داده شده است و شماتیک مداری این تقویت کننده عملیاتی، مدار شکل (۸) است [۳۰]. در این شماتیک نشان داده می‌شود که چگونه مدار ترکیب ترانزیستوری خازن PCDM با خازن مرسوم MIM جایگازی شده است. روش طراحی دستی مرسوم با تحلیل گره مدل سیگنال کوچک

تابع تبدیل[1] مدار را بدست می‌آورد. رابطه‌ی (۱) تابع تبدیل تقویت کننده CBMC مورد نظر است و با حل این رابطه پارامترهای فرکانسی مدار تعریف می‌شوند.

$$A=\frac{a_0(1+s/(2\pi f_z))}{s^3b_3+s^2b_2+sb_1+1} \quad (۱)$$

که در رابطه (۱)، a_0 اندازه‌ی بهره‌ی فرکانس پایین تقویت کننده و f_z فرکانس صفر سمت چپ آن است. روابط (۲) تا (۵) به ترتیب قطب‌ها، و پهنای باند بهره واحد تابع تبدیل رابطه (۱) هستند. مقادیر پارامترهای رابطه یک عبارت است از:

$$a_0 = G_{m1}G_{m2}R_{o1}R_{o2}$$
$$b_1 = R_{o1}R_{o2}G_{m2}C_C$$
$$b_2 = R_{o1}R_{o2}C_{o1}(C_{o2}+C_C)$$
$$b_3 = R_{o1}R_{o2}C_{o1}C_CC_{o2}/G_B$$
$$f_z = G_B/(C_A+C_C)$$



شکل ۸- تقویت کننده‌ی عملیاتی دوطبقه با ساختار.

$$f_{p3} = -G_B(C_C+C_{o2})/2\pi C_CC_{o2} \quad (۲)$$

$$f_{p1} = -1/(2\pi R_{o1}R_{o2}G_{m2}C_C) \quad (۳)$$

$$f_{p2} = -G_B C_C/2\pi C_{o1}(C_C+C_{o2}) \quad (۴)$$

$$GBW = G_{m1}/2\pi C_C \quad (۵)$$

از قطب‌ها و صفرهای بدست آمده می‌توان حاشیه فاز سیستم را تخمین زد؛

$$PM = 90^o - arctg\left(\frac{GBW}{f_{p2}}\right) - arctg\left(\frac{GBW}{f_z}\right) \quad (۶)$$

در طراحی با بکارگیری الگوریتم بهینه سازی، ولتاژهای بایاس تقویت کننده را ثابت فرض شده است و بارها طول و عرض ترانزیستورها بویژه ابعاد خازن ترانزیستوری و بافر جریان تغییر می‌کند تا پاسخ به مقدار بهینه نزدیک شود. در مورد شرط توقف تولید نمونه‌ها توسط الگوریتم، درصورتی که در چند نسل آخر نمونه‌ها تغییر محسوسی صورت نگیرد یا پس از تولید چند نسل بهبود از پارامترهای خروجی از میزان مشخصی کمتر باشد موتور الگوریتم بهینه سازی NSGA II در نظر گرفته شده متوقف می‌شود.

الگوریتم ژنتیکی رو شی برای ج ستجو ی ت صادفی عددی است که از فرآیند ساده شده تکامل طبیعی تقلید می‌کند. الگوریتم بر روی جمعیتی از پاسخ‌ها عمل کرده و با به کار بردن اصل بقای بهترین، و تکامل، به ایجاد جواب‌های بهتر و مناسب‌تر می‌پردازد [۳۶ و ۳۷].

در الگوریتم های ژنتیکی جمعیت اولیه معمولاً به صورت تصادفی ایجاد می شود. اما با توجه به محدودیت‌های مسأله، شرط لازم برای پذیرفتن جواب تولید شده، به عنوان جواب اولیه یا در گام‌های بعدی، قابل قبول بودن آن است. بنابراین جواب‌های اولیه به صورت تصادفی در بازه‌های تعیین شده در جدول ۳ تولید می‌شوند.

جدول ۳- بازه‌های مقادیر متغیرهای طراحی: W_i و L_i (ابعاد ترانزیستورهای طبقات تقویت کننده عملیاتی)

متغیر طراحی	حد بالا	حد پایین
W_i (µm)	101	4
L_i (µm)	0.18	0.5

یکی از روشهای جلوگیری از عبور مقادیر متغیرها از محدوده مجاز، استفاده از تابع جریمه است. برای این منظور، هر جواب غیر قابل قبول، به عنوان جوابی در نسل‌های بعدی پذیرفته می‌شود، اما در محاسبه تابع هزینه، جریمه‌ای متناسب با میزان تخطی آن از محدوده مجاز، به تابع هزینه مربوط اضافه می‌شود. این ترتیب امکان انتخاب جواب غیر موجه به عنوا ن یکی از والدین برای تولید نسل های بعدی به شدت کاهش می‌یابد، اما این امکان برای آن باقی است که در صورت پیوند با جواب‌های دیگر مجود در جمعیت و تولید فرزندی‌بهتر، این فرزند به عنوان جوابی جدید در نسل بعدی قرار گیرد. الگوریتم ژنتیکی با استفاده از عملگرهای ژنتیکی جستجو را برای تولید جواب‌های جدید در فضای جواب انجام می‌دهد. این عملگرها به‌نحوی

[1] Transfer Function

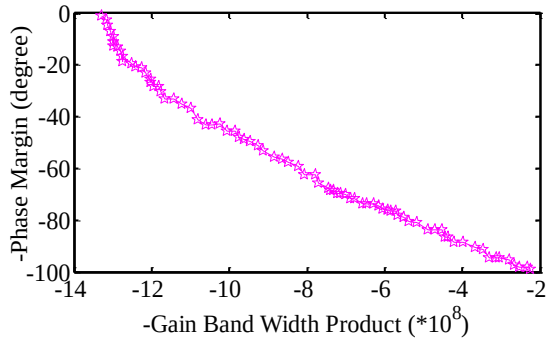
تعیین می‌شوند که توابع هزینه جواب‌های جدید (فرزندان) به طور متوسط کمتر از توابع هزینه والدین باشند. در اینجا سه عمگر مهم ژنتیکی را معرفی می‌کنیم.

عملگر انتخاب[1]: پس از مقادیر توابع توابع هزینه برای تمام کروموزوم‌ها، ۱۰ درصد از کروموزوم‌هایی که تابع هزینه بیشتری دارند، حذف شده و سپس تعدادی از کروموزوم‌ها به‌صورت دوبه‌دو به والدین نسل بعدی انتخاب می‌شوند. در این روندکروموزوم‌های با تابع هزینه کمتر، احتمال بیشتری برای انتخاب دارند – هر مجموعه از متغیرهای طراحی که پاسخ بالقوه‌ای را توصیف کند، کروموزوم نامیده می‌شود و الگوریتم ژنتیکی که روی جمعتی از کروموزوم‌ها کار می‌کند.

عملگر تقاطع[2]: برای جایگزین کردن کروموزوم‌های حذف شده، یک نقطه تصادفی بر روی کروموزوم‌های والدین انتخاب و کروموزوم‌ها از آن نقطه شکسته شده و بلوک‌های سمت راست با یکدیگر تعویض می‌شوند به این ترتیب کروموزوم‌های فرزندان تولید می‌شوند. نرخ این پرامتر در الگوریتم بکار گرفته شده در اینجا ۰/۷ در نظر گرفته شده است.

عملگر جهش[3]: این عملگر به‌صورت اتفاقی تغییراتی را در کروموزوم‌ها ایجاد می‌کند. اگر احتمال اعمال این عملگر زیاد باشد، قابلیت همگرایی الگوریتم به سوی جواب بهینه از بین می‌رود و اگر این احتمال کم باشد جستجوی تصادفی و نمونه برداری ار کل فضای مجاز کاهش می‌یابد. در این پروژه نرخ جهش برابر ۰/۲ انتخاب شده است، به این معنا که ۲۰ درصد از بیت‌ها از صفر به یک یا برعکس تغییر می‌کنند. لازم بذکر است عملگر جهش بر روی بهترین کروموزوم نسل قبلی اعمال نمی‌شود (نخبه‌گرایی)، زیرا بدون نخبه‌گرایی شانس یافتن جواب بهینه به صفر می‌رسد. تعداد اعضای جمعیت، ۲۰۰ عضو انتخاب شده است که هر عضو شامل اطلاعات ۱۴ پارامتر خروجی بوده و بصورت یک بردار به ورودی تابع هزینه داده می‌شوند. بردار متغیرهای ورودی یا همان المان‌های تاثیر گذار اشاره شده در شکل (۳)، برابر $[W_{1,2}, L_{1,2}, W_{3,4}, L_{3,4}, W_5, L_5, W_6, L_6, W_7, L_7, W_{8,9}, L_{8,9}, W_{CAP}, L_{CAP}]$ است .پارامترهای خروجی؛ پهنای باند، حاشیه فاز و توان مصرفی می‌باشد و جواب بهینه از مقایسه این سه پارامتر بدست می‌آید. ولی باید توجه داشت که برای هر یک از سه پارامتر باید محدودیت در نظر گرفته شود. برای مثال، الگوریتم فقط اجازه دارد نمونه‌هایی که حاشیه فاز آنها بین ۴۵ تا ۹۰ درجه است را باید در مقایسه خود داشته باشد.

در پایان فرآیند اجرای الگوریتم، در مجموع ۵۰۷ هزار نمونه از ورودی‌ها و خروجی بدست آمده و از این تعداد، نمونه‌هایی که در آنها ترانزیستورهای مدار تقویت کننده بجز مسیر جبرانسازی در حالتی غیر از ناحیه اشباع هستند حذف شده‌اند. سپس با انتخاب بهینه توسط الگوریتم بیینه‌سازی تعداد نمونه‌های بهینه شده به ۵۰ هزار رسید که نمودار پارتو این مقادیر در شکل (۹) نشان داده شده است. برای مقایسه طراحی انجام شده توسط الگوریتم بهینه‌سازی با طراحی دستی و فرمولی مرجع [۳۰]، مطابق با شکل (۱۰) نمونه‌هایی که توان مصرفی این تقویت کننده عملیاتی CBMC به اندازه توان مصرفی تقویت کننده عملیاتی مرجع [۳۰] است را جدا کرده و در منحنی پهنای باند برحسب حاشیه فاز ترسیم کرده‌ایم. همچنین تابع هزینه این الگوریتم برابر با مقدار $F = \alpha\left(\frac{1}{P}\right) + \beta\omega$ که P نماد توان مصرفی و ω نماد پهنای باند است و با فرض توان مصرفی با واحد میکرو وات و پهنای باند مگاهرتز α و β به ترتیب برابر با ۲۰۰۰ و 10^{-8} ارزش گذاری شده‌اند. شکل ۱۰ نمایش نمودار همگرایی تابع هزینه یاد شده است. این منحنی پس تولید ۱۰۰ نسل به مقدار ۹/۰۲ رسیده است.



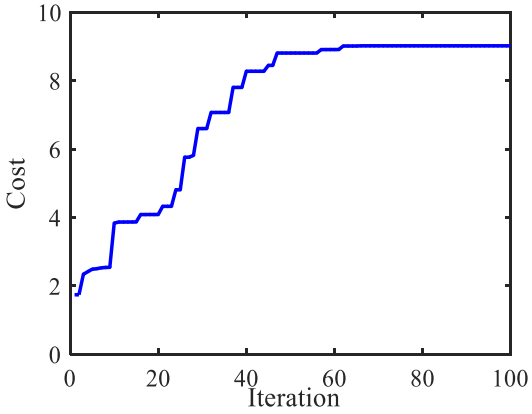
شکل ۹- منحنی حاشیه فاز برحسب پهنای باند بهره واحد تقویت کننده عملیاتی CBMC در توان ثابت

۶- معرفی ابزار جدید و مقایسه نتایج

در بخش ۴ نشان داده شد که با بکارگیری الگوریتم NSGA II می‌توان پاسخ یک تقویت کننده عملیاتی CBMC را که به روش دستی طراحی شده است را به مقدار

[1] Elitism
[2] Crossover
[3] Mutation

قابل توجهی بهبود داد. حال در نهایت بنا به گام آخر روش طراحی فلوچارت بخش ۳، در این بخش هدف بدست آوردن رابطه مابین پارامترهایی است که با هم متضاد هستند.



شکل ۱۰- منحنی همگرایی مربوط به تابع هزینه الگوریتم بهینه‌سازی NSGA II

نمودار شکل (۱۰) حاصل از خروجی‌های الگوریتم NSGA II است و می‌توان با این نمودار بهینه‌ترین طراحی را پیش‌بینی کرد.

تا کنون علاوه بر روش پیشنهاد شده در این مقاله، با توجه به مرجع [۱۸] روش دیگری برای تخمین عناصر غیر خطی همچون خازن‌های ترانزیستوری به ازای ولتاژ بایاس و ابعاد ترانزیستور، ارائه شده است؛ در اینجا برای آزمایش دقت کار انجام شده نتایج بدست آمده را با روش محاسبات دستی مقاله مرجع و همچنین روش عددی مقاله [۱۸] مقایسه می‌شود.

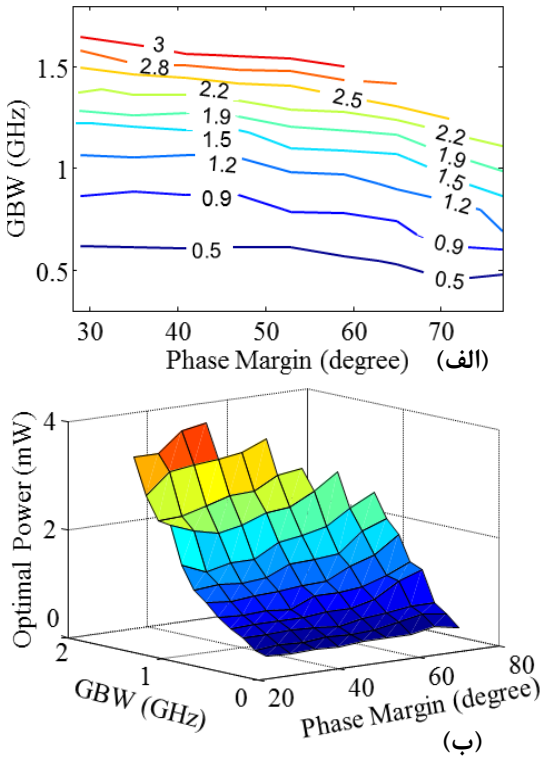
در جدول ۴ پارامترهای ورودی و خروجی حاصل از شبیه سازی نرم‌افزار Hspice بطور کامل مقایسه شده است. همچنین در این جدول نشان داده شده که آهنگ گردش، پاسخ فرکانسی تقویت‌کننده مورد نظر در ازای توان مصرفی برابر و مساحت سیلیکون اشغالی فوق‌العاده کمتر به میزان قابل توجهی بهبود یافته است. البته باید توجه داشت دلیل کاهش چشمگیر مساحت سیلیکون اشغالی استفاده از تکنولوژی MOSCAP است. دیگر پارامترهای مهم این جدول پارامتر PDP[1]، حاصل‌ضرب توان مصرفی در زمان تاخیر، و پارامتر مربع توان در زمان تاخیر ($Power^2 \times Delay$) هستند. این فاکتورها نشان می‌دهند توان مصرفی در تقویت‌کننده بهینه‌سازی شده کمتر از دیگر روش‌ها است.

جدول ۴- مشخصات تقویت کننده عملیاتی مورد نظر طراحی شده به روش محاسبات دستی

پارامترهای خروجی	محاسبه دستی مقاله مرجع [۳۰]	محاسبه عددی مرجع [۱۸]	الگریتم بهینه سازی
بهره فرکانس پایین [dB]	۶۸	۷۰	۷۰
پهنای باند بهره واحد [MHz]	۵۰۴	۵۵۰	۶۸۰
حاشیه فاز [degree]	۶۵	۵۸	۶۵
توان مصرفی [mW]	۰/۹	۰،۹	۰/۹
آهنگ گردش [V/µs]	۲۴۰	۲۰۰	۳۵۰
$W_{1,2}$, $L_{1,2}$ [um]	10, 0.19	50, 0.36	50, 0.36
$W_{3,4}$, $L_{3,4}$ [um]	4, 0.2	70, 0.31	70, 0.31
W_5 , L_5 [um]	18, 0.2	28, 0.4	28, 0.4
W_6 , L_6 [um]	30, 0.15	81, 0.25	81, 0.25
W_7 , L_7 [um]	72, 0.2	98, 0.23	98, 0.23
$W_{8,9}$, $L_{8,9}$ [um]	5.2, 0.15	83, 0.31	83, 0.31
W_{CAP} , L_{CAP} [um]	-	90, 0.4	33, 0.36
Cc [pF]	0.22	-	-
مساحت سیلیکون اشغالی [um^2]	487	265	204
زمان تاخیر (ps)	39.051	60.227	36.677
PDP (pJ)	35.12	54.2	33
$Power^2 \times Delay$	31.61	48.78	29.7

علاوه بر نمودار شکل (۹) و نتیجه بهینه حاصل از آن، ما به دنبال ابزاری هستیم که برای یک ساختار ویژه از تقویت کننده عملیاتی (همچون ساختاری که در این مقاله بررسی شد)، هزینه خروجی‌های خواسته شده را در تمام نقاط کاری ممکن پیش‌بینی کند و همچنین رابطه روشنی از پارامترهای خروجی همچون پهنای باند، حاشیه فاز، توان مصرفی و دیگر پارامترها را با هم داشته باشد. با این هدف به کمک جواب‌های بهینه بدست آمده منحنی‌هایی رسم کرده‌ایم که نشان از وابستگی پارامترهای خروجی (پهنای باند، حاشیه فاز و توان مصرفی) به هم دارد.

[1] Power Delay Product



شکل ۱۱- نمودارهای بهینه‌ی توان ثابت تقویت کننده به ازای توان‌های مختلف. (الف) پهنای باند بر حسب حاشیه فاز در توان‌های مختلف. (ب) میزان توان مصرفی بر حسب پهنای باند و حاشیه فاز خواسته شده

۶-۱- رابطه توان با پهنای باند بهره واحد و حاشیه فاز

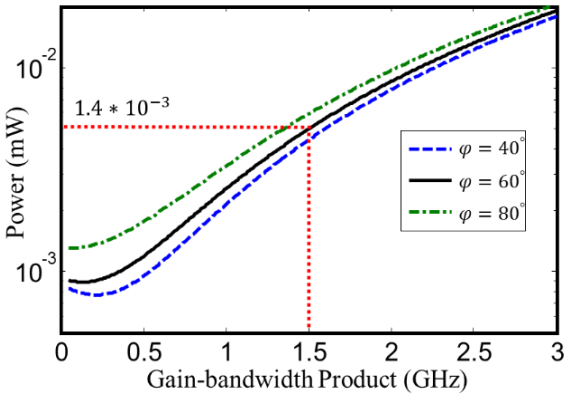
برای بدست آوردن رابطه توان برحسب پهنای باند بهره واحد و حاشیه فاز، ابتدا پاسخ‌هایی که پهنای باند و حاشیه فار بهینه دارند با درنظر گرفتن توان مصرفی دسته بندی شده است. سپس، بصورت داده‌هایی با توان ثابت در بازه پهنای باند مشخص و بازه حاشیه فاز متغییر، در شکل (۱۱)، نشان داده شده است. شکل ۱۱- (ب) نمایی سه بعدی از این داده‌ها است. بعلاوه، این نمودار کمینه توان مصرفی بهینه در طراحی تقویت کننده مربوطه را هم نشان می‌دهد. برای نشان دادن کاربرد شکل (۱۱-الف)، اگر فرض شود هدف طراحی یک تقویت کننده CBMC با توان مصرفی ۰/۵ میلی وات باشد، این تقویت کننده در بازه حاشیه‌فاز ۲۵ تا ۸۵ درجه قابلیت دستیابی به پهنای باندی بهتر از ۰/۶ گیگاهرتز نخواهد داشت. از ابزار ذکر شده در ابتدای این بخش رابطه ریاضی توان مصرفی با پهنای باند و حاشیه فاز را بدست آورده‌ایم. با توجه به سادگی رابطه بدست آمده و اهمیت خطای رابطه نسبت به مقادیر واقعی، وابستگی توان مصرفی با پهنای باند و حاشیه فاز را بصورت یک چند جمله مرتبه ۲ نشان می‌دهیم:

$$P_{cal}(\omega,\varphi) = 1.39 - (1.61\times10^{-9})\omega - 0.039\varphi + (1.66\times10^{-18})\omega^2 + (1.75\times10^{-11})\omega.\varphi + (3.3\times10^{-4})\varphi^2 \quad (۷)$$

جدول ۵- مقایسه نتایج بدست آمده از رابطه (۷) با مقدار واقعی

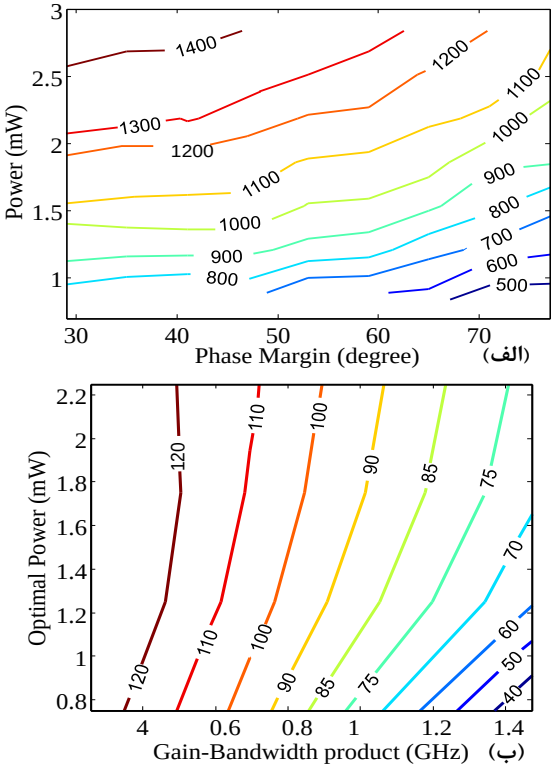
شماره چندجمله‌ای	مرتبه ω	مرتبه φ	e_{ave}%
۱	۱	۱	۱۷
۲	۲	۱	۶
۳	۲	۲	۵/۲
۴	۳	۲	۴/۰۳
۵	۳	۳	۴

ω و φ به ترتیب پهنای باند برحسب فرکانس و حاشیه فاز بر حسب درجه خواسته شده از سوی طراحی و P_{cal} توان مصرفی هزینه شده در برابر خواسته طراح برحسب میلی وات است. می‌توان نشان داد دقت برازش منحنی نسبت به نقاط واقعی، وابسته به مرتبه متغیرهای رابطه چند جمله‌ای است. در جدول ۵ متوسط درصد خطای چند جمله‌ای توان (e_{ave}%) نسبت به نقاط بهینه واقعی و به ازای مرتبه‌های مختلف رابطه چند جمله‌ای بدست آمده را نشان داده شده است. درصد خطای کمتر از ۱۰ درصد می‌تواند برای ما قابل قبول باشد. بنابراین برای داشتن ساده‌ترین رابطه می‌توان از رابطه (۷) در انجام محاسبات خود استفاده کنیم. از رابطه تابع هزینه (مانند رابطه (۷)) می‌توان به مشخصه مهم دیگری از طراحی سیستم هم رسید؛ "گرادیان هزینه نسبت به تغییرات یک خواسته" این چشم انداز را برای طراح خواهد داشت که بهینه‌سازی یک سیستم تا کجا می‌تواند به‌صرفه باشد. در شکل (۱۲) گرادیان توان مصرفی برحسب پهنای باند در حاشیه فازهای ثابت رسم شده است. با یک مثال می‌توان تحلیل این نمودار را نشان داد؛ فرض کنید در این سیستم تقویت کننده پهنای باند برابر با ۱/۵ گیگاهرتز است و می‌خواهید ۱ مگاهرتز پهنای باند سیستم را افزایش دهید. هزینه توان مصرفی این تغییرات در این پهنای باند به ازای افزایش یک مگاهرتز پهنای باند برابر با ۱/۴ میکروووات خواهد بود. این رابطه نشان می‌دهد که بهبود یک پارامتر برای محدوده خاصی بصرفه است.



شکل ۱۲- نمودار گرادیان توان بر حسب پهنای باند واحد تقویت کننده عملیاتی CBMC مورد نظر

۶-۲- رابطه پهنای باند با حاشیه فاز و توان مصرفی



شکل ۱۳ (الف): نمودار وابستگی پهنای باند به حاشیه فاز و توان مصرفی تقویت کننده. (ب) نمایش منحنی‌های بهینه شده توان برحسب پهنای باند به ازای حاشیه فاز ثابت برای تقویت کننده عملیاتی CBMC

موارد گفته شده در قسمت ۶-۱ همین بخش را در مورد بدست آوردن رابطه پهنای باند با حاشیه فاز و توان مصرفی اجرا و نمودارهای مربوطه به این وابستگی استخراج شده است. هر یک از منحنی‌های نشان داده شده در نمودار شکل (۱۳-الف)، توان مصرفی برحسب حاشیه فاز خواسته شده در یک پهنای باند ثابت را نشان می‌دهد و رابطه بهینه بدست آمده از شکل برابر است با:

$$\begin{aligned}\omega_{cal}(P,\varphi) &= (3\times10^{8})+(2\times10^{11})P \\ &+(1.3\times10^{7})\varphi+(3.2\times10^{13})P^{2} \\ &+(7.3\times10^{9})\varphi.P-(3.2\times10^{5})\varphi^{2} \\ &-(2.26\times10^{12})\varphi.P^{2}+(1.48\times10^{7})\varphi^{2}.P \\ &+818P^{3}\end{aligned} \quad (۸)$$

در این رابطه φ و P به ترتیب حاشیه فاز برحسب درجه و توان مصرفی بر حسب وات است و ω_{cal} پهنای باند بدست آمده حاصل از هزینه این میزان توان و این میزان حاشیه فاز خواهد بود.

۶-۳- رابطه حاشیه فاز با پهنای باند و توان مصرفی

شکل ۱۳- (ب) دسته‌ای از منحنی‌هایی با حاشیه فاز ثابت است. هر منحنی توان مصرفی تقوت کننده عملیاتی طراحی شده بر حسب پهنای باند این تقویت کننده در یک فاز ثابت را نشان می‌دهد و رابطه (۹) وابستگی حاشیه فاز به توان مصرفی و پهنای باند را در بهترین حالت طراحی نشان می‌دهد.

$$\begin{aligned}\varphi_{cal}(\omega,P) &= 122.6+(6\times10^{-8})\omega \\ &-1847P-(2.5\times10^{-16})\omega^{2} \\ &+(6.5\times10^{-5})\omega.P+(8.36\times10^{4})P^{2} \\ &+(9\times10^{-26})\omega^{3}+(5\times10^{-15})\omega^{2}.P \\ &-0.017\omega.P^{2}\end{aligned} \quad (۹)$$

ω پهنای باند برحسب فرکانس، P توان مصرفی تقویت کننده بر حسب وات و φ_{cal} حاشیه فاز محاسبه شده برحسب درجه است. بازه کاربرد این رابطه در محدوده‌های نشان داده شده در شکل (۱۳-ب) است. بدین معنی که از این رابطه می‌توان برای بدست آوردن حاشیه فازهایی در بازه ۴۰ تا ۱۲۰ استفاده کرد و با این شرط که توان مصرفی را در بازه ۷۵۰ میکرو وات تا ۲۲۵۰ میکرو وات و پهنای باند را هم در بازه ۳۰۰ مگاهرتز تا ۱۵۰۰ مگاهرتز انتخاب و در رابطه (۹) جایگزاری کنید. در مورد منحنی های بدست آمده در شکل (۱۳) باید توجه داشت که این نوع از منحنی‌ها تنها بخش از رفتار تقویت کننده را نشان داده است. بدین معنی که این منحنی‌ها می‌توانند بیشتر از محدوده نشان داده شده ادامه داشته باشند ولی بدلیل از دست رفتن پیوستگی در بازه‌های بزرگتر ما این بازه‌ها را محدود کرده‌ایم.

۷- نتیجه گیری

در این مقاله، الگوریتم ژنتیک چند هدفه برای بهینه سازی پارامترهای ساختاری استفاده شده است تا ابزاری دقیق برای طراحی خازن‌های ترانزیستوری داشته باشیم. با

استفاده از روش فوق روابط میان پارامترهای مختلف مداری را استخراج کرده و نشان دادیم که از ترکیب روابط حاصل با روش‌های طراحی موجود می‌توان برای طراحی مدار به صورت بهینه استفاده کرد. در ادامه یک نمونه تقویت کننده دو طبقه ارائه شد که توانستیم به ازای پارامترهای یکسان حدود ۳۴ درصد افزایش در پهنای باند و کاهش یک سومی مساحت خازن‌های جبران ساز را بدست آوریم. ادعا می کنیم که روش پیشنهادی یکی از دقیق‌ترین روش‌ها برای طراحی تقویت کننده‌های عملیاتی و طراحی پارامترهای فرکانسی این تقویت کننده است. این روش را می‌توان برای دیگر مدارهای آنالوگ مانند منابع تغذیه بند-گپ، انواع مدارهای فرکانس بالا، ساختارهای سوئیچ خازنی، نوسان-سازها و غیره نیز بکار برد. روابط تحلیلی استخراج شده از جبهه پارتو می‌توانند مشخصه و ابزاری با دقت بالا برای طراحی و انتخاب توپولوژی تقویت کننده‌های عملیاتی باشند و طراح می‌تواند هزینه خواسته خود را از خروجی تقویت کننده عملیاتی در حالت بهینه پیش‌بینی کند

مراجع

[1] A. Pugliese, F. A. Amoroso, G. Cappuccino, and G. Cocorullo, “Settling time optimisation for two-stage CMOS amplifiers with current-buffer Miller compensation”, Electron. Lett., Vol. 43, No. 23, pp. 1257–1258, 2007.

[2] B. Razavi, “Design of analog CMOS integrated circuits. 2001”, New York, NY McGraw-Hill, Vol. 587, p. 589, 2017.

[۳] مرتضی جوادپور، سعید فراهت و حسام الدین ابن الدین، “بهینه سازی یک دیفیوزر تونل باد مافوق صوت با دیواره های انعطاف پذیر با کمک الگوریتم ژنتیک“، مجله مدل سازی در مهندسی، دوره ۱۰، شماره ۲۸، بهار ۱۳۹۱، صفحه ۱۹-۲۹.

[۴] عباس رستمی، امیر نوروزی، هادی مختاری و یاسر نعمتی، “مساله بهینه‌سازی پورتفولیوی چندهدفه با اهداف حداکثر کردن بازده، حداقل کردن ریسک و حداقل کردن تعداد دارایی“، مجله مدل سازی در مهندسی، دوره ۱۴، شماره ۴۵، تابستان ۱۳۹۵، صفحه ۹۹-۱۰۹.

[۵] فرشاد حکیم‌پور، سیامک طلعت‌اهری و ابوالفضل رنجبر، “ارزیابی و مقایسه الگوریتم های بهینه سازی ژنتیک، شبیه سازی تبرید و فاخته ها در مکانیابی رقابتی تسهیلات“، مجله مدل سازی در مهندسی، دوره ۱۵، شماره ۴۸، صفحه ۲۳۱-۲۴۶.

[6] O. Kramer, Genetic algorithm essentials, vol. 679. Springer, 2017.

[7] M. Taherzadeh-Sani, R. Lotfi, H. Zare-Hoseini, and O. Shoaei, “Design optimization of analog integrated circuits using simulation-based genetic algorithm”, in Signals, Circuits and Systems, 2003. SCS 2003. International Symposium on, 2003, vol. 1, pp. 73–76.

[8] A. D. Grasso, D. Marano, G. Palumbo, and S. Pennisi, “Improved reversed nested Miller frequency compensation technique with voltage buffer and resistor”, Circuits Syst. II Express Briefs, IEEE Trans, Vol. 54, No. 5, pp. 382–386, 2007.

[9] M. E. BAŞAK, A. KUNTMAN, and H. KUNTMAN, “Extraction of MOSFET Bsim3v3 Threshold Voltage and Mobility Effect Parameters With Genetic Algorithm.” ELECO, 2007.

[10] S. Araghian and A. Golmakani, “A Novel Low Power Topology in Reversed Nested Miller Compensation Using Triple-Active Capacitance”, 2012.

[11] Y. Jiang, J. Ju, X. Zhang, and B. Yang, “Automated analog circuit design using Genetic Algorithms”, in 2009 3rd International Conference on Anti-counterfeiting, Security, and Identification in Communication, 2009, pp. 223–228.

[12] A. Dendouga, S. Oussalah, D. Thienpont, and A. Lounis, “Program for the optimization of an OTA for front end electronics based on multi objective genetic algorithms”, in Microelectronics Proceedings-MIEL 2014, 2014 29th International Conference on, 2014, pp. 443–446.

[13] G. Tulunay and S. Balkir, “A compact optimization methodology for single-ended LNA,” in Circuits and Systems, 2004. ISCAS’04. Proceedings of the 2004 International Symposium on, Vol. 5, 2004, pp. V–273.

[14] M. Takhti, A. Beirami, and H. Shamsi, “Multi-objective design automation of the folded-cascode OP-AMP using NSGA-II Strategy”, in Signals, Circuits and Systems, 2009. ISSCS 2009. International Symposium on, 2009, pp. 1–4.

[15] L. Labrak, T. Tixier, Y. Fellah, and N. Abouchi, “Automated cost function formulation for analog design optimization”, in Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on, 2007, pp. 559–562.

[16] M. B. Fallahpour, K. D. Hemmati, A. Pourmohammad, and A. Golmakani, “Multi objective optimization of a LNA using genetic algorithm based on NSGA-II”, in Electrical Engineering and Informatics (ICEEI), 2011 International Conference on, 2011, pp. 1–4.

[17] A. Golmakani, K. Mafinejad, and A. Kouzani, “The parasitic-aware design and optimization of CMOS distributed amplifier using multi objective genetic algorithm”, Majlesi J. Electr. Eng., Vol. 2, No. 2, pp. 1–8, 2009.

[18] H. Aminzadeh, “MOSFET-only two-stage operational amplifiers with Miller compensation: design and fabrication in nano-scale CMOS”, J. Circuits, Syst. Comput., Vol. 22, No. 08, 2013, p. 1350065.

[19] H. Aminzadeh, M. Danaie, and R. Lotfi, “Design of high-resolution MOSFET-only pipelined ADCs with digital calibration”, in Proceedings of the conference on Design, automation and test in Europe, 2007, pp. 427–432.

[20] M. Danaie, H. Aminzadeh, and S. Naseh, “On the linearization of MOSFET capacitors”, in 2007 IEEE International Symposium on Circuits and Systems, 2007, pp. 1943–1946.

[21] E. G. Gebreselasie, Z.-X. He, and S. H. Voldman, “Vertical parallel plate capacitor structures”, Google Patents, 25-Jan-2011.

[22] P.-Y. Chiu and M.-D. Ker, “Metal-layer capacitors in the 65nm CMOS process and the application for low-leakage power-rail ESD clamp circuit,” Microelectron. Reliab., Vol. 54, No. 1, 2014, pp. 64–70.

[23] H. Aminzadeh, M. Danaie, and W. A. Serdijn, “Hybrid cascode feedforward compensation for nano-scale low-power ultra-area-efficient three-stage amplifiers”, Microelectronics J, Vol. 44, No. 12, 2013, pp. 1201–1207.

[24] T. Tille, J. Sauerbrey, M. Mauthe, and D. Schmitt-Landsiedel, “Design of low-voltage MOSFET-only ΣΔ modulators in standard digital CMOS technology”, Circuits Syst. I Regul. Pap. IEEE Trans, Vol. 51, No. 1, 2004, pp. 96–109.

[25] M. Danaie, E. Ranjbar, and M. A. Khanesar, “MOSCAP compensation of three-stage operational amplifiers: Sensitivity and robustness, modeling and analysis”, Integration, vol. 62, pp. 34–49, 2018.

[26] H. Aminzadeh, “MOSFET-only pipelined analogue-to-digital converters: non-linearity compensation by digital calibration”, Int. J. Electron, Vol. 101, No. 2, pp. 158–173, 2014.

[27] R. A. Thakker, M. S. Baghini, and M. B. Patil, “Low-power low-voltage analog circuit design using hierarchical particle swarm optimization”, in VLSI Design, 2009 22nd International Conference on, 2009, pp. 427–432.

[28] D. Arar, M. Meguellat, and M. Chahdi, “An optimized GSDG MOSFET design for nanoscale circuit applications”, in Modeling, Simulation and Applied Optimization (ICMSAO), 2013 5th International Conference on, 2013, pp. 1–4.

[29] T. Sripramong and C. Toumazou, “The invention of CMOS amplifiers using genetic programming and current-flow analysis”, Comput. Des. Integr. Circuits Syst. IEEE Trans, Vol. 21, No. 11, 2002, pp. 1237–1252.

[30] I. Kovacs, A. Oros, and M. Neag, “Comparative analysis of two versions of the Miller OA based on a systematic design method”, in Design and Technology in Electronic Packaging (SIITME), 2011 IEEE 17th International Symposium for, 2011, pp. 253–256.

[31] E. Ranjbar and M. Danaie, “Frequency compensation of three-stage operational amplifiers: Sensitivity and robustness analysis,” Microelectronics J, Vol. 66, pp. 155–166, 2017.

[32] W. Wang, Z. Yan, P.-I. Mak, M.-K. Law, and R. P. Martins, “Micropower two-stage amplifier employing recycling current-buffer Miller compensation”, in Circuits and Systems (ISCAS), 2014 IEEE International Symposium on, 2014, pp. 1889–1892.

[33] S. Guo and H. Lee, “Dual active-capacitive-feedback compensation for low-power large-capacitive-load three-stage amplifiers,” Solid-State Circuits, IEEE J., Vol. 46, No. 2, 2011, pp. 452–464.

[34] R. J. Baker, CMOS: circuit design, layout, and simulation, Vol. 1. John Wiley & Sons, 2008.

[35] N. S. Nise, “Control system engineering, John Wiley & Sons,” Inc, New York, 2011.

[36] L. D. Whitley, “The GENITOR algorithm and selection pressure: why rank-based allocation of reproductive trials is best”, in Icga, Vol. 89, 1989, pp. 116–123.

[37] J. M. Call, “Genetic algorithms for modeling and optimization”, J. Comput. Appl. Math., vol. 184, 2005, pp. 205–222.