ارائه یک ساختار جدید برای مبدل چند سطحی متقارن به‌منظور کاهش تعداد سوییچ و هزینه مبدل

مجید حسین‌پور[۱،*] و علی سیفی[۲]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۸/۰۵/۱۲

پذیرش مقاله: ۱۳۹۸/۰۹/۱۳

واژگان کلیدی:

اینورتر چندسطحی،

ساختار دوطرفه،

کاهش تعداد سوییچ،

کاهش هزینه.

چکیده

در دهه‌های اخیر اینورترها نقش مهمی در سیستم‌های قدرت ایفا نموده‌اند و بهبود عملکرد آن‌ها هم از لحاظ ساختاری و هم از لحاظ کنترلی جزو علایق محققان بوده است. در این مقاله یک اینورتر چند سطحی دوطرفه متقارن جدید با هدف کاهش تعداد اجزاء کلیدزنی به‌ویژه برای تعداد سطوح خروجی زیاد ارائه شده است. این ساختار شامل منابع جریان مستقیم ورودی، کلیدهای قدرت و دیود قدرت است. این ساختار در مقایسه با ساختارهای کلاسیک و متقارن ارائه شده اخیر که سعی در کاهش ادوات کلیدزنی دارند، در تعداد سطح مشابه حاوی تعداد کلید نیمه‌هادی قدرت کمتری می‌باشد. از همین‌رو هزینه کلی مبدل در مقایسه با ساختارهای مشابه مقرون به‌صرفه می‌باشد. برای نشان دادن کارایی ساختار پیشنهادی یک مقایسه جامع بین ساختار پیشنهادی با ساختارهای کلاسیک و نیز متقارن ارائه شده اخیر از حیث تعداد سوییچ، تعداد درایور، تلفات توان و هزینه مبدل ارائه شده است. ساختار پیشنهادی برای اینورتر یازده سطحی تک‌فاز مورد بررسی قرار گرفته و در محیط Matlab/Simulink شبیه‌سازی شده و نمونه آزمایشگاهی آن برای تأیید کارکرد اینورتر پیشنهادی ساخته شده است.

۱- مقدمه

بهره‌برداری مبدل‌های الکترونیک قدرت به علت پیشرفت روزافزون ادوات نیمه‌هادی قدرت، قیمت مناسب و حجم کم روز به روز در حال افزایش است. اینورترهای منبع ولتاژ در کاربردهای متعدد صنعتی از جمله لوکوموتیوها، پیشرانه دریایی، جبران‌سازی توان راکتیو، درایو موتور در رنج‌های توانی مختلف، کاربردهای متصل به شبکه به‌خصوص در شبکه‌های توزیع، تبدیل توان منابع انرژی تجدیدپذیر فتوولتائیک و بادی، منابع برق اضطراری (UPS)، سیستم‌های HVDC و ایستگاه‌های شارژ سریع خودرو برقی و غیره به کار گرفته شده است[۱].

اینورترهای چندسطحی در مقایسه با اینورترهای دوسطحی دارای مزایایی نظیر کیفیت بالای توان خروجی، THD پایین، دامنه بالای مولفه اصلی، راندمان بالا، تلفات سوئیچینگ پایین، dv/dt پایین، PIV پایین، قابلیت گذر از خطای بالا می‌باشند[۱]. مبدل‌های چندسطحی کلاسیک به سه دسته اصلی دیود با نقطه خنثی مهار شده (NPC)، خازن شناور (FC) و اینورترهای چندسطحی آبشاری پل H (CHB) تقسیم‌بندی می‌شود. با افزایش تعداد سطوح ولتاژ خروجی ساختارهای کلاسیک با مشکل افزایش تعداد سوییچ‌ها و المان‌های جانبی روبرو می‌شوند که این امر به‌خصوص در سطوح ولتاژ بالاتر مستقیماً هزینه و حجم را افزایش می‌دهد[۲].

کیفیت شکل موج خروجی اینورترهای چندسطحی با افزایش تعداد سطوح افزایش می‌یابد. در مبدل‌های چند سطحی کلاسیک با افزایش تعداد سطوح خروجی، تعداد ادوات کلیدزنی آنها به شدت افزایش می‌یابد. این امر پیچیدگی سیستم، حجم و هزینه را افزایش می‌دهد و

* پست الکترونیک نویسنده مسئول: hoseinpour.majid@uma.ac.ir

۱. استادیار، دانشکده فنی مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران

۲. فارغ‌التحصیل کارشناسی ارشد، دانشکده فنی مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران

می‌تواند تا حدودی قابلیت اطمینان و کارایی مبدل را کاهش دهد. بنابراین برای تولید شکل موجی با کیفیت بهتر سعی می‌شود تا سوییچ‌ها و مدارهای راه‌انداز گیت به حداقل تعداد ممکن برسد[۳]. ساختارهای جدید که با هدف کاهش کلید ارایه می‌شوند، به دودسته اصلی تقسیم می‌شوند: تغییرات توپولوژیک، استفاده از منابع نامتقارن. دسته دوم در مقایسه با دسته اول تعداد سطوح خروجی بیشتری تولید می‌کنند ولی در این دسته استرس ولتاژ بیشتر بوده و تلفات کلیدها و توزیع توان برابری را ندارند.

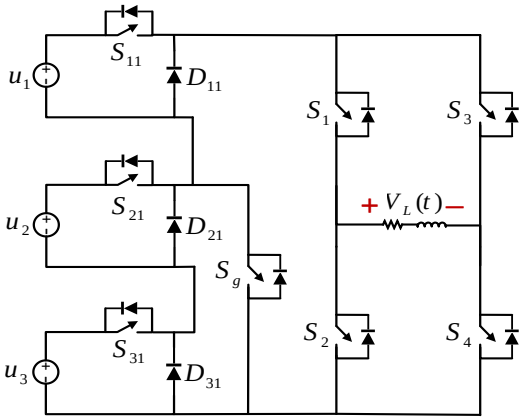
در میان ساختارهای ارائه شده اخیر، غالباً در ساختارهایی که از دیود استفاده می‌کنند مشکل جریان برگشتی وجود دارد که منجر به ایجاد اسپایک ولتاژ به ازای بار پس‌فاز اهمی سلفی می‌شود. به‌عنوان مثال در [۴] یک توپولوژی سوئیچ-دیود آبشاری پیشنهاد شده است که در مقایسه با توپولوژی آبشاری کلاسیک، می‌تواند سطوح ولتاژ بیشتری را با تعداد کمتر از سوئیچ‌ها تولید کند. با این حال، به علت نبودن مسیر جریان برگشتی، تحت بار اهمی- سلفی با ضریب توان پایین، اسپایک ولتاژی در ولتاژ خروجی اتفاق می‌افتد که سبب کاهش کیفیت ولتاژ می‌شود. مراجع [۵-۱۰] هم دارای مشکل جریان برگشتی و ایجاد اسپایک ولتاژ برای بارهای اهمی- سلفی می‌باشند. در [۹] به مشکل جریان برگشتی موجود در [۴] اشاره شده و سپس ادعا شده که نسبت به این مشکل راهکار ارایه داده است. با این حال در این مقاله با اضافه کردن یک کلید در مقایسه با [۴]، صرفاً مشکل جریان برگشتی برای سطح ولتاژ V_{dc} برطرف شده است و برای بارهایی با ضریب توان پایین‌تر، مشکل جریان برگشتی بار در سطوح بالاتر ولتاژ همچنان وجود خواهد داشت. در این مقاله یک ساختار جدید از اینورترهای چند-سطحی با هدف کاهش ادوات الکترونیک قدرت ارائه شده است که از نظر تعداد کلیدهای قدرت و مدارات راه‌انداز با ساختارهای کلاسیک و تحقیقات اخیر قابل مقایسه است. در قسمت‌هایی از ساختار پیشنهادی، ضمن حفظ قابلیت عبور دو طرفه جریان، از دیود به‌جای سوییچ استفاده شده است. این رویکرد در تعداد کلیدهای قدرت مورد نیاز در مقایسه با ساختارهای کلاسیک و تحقیقات مشابه کاهش قابل توجهی را آشکار می‌سازد. یکی دیگر از پارامترهای مهم در طراحی ساختار جدید در نظر گرفتن ولتاژ مسدودکنندگی سوییچ‌ها می‌باشد که بایستی مقدار کمی داشته باشد. این امر در طراحی مبدل‌های DC-AC و نیز مبدل‌های DC-DC مورد توجه قرار می‌گیرد [۱۱]و[۱۲].

ساختار این مقاله در ادامه به‌شرح زیر است: در بخش دوم ساختار کلی توپولوژی پیشنهادی ارائه می‌شود و یک نمونه از ساختارهایی که از دیود استفاده شده، ارایه می‌شود تا مشکلات مربوط به جریان برگشتی مطرح شده و بررسی می گردد. اصول عملکرد ساختار و روابط ریاضیاتی مربوط نیز در این بخش با کمک یک اینورتر تکفاز یازده‌سطحی توصیف شده است. محاسبات مربوط به تلفات شامل تلفات هدایتی و تلفات کلیدزنی در بخش سوم ارائه شده است. در ضمن مقادیر تلفات توان و بازده مبدل برای ساختار یازده‌سطحی پیشنهادی به ازای مقادیر مختلف اندازه و ضریب توان بار در بخش سوم ارائه شده است. در بخش چهارم مقایسه جامعی در زمینه‌های تلفات توان، تعداد سوییچ، تعداد درایور و نیز هزینه ساختار پیشنهادی با تحقیقات مشابه ارائه شده است. نهایتاً نتایج شبیه‌سازی‌ها و پیاده‌سازی آزمایشگاهی در بخش پنجم ارائه شده است.

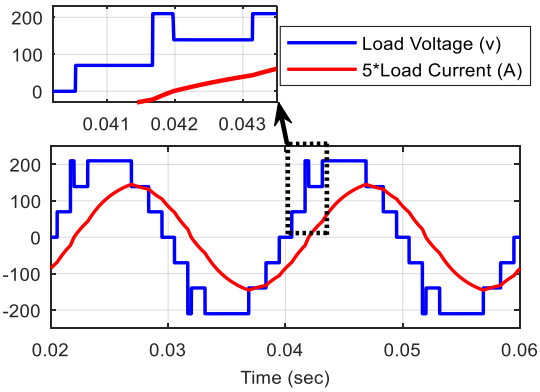
۲- توپولوژی اینورتر چندسطحی پیشنهادی

در این بخش برای بیان مسئله جریان برگشتی یک نمونه از ساختارهایی که در آنها از دیود به جای سوییچ استفاده شده، مورد بررسی قرار می‌گیرد و مشکل جریان برگشتی و علت ایجاد اسپایک ولتاژ بیان می‌شود. در ادامه ساختار پیشنهادی معرفی شده و اصول عملکرد آن با کمک یک طرح اینورتر یازده‌سطحی تک‌فاز توضیح داده می‌شود و برای مشکل جریان برگشتی در حضور دیود راه‌حل مناسب ارائه می‌شود تا از ایجاد اسپایک ولتاژ جلوگیری شود.

ساختار مربوط به مرجع [۹] در شکل (۱) مشاهده می‌شود. کلیات این ساختار مشابه ساختار مرجع [۱۳] می‌باشد که به جای سوییچ‌های موازی با هر کدام از منابع، یک دیود جایگزین شده است. همانطور که در بخش (۱) هم اشاره شد این ساختار بسیار شبیه ساختار [۴] است با این تفاوت که یک کلید برای حل مشکل جریان برگشتی برای سطح ولتاژ اول اضافه شده است. همانطور که در شکل (۲) مشاهده می‌شود برای بارهایی با ضریب توان پایین‌تر، مشکل جریان برگشتی بار و اسپایک در ولتاژ خروجی در سطوح بالاتر ولتاژ وجود خواهد داشت. این ساختار در حالت هفت‌سطحی صرفاً برای بارهایی که ضریب توان ۰/۸۸۶ یا بیشتر دارند، می‌تواند به صورت دوطرفه به درستی کار کند.



شکل (۱): ساختار مبدل هفت سطحی ارائه شده در [۹]

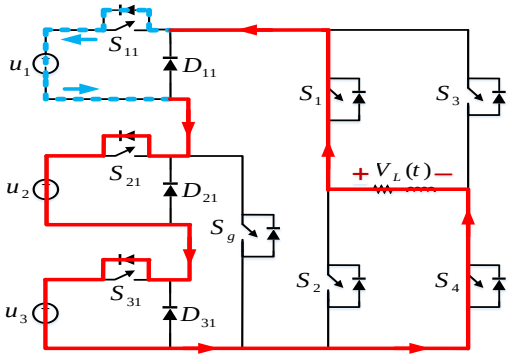


شکل (۲): ولتاژ خروجی ساختار ارائه شده در [۹] به ازای بار اهمی سلفی با ضریب توان ۰/۷۸۶

در صورتی که ضریب توان بار خروجی کمتر از مقدار مذکور باشد، ساختار مورد بررسی قابلیت عملکرد دوطرفه نداشته و مشابه شکل (۲) در لحظاتی اسپایک ولتاژ ایجاد می‌شود. این اسپایک ولتاژ ناشی از وجود جریان برگشتی و عدم توانایی دیودهای جایگزین سوییچ در عبور دادن این جریان می‌باشد که باعث می‌شود جریان از مسیر دیگری با سطح ولتاژ بالاتر عبور کند. نتیجه این امر ایجاد اسپایک ولتاژ و کاهش کیفیت ولتاژ خروجی می‌باشد.

در ادامه عملکرد ساختار ارائه شده در [۹] در لحظات ایجاد اسپایک ولتاژ با جزییات بیشتر مورد بررسی قرار می‌گیرد. در این ساختار برای تولید سطح ولتاژ $+2u$ کلیدهای S_{21} و S_{31} روشن بوده و سایر کلیدها خاموش می‌باشند. برای بارهای اهمی- سلفی مطابق شکل (۲) جریان نسبت به ولتاژ پسفاز است. در لحظه ۰/۰۴۱۸ کلیدهای S_{21} و S_{31} روشن می‌شوند تا سطح ولتاژ خروجی از $+u$ به $+2u$ تغییر کند. به دلیل پسفاز بودن جریان، در این لحظه مقدار لحظه‌ای جریان منفی بوده و در نتیجه قابلیت عبور از دیود D_{11} را نخواهد داشت. به‌دلیل پیوستگی جریان ناشی از حضور سلف در بار خروجی، این جریان به ناچار از مسیری دیگری عبور می‌کند که مسیر موجود برای این منظور مسیر خطچین مطابق شکل (۳)، دیود معکوس کلید S_{11} می‌باشد. در این حالت ولتاژ خروجی برابر با مجموع ولتاژهای $u_1+u_2+u_3$ خواهد بود. تا زمانیکه مقدار لحظه‌ای جریان خروجی منفی باشد ولتاژ خروجی برابر $u_1+u_2+u_3$ خواهد بود. به محض اینکه مقدار لحظه‌ای جریان خروجی مثبت شد دیود D_{11} در حالت بایاس مستقیم قرارگرفته و می‌توانند هدایت کنند و در نتیجه سطح ولتاژ خروجی مطلوب برابر $+2u$ تولید می‌شود. در نتیجه ناشی از جایگزینی دیود به جای سوییچ، در خروجی چنین مبدل‌هایی در حضور بار سلفی اسپایک ولتاژ ایجاد می‌شود.

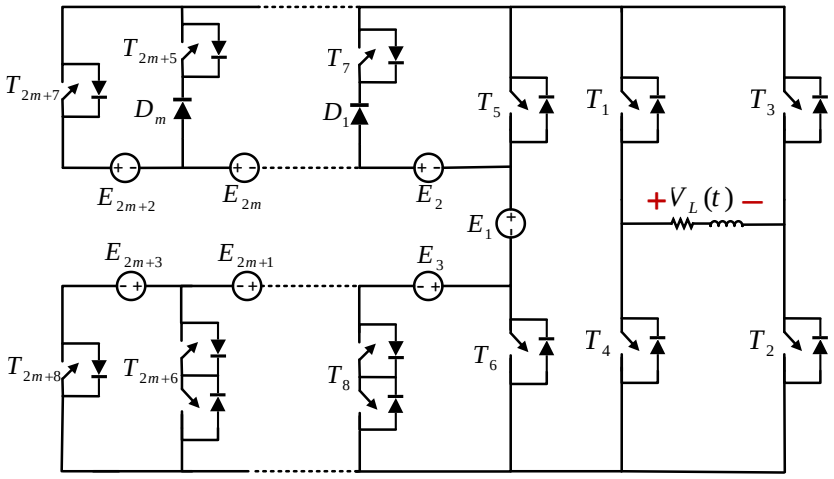
ساختار تعمیم یافته اینورتر چندسطحی پیشنهادی در شکل (۴) نشان‌داده‌شده است. این ساختار قابلیت تولید تمامی سطوح ولتاژ به ازای بارهای با ضریب توان‌های پایین را نیز دارا می‌باشد. در شکل (۵) ساختار پیشنهادی یازده سطحی نشان‌داده‌شده است که شامل یازده سوییچ و یک دیود می‌باشد. در ساختار پیشنهادی در صورت افزایش تعداد سطوح به سیزده سطح، صرفاً یک سوییچ و یک منبع DC به‌ساختار یازده سطحی اضافه خواهد شد که این امر مزیت اصلی ساختار پیشنهادی بوده و با افزایش تعداد سطوح، تعداد سوییچ‌های موردنیاز، اختلاف بیشتری با ساختارهای موجود متقارن ایجاد خواهد کرد.



شکل (۳): مسیر عبور جریان برگشتی برای سطح ولتاژ $+2u$ در ساختار مرجع [۹]

در ساختارهای متقارن تعداد سطوح ولتاژ تولیدی (N) بر حسب تعداد منابع DC متقارن (n) براساس (۱) قابل بیان است:

$$N = 2n + 1 \qquad (۱)$$



شکل ۴. ساختار تعمیم یافته تک فاز توپولوژی پیشنهاد شده

در ساختار پیشنهادی تعداد سوییچ مورد نیاز (N_{Switch})، تعداد درایور لازم (N_{Driver}) و تعداد دیود استفاده شده (N_{Diode}) برای تولید N سطح در ولتاژ خروجی براساس (۲)، (۳) و (۴) قابل بیان است :

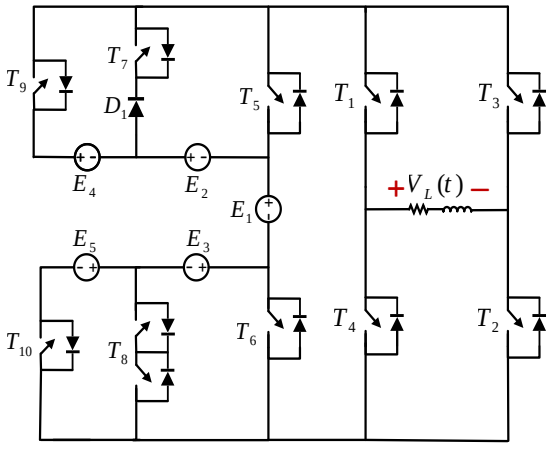
$$N_{switch}=\begin{cases}\dfrac{3N+11}{4} & ;\ N=7,11,...,4k+3\\ \dfrac{3N+9}{4} & ;\ N=9,13,...,4k+5\end{cases}\qquad k=1,2,3,... \qquad (۲)$$

$$N_{Driver}=\frac{N+9}{2} \qquad (۳)$$

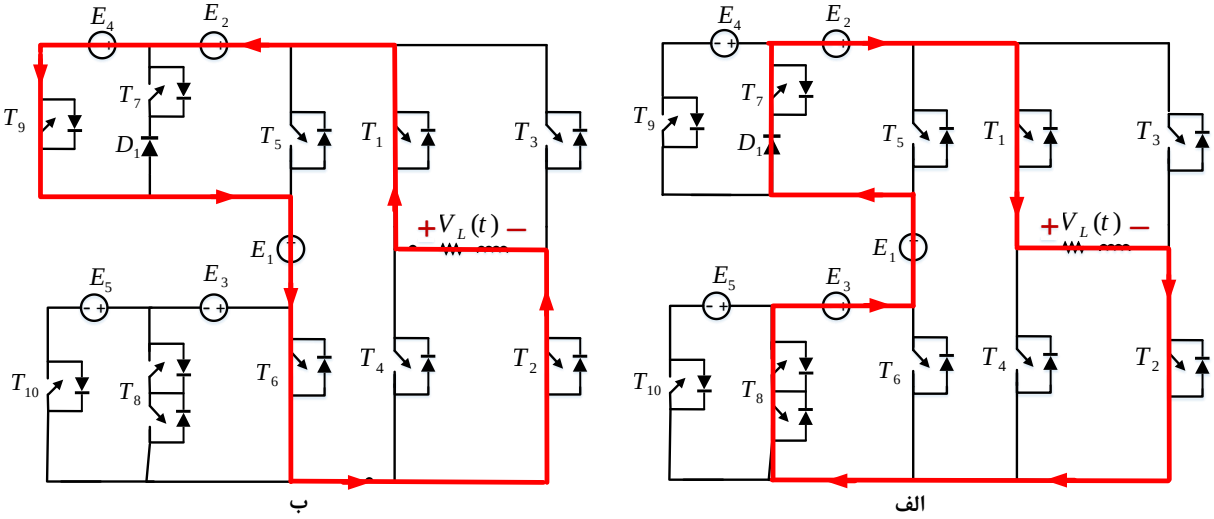
$$N_{Diode}=\frac{N-5}{4}\ ;\ N=9,13,...,4k+5 \qquad (۴)$$

رابطه (۲) نشان می‌دهد که شیب افزایش تعداد سوییچ‌ها نسبت به تعداد سطوح برابر با ۰/۷۵ بوده و مقداری کوچکتر از یک است. در ساختارهای موجود برای اینورترهای چند سطحی دوجهته، این شیب غالباً برابر با یک می‌باشد. این امر مزیت اصلی ساختار پیشنهادی است و با افزایش تعداد سطوح، میزان اختلاف تعداد سوییچ‌های ساختار پیشنهادی با ساختارهای موجود افزایش بیشتری می‌یابد.

این ساختار نیازمند یک طرح کنترل جدید بوده و در آن صرفاً نیاز به یک سنسور جریان برای تشخیص پلاریته جریان لحظه‌ای بار می‌باشد. در این طرح کنترلی از جریان بار خروجی فیدبک گرفته می‌شود و بر اساس مثبت یا منفی بودن جریان، طرح کلیدزنی طراحی می‌شود. بنابراین طرح کلیدزنی بر اساس اندازه لحظه‌ای جریان به‌نحوی طراحی می شود که‌برای یک پلاریته مشخص جریان بر اساس توزیع متناسب تلفات کلیدزنی بین سوییچ‌های موجود، مسیر مناسب انتخاب شود و در صورتی‌که پلاریته جریان لحظه‌ای در یک سطح مشخص ولتاژ تغییر کند، در صورتی‌که مسیر موجود قابلیت هدایت جریان معکوس را نداشته باشد، مسیر جدیدی برای عبور جریان با پلاریته معکوس توسط روشن و خاموش‌شدن برخی سوییچ‌ها فراهم‌شود. با فرض اینکه اندازه ولتاژ تمامی منابع ولتاژ برابر با E باشد، به عنوان نمونه برای تولید سطح‌خروجی 3E+، بسته به پلاریته جریان خروجی دو حالت کلیدزنی متفاوت وجود دارد. در شرایطی که جریان لحظه‌ای بار مثبت است مطابق شکل (۶-الف) کلیدهای ۱،۲،۷ و ۸ روشن می‌شود ولی اگر جریان لحظه‌ای بار کوچک‌تر از صفر باشد مطابق شکل (۶-ب)، با روشن‌شدن کلیدهای ۱،۲،۶ و ۹ همچنان ولتاژ خروجی برابر با 3E+ بوده و جریان لحظه‌ای منفی قابلیت عبور از مسیر مشخص شده را دارا می‌باشد. حالات مختلف کلیدزنی برای تولید سطوح ولتاژ خروجی برای مبدل یازده‌سطحی در جدول (۱) آورده‌شده‌است. همان‌گونه که در این جدول مشاهده می-شود، در برخی از سطوح کلیدزنی تابع اندازه لحظه‌ای جریان بوده و با تغییر پلاریته جریان، طرح کلیدزنی جایگزین برای تولید همان سطح ولتاژ اعمال می‌شود.



شکل (۵): توپولوژی پیشنهادی یازده‌سطحی



شکل (۶): مسیرهای عبور جریان برای مبدل یازده‌سطحی جهت تولید ولتاژ 3E+ ، الف) مسیر رفت‌جریان ب) مسیر برگشت‌جریان

جدول ۱: حالات مختلف کلیدزنی برای مبدل یازده‌سطحی پیشنهادی

سطح	حالت		T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	T_9	T_{10}
۵	۱		۱	۱	۰	۰	۰	۰	۰	۰	۱	۱
٤	۲	$i>۰$	۱	۱	۰	۰	۰	۰	۱	۰	۰	۱
		$i<۰$	۰	۱	۰	۰	۰	۰	۰	۱	۱	۱
	۳		۰	۱	۰	۰	۰	۰	۰	۱	۱	۱
۳	٤		۰	۱	۰	۰	۰	۱	۰	۰	۱	۱
	۵	$i>۰$	۰	۱	۰	۰	۰	۰	۱	۱	۰	۱
		$i<۰$	۰	۱	۰	۰	۰	۱	۰	۰	۱	۱
	٦		۱	۱	۰	۰	۱	۰	۰	۰	۰	۱
۲	۷		۰	۱	۰	۰	۱	۰	۰	۱	۰	۱
۱	۸		۰	۰	۰	۰	۱	۱	۰	۰	۰	۰
۰	۹		۰	۰	۱	۰	۰	۰	۰	۰	۰	۱
	۱۰		۰	۱	۰	۱	۰	۰	۰	۰	۰	۰
-۱	۱۱		۰	۰	۱	۱	۱	۱	۰	۰	۰	۰
-۲	۱۲		۰	۰	۱	۱	۱	۰	۰	۱	۰	۰
-۳	۱۳		۱	۰	۱	۱	۱	۰	۰	۰	۰	۰
	۱٤	$i>۰$	۰	۰	۱	۱	۰	۰	۰	۱	۱	۰
		$i<۰$	۰	۰	۱	۱	۰	۰	۰	۱	۱	۰
	۱۵		۱	۰	۱	۱	۰	۱	۰	۰	۱	۰
-٤	۱٦		۰	۰	۱	۱	۰	۰	۰	۱	۱	۰
	۱۷	$i>۰$	۱	۰	۱	۱	۰	۰	۰	۰	۰	۰
		$i<۰$	۰	۰	۱	۱	۰	۰	۰	۱	۱	۰
-۵	۱۸		۱	۰	۱	۱	۰	۰	۰	۰	۱	۰

۳- محاسبات مربوط به تلفات

تلفات یک مبدل الکترونیک قدرت معادل با مجموع توان تلفاتی تمامی ادوات نیمه‌هادی قدرت است. تلفات ناشی از یک تجهیز نیمه‌هادی می‌تواند به سه‌دسته تقسیم شود: ۱) هنگامی‌که تجهیز جریان را مسدود می‌کند (حالت OFF) که در این شرایط از آنجایی‌که جریان نشتی در حالت خاموش بودن عملاً ناچیز است [۱۲]، تلفات ناچیز بوده و می‌توان از آن صرف‌نظر کرد؛ ۲) هنگامی که تجهیز هدایت

می‌کند (حالت ON)؛ و ۳) هنگامی که تجهیز در حالت کلیدزنی می‌باشد (حالت از ON به OFF یا برعکس تغییر می‌کند). بنابراین تلفات مربوط به اینورتر پیشنهادی تنها تلفات هدایت و سوییچینگ در نظر گرفته می‌شود که درباره هرکدام در ادامه بحث شده است.

۳-۱- تلفات هدایتی

ترانزیستورهای قدرت مورد استفاده در توپولوژی پیشنهادی توانایی هدایت دو طرفه و مسدودکردن یک‌طرفه دارند. تلفات هدایتی ترانزیستور و دیود معمولی عبارتند از [۱۵]:

$$\rho_{c,Transistor}(t) = \left(V_T + R_T i^{\beta}(t)\right) i(t) \qquad (۵)$$

$$\rho_{c,Diode}(t) = \left(V_D + R_D i(t)\right) i(t) \qquad (۶)$$

که $\rho_{c,T}(t)$ و $\rho_{c,D}(t)$ به‌ترتیب مربوط به تلفات هدایتی ترانزیستور و دیود می‌باشند. V_T و V_D افت ولتاژ روی ترانزیستور و دیود در حالت روشن هستند، درحالی‌که R_T و R_D مقاومت ترانزیستور و دیود در حالت‌روشن هستند و β ثابتی است که تابع ویژگی‌های ترانزیستور است.

همانطورکه در بخش ۲ اشاره شد، هدایت کلیدها تابع جریان لحظه‌ای بار $i_L(t)$ است. علاوه بر این بسته به سطح ولتاژ خروجی و پلاریته جریان‌بار، ترانزیستور یا دیود موازی کلید می‌تواند هدایت کند. در هرلحظه از زمان تعداد دیودها و ترانزیستورهای هدایت کننده به‌ترتیب برابر با $N_D(t)$ و $N_T(t)$ می‌باشند. بنابراین میانگین تلفات هدایتی می‌تواند با استفاده از (۵) و (۶) توسط (۷) قابل بیان است:

$$\rho_{c,avg} = \frac{1}{\pi}\int_0^{\pi}\Big[\left(N_T(t)V_T + N_D(t)V_D\right)i_L(t) + \left(N_T(t)R_T i_L^{\beta+1}(t)\right) + \left(N_D(t)i_L^2(t)\right)\Big]d(\omega t) \qquad (۷)$$

۳-۲- تلفات کلیدزنی (سوییچینگ)

برای محاسبه تلفات کل کلیدزنی، یک کلید قدرت را در نظرگرفته و تلفات کلیدزنی آن محاسبه می‌شود. سپس برای محاسبه تلفات کلیدزنی کل اینورتر، تلفات تک‌تک کلیدها با هم جمع خواهدشد. برای محاسبه تلفات کلیدزنی یک کلید، یک تقریب خطی ولتاژ و جریان درطول دوره سوئیچینگ (انتقال از حالت روشن به حالت خاموش و بالعکس) مورد استفاده قرار می‌گیرد[۱۶]. تلفات انرژی در هنگام روشن شدن می‌تواند با (۸) محاسبه شود.

$$\begin{aligned} E_{on,j} &= \int_0^{t_{on}} v(t)i(t)dt \\ &= \int_0^{t_{on}}\left[\left(V_{o,j}\frac{t}{t_{on}}\right)\left(-\frac{I}{t_{on}}(t-t_{on})\right)\right]dt \\ &= \frac{1}{6}V_{o,j}.I\,t_{on} \end{aligned} \qquad (۸)$$

که $E_{on,j}$ نشان‌دهنده تلفات انرژی روشن‌شدن و t_{on} زمان لازم برای روشن‌شدن کلید jام است. جریان کلید بعد از روشن‌شدن با I مشخص‌شده و $V_{o,j}$ نشان‌دهنده ولتاژی است که کلید jام به‌هنگام خاموش‌بودن بایستی مسدودکند. به‌طور مشابه تلفات انرژی کلید jام در هنگام خاموش‌شدن را می‌توان با (۹) محاسبه کرد.

$$\begin{aligned} E_{off,j} &= \int_0^{t_{off}} v(t)i(t)dt \\ &= \int_0^{t_{off}}\left[\left(V_{o,j}\frac{t}{t_{off}}\right)\left(-\frac{I'}{t_{off}}(t-t_{on})\right)\right]dt \\ &= \frac{1}{6}V_{o,j}It_{off} \end{aligned} \qquad (۹)$$

که t_{off} زمان لازم برای خاموش‌شدن کلید jام بوده و I' جریان قبل از خاموش‌شدن کلید می‌باشد.

تلفات کلیدزنی تابع تعداد تغییر وضعیت‌های کلیدها و همچنین تکنیک کلیدزنی می‌باشد. در بازه زمانی ۱ ثانیه، سوئیچ jام تعداد f_j بار تغییر وضعیت می‌دهد، که f_j فرکانس سوئیچینگ است. از این رو، فرض بر این است که مجموع تلفات سوئیچینگ قدرت را می‌توان به صورت زیر محاسبه کرد.

$$\rho_s = \sum_{j=1}^{M}\left[\frac{1}{6}V_{o,j}I(t_{on}+t_{off})f_j\right] \qquad (۱۰)$$

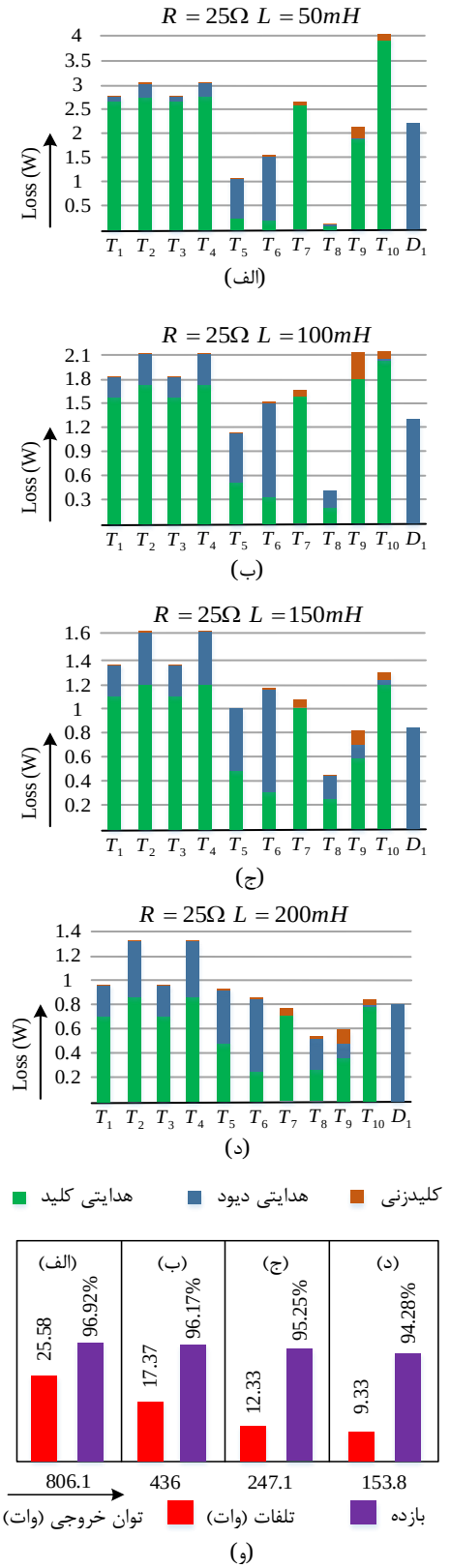
تلفات کل اینورتر را می‌توان با استفاده از (۷) و (۱۰) محاسبه‌کرد.

$$\rho_{losses} = \rho_{c,avg} + \rho_s \qquad (۱۱)$$

بازده مبدل را می‌توان با استفاده از (۱۲) و (۱۳) محاسبه کرد.

$$P_{out} = V \times I \times \cos\theta \qquad (۱۲)$$

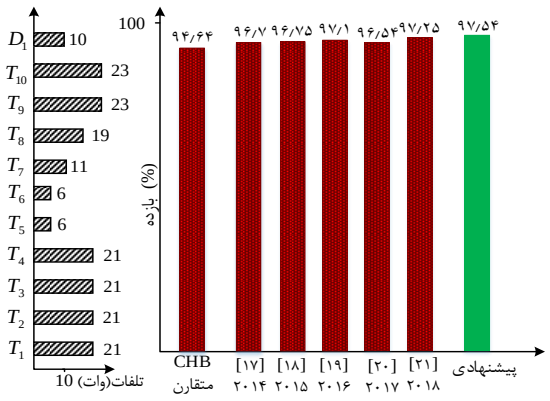
$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out}+\rho_{losses}} \qquad (۱۳)$$



شکل (۷): نتایج شبیه‌سازی تلفات توان برای توان‌های خروجی مختلف الف- ۸۰۱/۶ وات، ب- ۴۳۶ وات، ج- ۲۴۷/۱ وات، د- ۱۵۳/۸ وات، و- بازده و تلفات توان برای توان‌های خروجی مختلف

شبیه‌سازی تلفات بر اساس داده‌های سازنده انجام می‌شود.

برای مدلسازی کلید از کلید IGBTIKFW60N60DH3E (۶۰۰ ولت، ۵۰ آمپر) استفاده‌شده است. جریان عبوری از کلیدها و ولتاژ مسدودکنندگی هر کلید در شبیه‌سازی تلفات در نظر گرفته می‌شوند. این شبیه‌سازی برای اینورتر پیشنهادی یازده سطحی با کلیدزنی SPWM شیفت فاز در پیک ولتاژ خروجی ۲۵۰ ولت انجام‌شده‌است. مقدار تلفات توان و بازده برای بارها در شرایط مختلف شامل بار اهمی سلفی، برای رنج‌های توانی و نیز ضریب توان‌های متفاوت در شکل (۷) ارائه شده‌است. در ادامه تلفات توپولوژی پیشنهادی با تلفات سایرتوپولوژی‌های چندسطحی متقارن از جمله توپولوژی CHB متقارن و نیز توپولوژی‌های ارائه-شده اخیر مقایسه‌شده‌است. شبیه‌سازی مربوط به تلفات ساختار پیشنهادی و نتایج مربوط به تلفات توان هر یک از سوییچ‌ها و نیز دیود به صورت مجزا در شکل (۸) ارائه‌شده است. در ضمن شکل (۸) نشان‌دهنده مقادیر بازده برای ساختار پیشنهادی و ساختارهای مقایسه‌شده در شرایط یکسان می‌باشد. این شبیه‌سازی‌ها برای اینورتر پیشنهادی و ساختارهای مورد مقایسه برای ولتاژ خروجی یازده‌سطحی با منابع متقارن با تکنیک مدولاسیون SPWM شیفت فاز با فرکانس کلیدزنی ۳۵۰ هرتز در ۸۰٪ مقدار نامی کلید (به عبارتی در ولتاژ ۴۰۰ ولت و جریان ۴۰ آمپر) در توان خروجی ۷۲۱۸ وات برای بار مقاومتی انجام/-شده‌است. برای مدل‌سازی کلید از همان کلید IGBT IKFW60N60DH3E (۶۰۰ ولت، ۵۰ آمپر) استفاده‌شده-است. همان‌طور که در شکل (۸) مشاهده می‌شود مقدار بازده ساختار پیشنهادی در مقایسه با ساختار متداول CHB و نیز ساختارهای ارائه‌شده اخیر بهتر می‌باشد که به‌مفهوم تلفات کمتر ساختار پیشنهادی به‌ازای توان مشخص در مقایسه با ساختارهای مورد مقایسه می‌باشد.



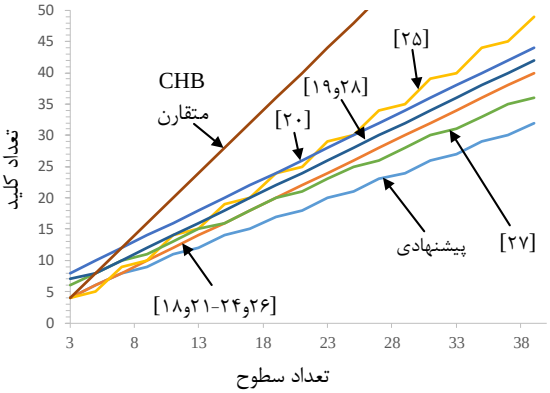
شکل (۸): نتایج شبیه‌سازی تلفات و مقایسه آن‌ها

۴- مقایسه با سایر ساختارها

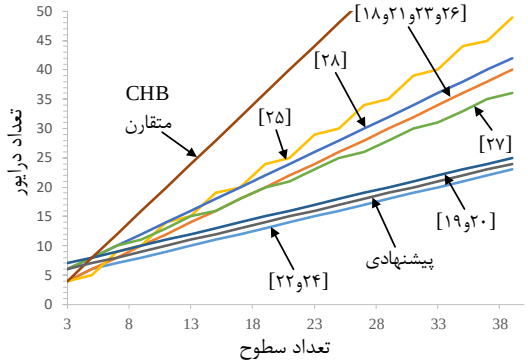
در این بخش ساختار پیشنهادی بر اساس تعداد کلید و تعداد درایور بر حسب تعداد سطوح ولتاژ خروجی با سایر ساختارهای اینورترهای چندسطحی متقارن در شرایط یکسان مقایسه‌شده‌است. از پارامترهای مهم در هزینه مبدل‌های چندسطحی می‌توان به تعداد سوئیچ‌ها و درایورها و نیز ولتاژ معکوس کلیدها اشاره نمود. هر چه تعداد و مقدار این پارامترها کمتر باشند نشان‌دهنده هزینه تمام‌شده پایین‌تر برای مبدل می‌باشد. بدیهی است که تعداد زیاد کلید، تعداد درایور راه‌انداز مورد نیاز و سایر اجزای پشتیبان مانند هیت سنک، مدارهای اسنابر و غیره را افزایش می‌دهد که مستقیماً باهزینه در ارتباط است.

ساختار پیشنهادی درمقایسه با ساختار کلاسیک و ساختارهای ارائه شده اخیر، دارای تعداد سوئیچ کمتر برای سطوح ولتاژ مشابه است. مقایسه تعداد کلیدهای ساختار پیشنهادی و دیگر مبدل‌های متقارن چندسطحی به ازای سطوح ولتاژ مختلف در شکل (۹) ارائه‌شده‌است. در شکل (۹) شیب هر کدام از نمودارها متناسب با هزینه و حجم ساختار مربوط می‌باشد. در اغلب ساختارهای ارائه‌شده شیب این نمودارها برابر با یک می‌باشد. به‌بیان دیگر به‌ازای افزایش دوسطح، دو کلید به ساختار اضافه می‌شود. در شکل (۹) برای ساختار CHB متقارن شیب نمودار برابر با ۲ است که بیانگر تعداد بسیار زیاد سوییچ‌ها در ساختار CHB متقارن می‌باشد. شیب مذکور برای ساختار پیشنهادی برابر با ۰/۷۵ می‌باشد و به ازای افزایش چهار سطح در ولتاژ خروجی صرفاً نیاز به افزایش سه سوییچ در ساختار پیشنهادی می‌باشد. واضح است که ساختار پیشنهادی بهبود قابل توجهی در کاهش تعداد سوئیچ‌ها به‌ویژه در سطوح بالا نشان می‌دهد.

مطابق شکل (۱۰) ساختار پیشنهادی از نظر تعداد درایور شرایط مناسبی داشته و صرفا ساختار پیشنهادی در [۲۲] و [۲۴] از نظر تعداد درایورها به ازای سطوح ولتاژ یکسان با ساختار پیشنهادی اختلاف ناچیزی داشته و تعداد درایور کمتری دارند. در حالی‌که ساختار ارائه‌شده در [۲۲] و [۲۴] مطابق شکل (۹) در سطوح ولتاژ یکسان، تعداد کلیدهای بیشتری نسبت‌به ساختار پیشنهادی دارند. علیرغم وجود تعداد زیاد سوییچ‌ها در ساختار CHB متقارن، ازآنجا که ولتاژ مسدودکنندگی کل در این ساختار کم می‌باشد، لذا هزینه ساختار CHB متقارن معمولاً پایین‌بوده و گزینه مناسبی برای مقایسه در این‌زمینه می‌باشد.



شکل (۹): مقایسه تعداد سوییچ‌های ساختارهای مختلف به‌ازای تعداد سطوح یکسان



شکل (۱۰): مقایسه تعداد درایورهای ساختارهای مختلف به ازای تعداد سطوح یکسان

جدول ۲ برای بررسی هزینه اینورتر یازده‌سطحی پیشنهادی با پیک ولتاژ خروجی ۱۵۰۰ ولت و مقایسه هزینه ادوات الکترونیک قدرت با ساختار CHB متقارن ارائه‌شده‌است. ساختار یازده‌سطحی پیشنهادی دارای ۴ کلید با ریتینگ $5V_{DC}$، ۴ کلید با ریتینگ $2V_{DC}$ و ۳ کلید با ریتینگ V_{DC} است و ساختار CHB متقارن دارای ۲۰ کلید با ریتینگ V_{DC} می‌باشد. باوجوداینکه مقدار ولتاژ مسدودکنندگی ساختار CHB متقارن، از ساختار پیشنهادی کمتر است و در نتیجه سوییچ‌های ارزان‌تری برای این ساختار موردنیاز است، اما به‌دلیل تعداد سوییچ‌های بیشتر در ساختار CHB متقارن، هزینه سوییچ‌های ساختار پیشنهادی کمتر از ساختار CHB متقارن حاصل‌شده‌است. شایان‌ذکراست که در جدول ۲ هزینه درایور سوییچ‌ها ارائه نشده‌است که در صورت لحاظ‌کردن هزینه درایورها، ساختار پیشنهادی برتری بیشتری نسبت به CHB متقارن خواهدداشت.

در (۱۴) نحوه محاسبه ولتاژ مسدودکنندگی کل بر حسب ولتاژ معکوس ماکزیمم (PIV) تک‌تک سوییچ‌ها ارائه‌شده

است:

$$TBV = \sum_{Switch=1}^{M} PIV \qquad (۱۴)$$

برای محاسبه هزینه سوییچ‌ها در جدول ۳ از اطلاعات سوییچ های ارائه‌شده در جدول ۲ استفاده‌شده‌است. از جدول ۳ می‌توان دریافت که ولتاژ مسدودکنندگی کل ساختار پیشنهادی صرفاً با ساختار CHB متقارن تفاوت معناداری دارد که در جدول ۲ این امر مورد بررسی قرارگرفت و نشان-داده‌شد که با وجود ولتاژ مسدودکنندگی کل بیشتر در ساختار پیشنهادی در مقایسه با ساختار CHB متقارن، تعداد کمتر سوییچ‌ها در ساختار پیشنهادی منجر به کاهش هزینه ساختار پیشنهادی در مقایسه با ساختار CHB متقارن می‌شود. ولتاژ مسدودکنندگی کل ساختار پیشنهادی در مقایسه با سایر ساختارهای ارائه‌شده اخیر در یک محدوده بوده و یا بهتر از آن‌ها می‌باشد. در ضمن هزینه سوییچ در ساختار پیشنهادی کمتر از ساختارهای ارائه‌شده اخیر می-باشد که این امر به مفهوم هزینه کمتر ساختار پیشنهادی در مقایسه با ساختارهای ارائه‌شده اخیرمی‌باشد. شایان‌ذکر است به‌دلیل تعداد سوییچ کمتر ساختار پیشنهادی، طبیعتاً در صورت لحاظ‌کردن هزینه درایورها، ساختار پیشنهادی برتری بیشتری نسبت به ساختارهای مشابه خواهدداشت.

جدول (۲): مقایسه هزینه ادوات الکترونیک قدرت ساختار پیشنهادی و ساختار CHB متقارن

	نام قطعه	سطح ولتاژ	سطح جریان	قیمت واحد (دلار)	پیشنهادی ۱۱ سطحی		CHB متقارن ۱۱ سطحی	
					تعداد	هزینه (دلار)	تعداد	هزینه (دلار)
www.mouser.co.uk	IXGH60N30C3	۳۰۰ V	۶۰ A	۵/۰۱	۳	۱۵/۰۳	۲۰	۱۰۰/۲
	IXGH60N60C3	۶۰۰ V	۶۰ A	۸/۳۲	۴	۳۳/۲۸	-	-
	IXYH60N90C3	۹۰۰ V	۶۰ A	۷/۳۵	-	-	-	-
	IXGH30N120B3D1	۱/۲ KV	۶۰ A	۹/۵۳	-	-	-	-
	IXYH24N170C	۱/۷ KV	۵۸ A	۱۱/۲۵	۴	۴۵	-	-
	DPG60C300QB (Diode)	۳۰۰ V	۶۰ A	۴/۰۹	۱	۴/۰۹	-	-
هزینه کل (دلار)						۹۷/۴		۱۰۰/۲

جدول (۳): پارامترهای مقایسه‌ای اینورترهای چندسطحی در سطح یازده

ساختار		تعداد سطوح	تعداد سوییچ	تعداد دیود	تعداد خازن	تعداد منبع	$TBV(*V_{DC})$	تعداد درایور	هزینه سوییچ‌ها (دلار)
CHB	متقارن	۱۱	۲۰	۰	۰	۵	۲۰	۲۰	۱۰۰/۲
	نامتقارن	۱۱	۱۲	۰	۰	۳	۲۴	۱۲	۸۷/۷۲
[۱۸] (۲۰۱۵)		۱۱	۱۲	۰	۰	۵	۲۸	۱۲	۹۹/۹۴
[۱۹] (۲۰۱۶)		۱۱	۱۴	۰	۰	۵	۳۰	۱۱	۹۸/۸۴
[۲۰] (۲۰۱۷)		۱۱	۱۶	۰	۰	۵	۳۳	۱۱	۱۱۳/۸۷
[۲۲] (۲۰۱۷)		۱۱	۱۲	۰	۰	۵	۳۲	۹	۹۷/۲۲
[۲۳] (۲۰۱۷)		۱۱	۱۴	۸	۰	۵	۲۲	۱۴	۱۲۹/۴۲
[۲۴] (۲۰۱۷)		۱۱	۱۲	۰	۰	۵	۴۰	۹	۱۰۹/۷
[۲۵] (۲۰۱۸)		۱۱	۱۴	۰	۰	۵	۲۲	۱۴	۱۰۹/۳
پیشنهادی		۱۱	۱۱	۱	۰	۵	۳۱	۱۰	۹۷/۴۴

۵- نتایج شبیه‌سازی و پیاده‌سازی

در این بخش نتایج شبیه‌سازی و پیاده‌سازی اینورتر پیشنهادی ارائه می‌شود. روش‌های مختلفی برای مدولاسیون این اینورترهای چندسطحی وجوددارد که به‌دو دسته کلی تقسیم می‌شوند: ۱) روش کلیدزنی فرکانس پایه و ۲) روش‌های کلیدزنی فرکانس بالا. از روش‌های مدولاسیون

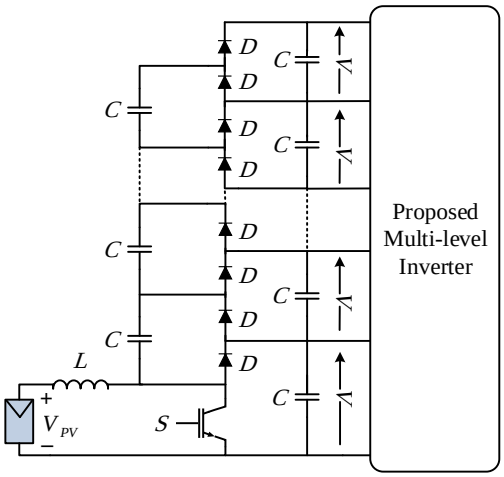
فرکانس بالا می‌توان به PWM چندحامله و تکنیک‌های مدولاسیون بردار فضایی را نام برد و از روش‌های مدولاسیون فرکانس پایین می‌توان به مدولاسیون نردبانی، روش حذف هارمونیک فعال و روش حذف هارمونیک انتخابی اشاره نمود. ساختار پیشنهادی می‌تواند با هر یک از این روش‌ها مدولاسیون سازگاری مناسب داشته باشد. در این مقاله ساختار پیشنهادی با دو روش کلیدزنی PWM و روش حذف هارمونیک انتخابی شبیه‌سازی و پیاده‌سازی شده‌است. برای بررسی عملکرد توپولوژی پیشنهادی، ساختار یازده‌سطحی اینورتر پیشنهادی در محیط MATLAB/SIMULINK شبیه‌سازی شده است. در این ساختار از پنج منبع ورودی DC متقارن به صورت $E_1=E_2=E_3=E_4=E_5=12v$ استفاده‌شده‌است. شبیه‌سازی و پیاده‌سازی برای فرکانس ۵۰ هرتز و به ازای بار خروجی اهمی خالص و نیز اهمی سلفی انجام‌شده‌است.

در شبیه‌سازی ساختار پیشنهادی برای منابع‌ورودی از منابع ولتاژ DC جداگانه استفاده‌شده‌است. در عمل، این منابع ولتاژ DC ممکن‌است از طریق منابع انرژی تجدیدپذیر مانند پانل‌های فتوولتائیک، سلول سوختی و ... قابل‌دسترسی باشد. با این حال، اگر یک منبع DC در دسترس نباشد، منابع ولتاژ DC مورد نیاز را می‌توان توسط یک مبدل DC-DC یک ورودی چند خروجی مطابق مدار ارائه‌شده در شکل (۱۱) به‌دست‌آورد [۲۹].

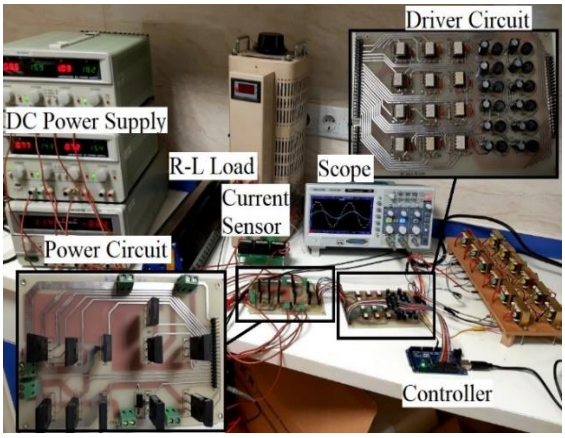
به منظور تأیید صحت عملکرد اینورتر چندسطحی پیشنهادی، نتایج شبیه‌سازی و پیاده‌سازی آزمایشگاهی در کنار هم ارائه‌شده است. در نمونه آزمایشگاهی از ماسفت‌های IRFP 450 و دیود 1N5408 استفاده‌شده و مدار راه‌انداز گیت با استفاده از اوپتوکوپلر TLP 250 اجراشده‌است. از سه منبع تغذیه DC دوخروجه به منظور تولید پنج‌سطح ولتاژ DC ۱۲ ولتی استفاده‌شده است. به‌منظور تولید پالس‌های کلیدزنی از میکروکنترلر Arduino Mega 2560 استفاده‌شده‌است. برای حالتی که بار خروجی اهمی خالص است مقاومت ۲۵ اهم درنظرگرفته‌شده و برای حالتی که بار خروجی اهمی سلفی است، مقاومت ۲۵ اهم و اندوکتانس ۶۰ میلی هانری در نظرگرفته‌شده‌است. شمای کلی از مدار عملی در شکل (۱۲) قابل مشاهده‌است.

الف) کلیدزنی PWM

این طرح کنترلی مبتنی بر مدولاسیون فرکانس بالا است. در این طرح کنترلی سیگنال‌های حامل با سیگنال مرجع مقایسه می‌شوند و پالس‌های به‌دست‌آمده برای تغییر وضعیت ترانزیستورهای قدرت جهت تولید سطوح ولتاژ مورد استفاده قرارمی‌گیرند. در شکل (۱۳) نتایج مربوط به کلیدزنی PWM به ازای بار اهمی سلفی ارائه‌شده‌است. شکل (۱۳-الف) که نتایج ولتاژ و جریان خروجی را در محیط شبیه‌سازی نشان می‌دهد، بیان‌گر شکل موج ولتاژ یازده سطحی با گام‌های برابر ۱۲ ولت بوده و میزان اختلاف فاز جریان نسبت ولتاژ برابر با ۳۷ درجه می‌باشد.

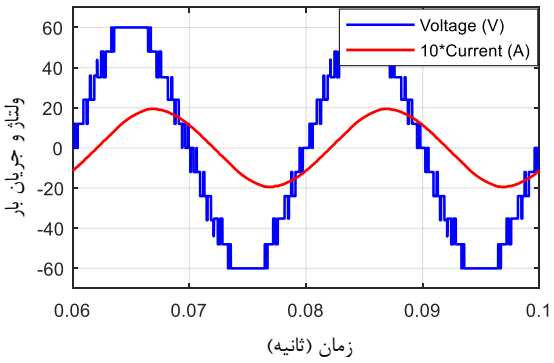


شکل (۱۱): سیستم پیشنهادی برای کاربرد مبدل چندسطحی در آرایه‌های خورشیدی با استفاده از مبدل DC-DC تک‌ورودی چندخروجی [۲۹]

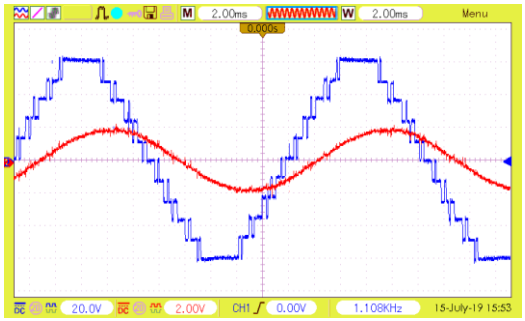


شکل (۱۲): شمای کلی از مدار عملی ساختار پیشنهادی

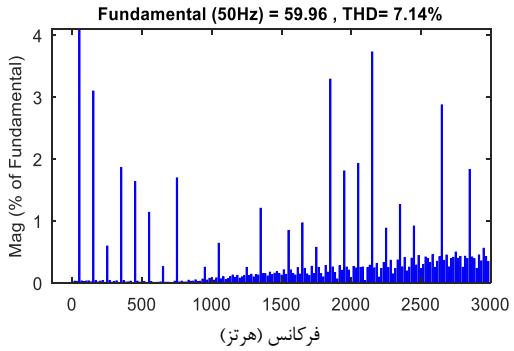
در شکل (۱۳-ب) نتایج پیاده‌سازی آزمایشگاهی برای کلید زنی PWM ارائه‌شده‌است که تطابق کامل با نتایج شبیه‌سازی دارد. در شکل (۱۳-ب) هر گام‌ولتاژ در صفحه اسکوپ برابر با ۲۰ ولت و هر گام‌جریان برابر با ۲ آمپر می باشد که در قسمت پایینی صفحه اسکوپ این نکته به وضوح قابل‌رویت است. اعوجاج هارمونیک کل برای ولتاژ و جریان به‌ترتیب در شکل (۱۳-ج) و (۱۳-د) ارائه‌شده‌است.



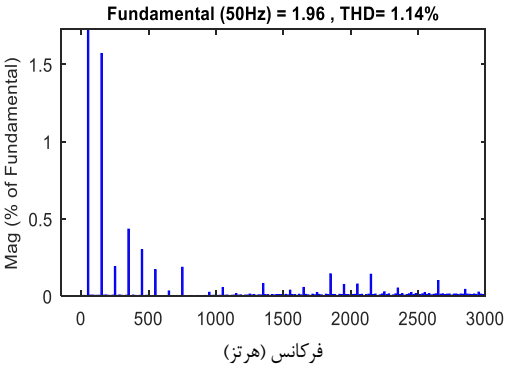
(الف)



(ب)



(ج)

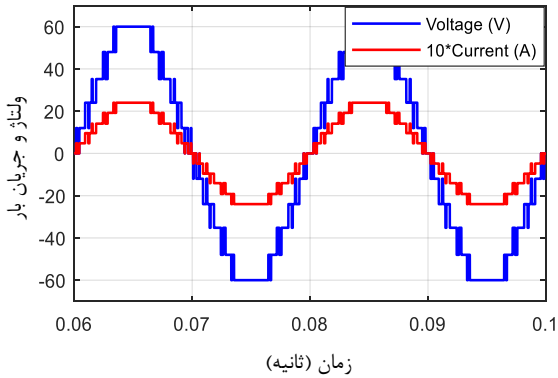


(د)

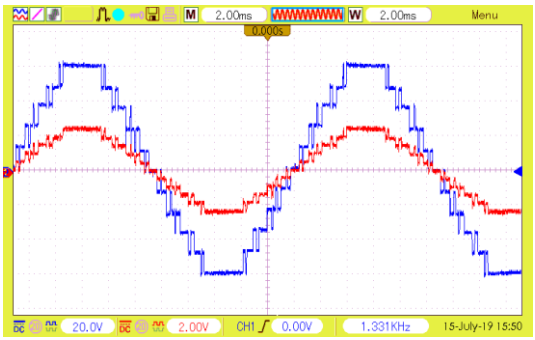
شکل (۱۳): شکل موج ولتاژ و جریان‌خروجی و THD آن‌ها برای ساختار پیشنهادی یازده‌سطحی پیشنهادی با کلیدزنی PWM به ازای بار اهمی سلفی الف- شبیه‌سازی، ب- پیاده-سازی
ج- THD ولتاژخروجی، د- THD جریان‌خروجی

شکل (۱۳) تأیید می‌کند که ناشی از وجود دیود در مدار اسپایک ولتاژ حاصل نمی‌شود که این امر ناشی از وجود سنسور جریان و انتخاب مسیر مناسب برای جلوگیری از اسپایک ولتاژ می‌باشد. این امر به وضوح نشان می‌دهد که ساختار پیشنهادی با وجود تعداد سوییچ‌های کمتر به درستی توانایی تغذیه دوجهته را دارا می‌باشد.

در شکل (۱۴) نتایج شبیه‌سازی و پیاده‌سازی با کلیدزنی PWM برای بار خروجی اهمی ارائه‌شده‌است. عملکرد صحیح ساختار پیشنهادی و تطابق نتایج شبیه‌سازی و پیاده‌سازی در این شکل به‌وضوح قابل رویت است.



(الف)



(ب)

شکل (۱۴): شکل موج ولتاژ و جریان خروجی برای ساختار پیشنهادی یازده‌سطحی پیشنهادی با کلیدزنی PWM به‌ازای بار اهمی خالص، الف- شبیه‌سازی، ب- پیاده‌سازی

ب) کلیدزنی حذف انتخابی هارمونیک‌ها

تکنیک کلیدزنی نردبانی روشی مبتنی بر فرکانس کلیدزنی پایه می‌باشد که تحقیقات زیادی در زمینه حذف انتخابی هارمونیک‌های ولتاژ خروجی در روش کلیدزنی نردبانی انجام شده‌است. در یک اینورتر یازده‌سطحی تک‌فاز مطابق شکل (۱۵) با استفاده تکنیک حذف انتخابی هارمونیک‌ها برای حذف هارمونیک‌های سوم، پنجم، هفتم و نهم ولتاژ می‌توان معادلات زیر را نوشت.

$$\frac{4V_{DC}}{\pi}\sum_{i=1}^{5}\cos(\theta_i)=V_D \quad (۱۴)$$

$$\frac{4V_{DC}}{3\pi}\sum_{i=1}^{5}\cos(3\theta_i)=0 \quad (۱۵)$$

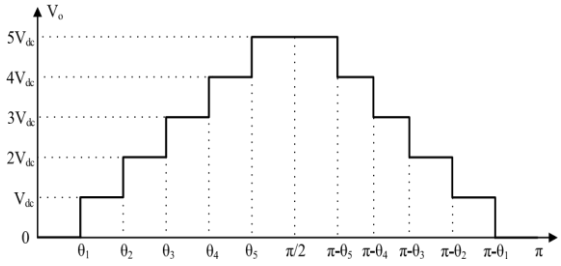
$$\frac{4V_{DC}}{5\pi}\sum_{i=1}^{5}\cos(5\theta_i)=0 \quad (۱۶)$$

$$\frac{4V_{DC}}{7\pi}\sum_{i=1}^{5}\cos(7\theta_i)=0 \quad (۱۷)$$

$$\frac{4V_{DC}}{9\pi}\sum_{i=1}^{5}\cos(9\theta_i)=0 \quad (۱۸)$$

$$m_a=\frac{\pi\times V_D}{2\times(N-1)\times V_{DC}} \quad (۱۹)$$

که V_D بیانگر مؤلفه اصلی ولتاژ بوده و N بیانگر حداکثر تعداد سطوح است.

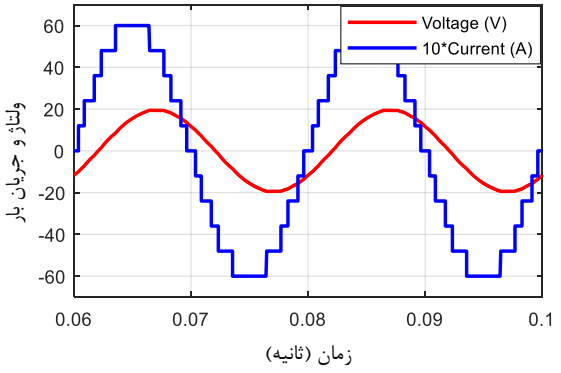


شکل(۱۵): ولتاژ یازده‌سطحی خروجی در روش کلیدزنی حذف انتخابی هارمونیک‌ها

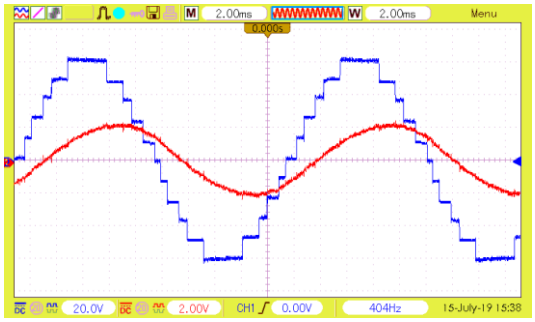
در این مقاله زوایای کلیدزنی بهینه جهت حذف هارمونیک‌های انتخابی و کاهش THD ولتاژ بر اساس زوایای بهینه ارائه‌شده در [۲۲] برای اینورتر یازده‌سطحی استفاده شده است. مقادیر θ_1، θ_2، θ_3، θ_4 و θ_5 استفاده‌شده در شبیه‌سازی به ازای شاخص مدولاسیون $m_a=0.8$ در جدول ۴ آورده‌شده‌است.

جدول ۴: زوایای محاسبه شده برای شاخص مدولاسیون ۰/۸

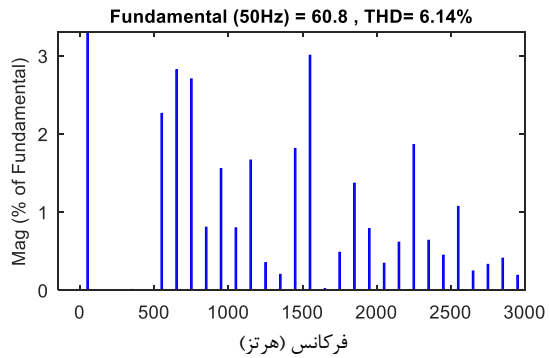
m_a	θ_1	θ_2	θ_3	θ_4	θ_5
۰/۸	۶/۷۴	۱۵/۷۲	۳۱/۰۶	۴۱/۸۶	۶۳/۷۴



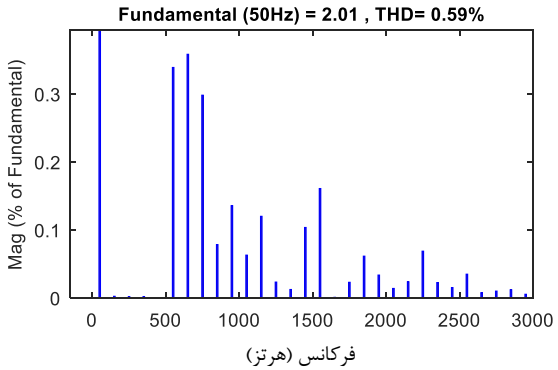
(الف)



(ب)



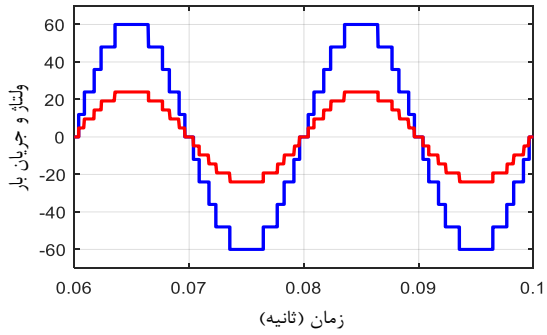
(ج)



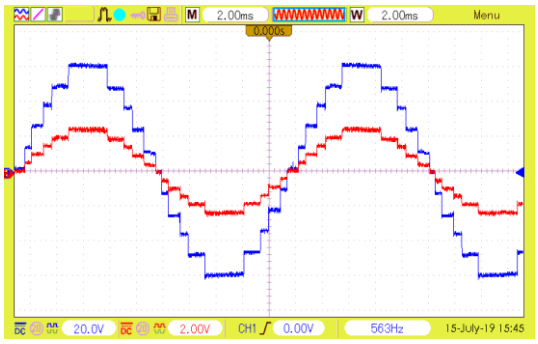
(د)

شکل (۱۶). شکل موج ولتاژ و جریان خروجی و THD آن‌ها برای ساختار پیشنهادی یازده سطحی پیشنهادی با کلیدزنی حذف انتخابی هارمونیک‌ها به ازای بار اهمی سلفی الف- شبیه-سازی، ب- پیاده‌سازی ج- THD ولتاژ خروجی در شبیه‌سازی د- THD جریان خروجی در شبیه‌سازی

شکل (۱۶) نشانگر شکل موج ولتاژ یازده‌سطحی و جریان خروجی اینورتر و نیز THD ولتاژ و جریان خروجی با کلید-زنی حذف انتخابی هارمونیک‌ها به ازای بار اهمی سلفی می‌باشد. عملکرد صحیح ساختار پیشنهادی، پل‌های ولتاژ ۱۲ ولتی، تطابق نتایج شبیه‌سازی و پیاده‌سازی و نیز مقادیر مطلوب برای THD ولتاژ و جریان از شکل (۱۶) قابل‌مشاهده است.



(الف)



(ب)

شکل (۱۷): شکل موج ولتاژ و جریان خروجی برای ساختار پیشنهادی یازده‌سطحی پیشنهادی با کلیدزنی حذف انتخابی هارمونیک‌ها به ازای بار اهمی خالص الف- شبیه‌سازی، ب- پیاده‌سازی

در شکل (۱۷) نیز نتایج شبیه‌سازی و پیاده‌سازی با کلیدزنی حذف انتخابی هارمونیک‌ها برای بار خروجی اهمی خالص ارائه‌شده‌است. عملکرد صحیح ساختار پیشنهادی و تطابق نتایج شبیه‌سازی و پیاده‌سازی در این شکل به‌وضوح قابل رؤیت است.

۶. نتیجه‌گیری

از آنجا که در حال حاضر اینورترهای چندسطحی کاربردهای متنوعی دارند، محققان در تلاش برای کاهش تعداد اجزاء و افزایش تعداد سطوح خروجی این اینورترها می‌باشند. توپولوژی پیشنهادی سعی دارد تا تعداد ادوات اینورتر چند سطحی تکفاز را کاهش دهد. در ساختارهایی که از دیود برای کاهش ادوات کلیدزنی استفاده می‌شود بایستی مسیر جریان برگشتی برقرار باشد تا از تولید اسپایک ولتاژ جلوگیری شود. اصول عملکرد ساختار پیشنهادی توضیح داده شده و شبیه‌سازی و پیاده‌سازی ساختار پیشنهادی انجام‌شده‌است. نتایج حاصل از شبیه‌سازی درستی عملکرد ساختار پیشنهادی را نشان می‌دهند و نتایج حاصل از پیاده‌سازی تطابق کامل با شبیه‌سازی را به وضوح بیان می‌کنند. مقایسه توپولوژی پیشنهاد شده با توپولوژی‌های متعارف و تحقیقات مشابه نشان می‌دهد که توپولوژی پیشنهاد شده به طور قابل توجهی تعداد اجزای کمتری داشته و در نتیجه هزینه و حجم آن کمتر می‌باشد.

مراجع

[1] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L.G.Franquelo, B.Wu, J. Rodriguez, M. A. Pérez, and J. I. Leon, "Recent advances and industrial applications of multilevel converters", IEEE Transactions on Industrial Electrons, Vol. 57, No. 8, Aug. 2010, pp. 2553–2580.

[۲] حسن فشکی فراهانی، "ارائه یک ساختار جدید برای اینورترهای منبع ولتاژ چندسطحی تک‌فاز بر مبنای کاهش تعداد کلیدهای نیمه‌هادی"، نشریه مدل‌سازی در مهندسی، دوره ۱۶، شماره ۵۲، بهار ۱۳۹۷، صفحه ۹۷-۱۰۸.

[3] S. Behara, N. Sandeep, and U. R. Yaragatti, "Design and Implementation of Transformer-Based Multilevel Inverter Topology With Reduced Components", IEEE Transactions on Industry Applications, Vol. 54, No. 5, 2018, pp. 4632– 4639.

[4] D. N. R. S. Alishah, and S. H. Hosseini, "Novel topologies for symmetric, asymmetric, and cascade switched-diode mutilevel converter with minimum number of power electronic components", IEEE Transactions on Industrial Electrons, Vol. 61, No. 10, 2014, pp. 5300–5310.

[5] K. P. Panda, and G. Panda, "Application of swarm optimisation-based modified algorithm for selective harmonic elimination in reduced switch count multilevel inverter", IET Power Electronics, Vol. 11, No. 8, 2018, pp. 1472-1482.

[6] N. V. Kumar, V. K. Chinnaiyan, P. Murukesapillay and S. P. Karthikeyan, "Multilevel inverter topology using single source and double source module with reduced power electronic components", Journal of Engineering, Vol. 2017, No. 5, 2017, pp. 139- 148.

[7] R. S. Alishah, D. Nazarpour, S. H. Hosseini, and M. Sabahi, "New hybrid structure for multilevel inverter with fewer number of components for high-voltage levels", IET power electronics, Vol. 7, No. 1, January 2014, pp. 96-104.

[8] R. Samanbakhsh, and A. Taheri, "Reduction of power electronic components in multilevel converters using new switched capacitor-diode structure", IEEE Transactions on Industrial Electronics, Vol. 63, No. 11, May 2016, pp. 7204-7214.

[9] L. Wang, Q. H. Wu and W. H. Tang, "Novel Cascaded Switched-Diode Multilevel Inverter for Renewable Energy Integration", IEEE Transactions on Energy Conversion., Vol. 32, No. 4, Dec. 2017, pp. 1574- 1582.

[۱۰] محمد رضا بنائی و حسین اژدرفائقی بناب، " ارائه، بررسی و مقایسه مبدل‌های dc-dc جدید تک‌کلیده با ضریب بهره بالا و تنش ولتاژ کم دو سر کلید "، نشریه مدل‌سازی در مهندسی، دوره ۱۷، شماره ۵۶، بهار ۱۳۹۸، صفحه ۱-۱۰.

[۱۱] سید محمد مهدی میرطلائی و گلناز تاجمیر، "طراحی، مدل‌سازی و ساخت یک مبدل Z-Source بهره بالا برای کاربرد در اتصال منابع انرژی تجدیدپذیر به شبکه برق. مدل‌سازی در مهندسی"، نشریه مدل‌سازی در مهندسی، دوره ۱۶، شماره ۵۳، تابستان ۱۳۹۷، صفحه ۲۲۱-۲۲۹.

[12] F. Sedaghati, and S. H. L. Majareh, "A multilevel inverter based on cascade connection of submultilevel units with reduced switch count", International Journal of Circuit Theory and Applications, 2019.

[13] E. Babaei and S. H. Hosseini, "New cascaded multilevel inverter topology with minimum of switches", Energy Convers. Manag. , Vol. 50, No. 4, 2009, pp. 2761–2767.

[14] J. Ebrahimi, E. Babaei, and G. B. Gharehpetian, "A new multilevel converter topology with reduced number of power electronic components", IEEE Trans. Ind. Electron., Vol. 59, No. 2, Feb. 2012, pp. 655–667.

[15] S. Rohner, S. Bernet, M. Hiller, and R. Sommer, "Modulation, losses, semiconductor requirements of modular multilevel converters", IEEE Transactions on Industrial Electrons, Vol. 57, No. 8, Aug. 2010, pp. 2633–2642.

[16] M. Ned, T. M. Undeland, and W. P. Robbins, "Power Electronics: Converters", Applications and Design., 2nd ed. Hoboken, NJ, USA: Wiley, 2001.

[17] K. K. Gupta and S. Jain, "A Novel Multilevel Inverter Based on Switched DC Sources", IEEE Transaction on Industrial Electronics, Vol. 61, No. 7, July 2014.

[18] M. R. J. Oskuee, M. Karimi, S. N. Ravadanegh and G. B. Gharehpetian, "An Innovative Scheme of Symmetric Multilevel Voltage Source Inverter with Lower Number of Circuit Devices", IEEE Transaction on Industrial Electronics, Vol. 62, No. 11, 2015.

[19] R. S. Alishah, S. H. Hosseini, E. Babaaei and M. Sabahi, "A New General Multilevel Converter Topology Based on Cascaded Connection of Sub-Multilevel Units with Reduced Switching Components, DC Sources and Blocked Voltage by Switches", IEEE Trans. Industrial Electronics, Vol. 63, No. 11, 2016, pp. 7157–7164.

[20] M. Jayabalan, B. Jeevarathinam and T. Sandirasegarane, "Reduced switch count pulse width modulated multilevel inverter", IET Power Electronics, Vol. 10, No. 1, 2017, pp. 10-17.

[21] S. M. Ali, R. S. Alishah, and V. Krishnasay, "A New Generalized Multilevel Converter Topology with Reduced Voltage on Switches, Power losses and Components", IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 7, No. 2, 2018, pp. 1094-1106.

[22] M. D. Siddique, S. Mekhilef, N. M. Shah and M. A. Memon, "Optimal Design of a New Cascaded Multilevel Inverter Topology With Reduced Switch Count", IEEE Access, Vol. 7, pp. 24498-24510, 2019.

[23] M. Saeedian, J. Adabi and S. M. Hosseini, "Cascaded multilevel inverter based on symmetric–asymmetric DC sources with reduced number of components", IET Power Electron, Vol. 10, No. 12, 2017, pp. 1468-1478.

[24] H. Samsami, A. Taheri, and R. Sammanbakhsh, "New bidirectional multilevel inverter topology with staircase cascading for symmetric and asymmetric structures", IET Power Electronics, Vol. 10, No. 11, 2017, pp. 1315-1323.

[25] C. Dhanamjayulu and S. Meikandasivam, "Implementation and Comparison of Symmetric and Asymmetric Multilevel Inverters for Dynamic Loads", IEEE Accsess, Vol. 6, 2018, pp. 738-746.

[26] J. S. M. Ali, R. S. Alishah, N. Sandeep, S. H. Hosseini, E. Babaei, V. Krishnasay and U. R. Yaragatti, "A New Generalized Multilevel Converter Topology Based on Cascaded Connection of Basic Units", IEEE Journal of Emerging and Selected Topics in Power Electronics, Early Access.

[27] E. Babaei, S. Laali and Z. Bayat, "A Single-Phase Cascaded Multilevel Inverter Based on a New Basic Unit with Reduced Number of Power Switches" IEEE Transactions on industrial electronics, Vol. 62, No. 2, 2015, pp. 922-929.

[28] J. Ebrahimi, E. Babaei and G. B. Gharehpetian, "A New Topology of Cascaded Multilevel Converters With Reduced Number of Components for High-Voltage Applications", IEEE Transaction on Power Electronics, Vol. 26, No. 11, 2011, pp. 3109 - 3118

[29] J. C. Rosas-Caro, J. M. Ramirez, F. Z. Peng and A. Valderrabano, "A DC-DC multilevel boost converter", IET Power Electronics, Vol. 3, No. 1, Jan. 2010, pp. 129-137.