مدل‌سازی جامع خازن فلز–اکسید–نیم‌رسانا مد تخلیه‌ای برای شبیه‌سازی مداری

شهریار جاماسب[۱،*] و محمّدباقر خدابخشی[۲]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۸/۱۱/۲۶
پذیرش مقاله: ۱۳۹۹/۰۳/۲۷

واژگان کلیدی:
خازن MOS،
MOSFET مد تخلیه‌ای،
مدل BSIM،
مدل ضخامت بار.

چکیده

مدل جامعی برای یک خازن فلز-اکسید-نیم‌رسانا (MOS) که به‌صورت یک MOSFET n کانال نوع تخلیه‌ای در یک فنّاوری CMOS زیرمیکرونی پیاده‌سازی شده، ارائه می‌شود. این مدل، وابستگی ظرفیت خازنی به ولتاژ گیت را روی تمام گسترهٔ ولتاژهای عملیاتی منظور می‌کند و برازش آن به داده‌های اندازه‌گیری‌شده ظرفیت خازنی برحسب ولتاژ گیت با ضریب همبستگی ۰/۹۹ مشخّص می‌شود. با در نظر گرفتن خازن گیت و مقاومت سری مربوط به آن به‌صورت یک شبکه RC گسترده یک مدل زیرمداری واقع‌گرایانه برای خازن MOS به دست می‌آید که امکان مدل‌سازی دقیق آثار فرکانس بالا و ضریب کیفیت خازن را فراهم می‌کند. کارایی مدل زیرمداری خازن MOS با استفاده از شبیه‌سازی اسپایس تأیید شده است و برای بهبود دقّت شبیه‌سازی، روشی برای مدل‌سازی مقاومت کانال به‌صورت یک مقاومت کنترل‌شونده با ولتاژ ارائه می‌شود.

۱- مقدّمه

پیاده‌سازی مدارهای مجتمع در فرایند CMOS[۲] نانومتری مستلزم شبیه‌سازی براساس مدل‌های اسپایس دقیق برای ادوات نیم‌رساناست [۱]. شبیه‌سازی دقیق همچنین در پاره ای از موارد، استفاده از مدل‌های مداری [۲] یا مدل‌های مبتنی بر تحلیل عددی [۳] را ایجاب می‌کند. شبیه‌سازی رفتار ادوات غیرفعّال، از جمله مواردی است که برای مدل‌سازی آثار پارازیتی به مدل‌های مداری نیاز دارد. مشخّصه‌های قطعات غیرفعّال مانند مقاومت، خازن و سلف، تأثیر بسزایی در کارایی مدارهای مجتمع آنالوگ دقیق و مدارهای مجتمع فرکانس رادیویی دارند [۴]. سلف‌های بزرگ‌تر از ۱۰۰nH و مقاومت‌های بزرگ‌تر از ۱۰MΩ به علت اندازهٔ فیزیکی بزرگ این المان‌ها به‌ندرت در طرّاحی مدارهای مجتمع دارای استفاده عملی هستند [۵]. کارایی سلف‌ها و مقاومت‌های مجتمع‌سازی‌شده روی تراشه به علت وجود المان‌های پارازیتی در ساختار این قطعات دچار تنزّل می‌شود. به‌عنوان مثال، در مدارهای مجتمع ساختار مقاومت اغلب دارای یک ظرفیت خازنی گسترده قابل‌ملاحظه و ساختار سلف اغلب دارای مقاومت و ظرفیت خازنی پارازیتی قابل‌توجهی است. بنابراین پیاده‌سازی سلف با ضریب کیفیت بالا و مقاومت با ظرفیت خازنی پارازیتی پایین بر روی تراشه، چالش‌های جدّی را در پی دارد. بنابراین در برخی کاربردها نظیر طرّاحی فیلترهای دارای مرتبه بالا توپولوژی‌هایی مبتنی بر مدارهای کلیدخازنی که مقاومت و سلف را با ادوات فعّال و خازن جایگزین می‌کنند، دارای استفادهٔ عملی گسترده هستند. هرچند خازن‌های بزرگ‌تر از صد پیکوفاراد نیز به علت سایز فیزیکی بالا به‌ندرت در مدارهای مجتمع به کار گرفته می‌شوند [۵]، فنّاوری‌های ساخت پیشرفته امکان دستیابی به خازن‌هایی با ضریب کیفیت بالا و ضریب دمای پایین را در اختیار قرار می‌دهند [۴]. با این حال، دستیابی به مشخّصات مطلوب برای خازن به قیمت افزایش پیچیدگی فرایند ساخت در قالب افزایش تعداد فوتوماسک‌های موردنیاز و بالا رفتن هزینهٔ تولید تمام می‌شود. یک رویکرد استاندارد برای پیاده‌سازی خازن،

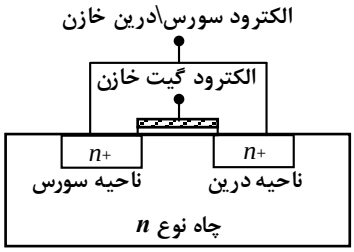
* پست الکترونیک نویسندهٔ مسئول: jamasb@hut.ac.ir
۱. استادیار، گروه مهندسی پزشکی، دانشگاه صنعتی همدان
۲. استادیار، گروه مهندسی پزشکی، دانشگاه صنعتی همدان

2. Complementary Metal Oxide Semiconductor.

استفاده از ظرفیت خازنی عایق گیت در ساختار فلز-عایق-نیم‌رسانا است. در فرایند CMOS ساختار این نوع خازن، موسوم به خازن MOS، متشکّل از یک لایه دی‌اکسید سیلیسم (SiO_2) است که مابین لایه‌های پلی‌سیلیسیم دژنره و سیلیسیم بدنه قرار می‌گیرد. به‌دلیل نازکی نسبی لایه عایق گیت، خازنMOS از دیدگاه سایز فیزیکی مزیت بالایی دارد. در فرایندهای CMOS نوعی ظرفیت خازنی بر واحد سطح برای خازنMOS بین بیست تا صد برابر این ظرفیت برای خازن‌های عادی با صفحه‌هایی از جنس فلز اتّصال است [۴]. خازن MOS را می‌توان به‌سادگی با اصلاح فرایند ساخت CMOS بدون استفاده از نقاب‌های اضافی متعدّد پیاده‌سازی کرد. اخیراً کارایی خازن‌های MOS[1] ساخته‌شده در فنّاوری CMOS با به کار گرفتن دی الکتریک‌های نوین با ثابت دی‌الکتریک بالا بهبود یافته است [۶ و ۷]. همچنین، خازن فلز-عایق-نیم‌رسانا موسوم به خازن MIS[2] در سایر فنّاوری‌های ساخت با استفاده از مواد نوین برای عایق گیت مانند HfAlO و Ga_2O_3 [۸] و اکسید قلع [۹] پیاده‌سازی شده است.

کاستی‌های خازن MOS شامل وابستگی قوی ظرفیت خازنی به ولتاژ گیت و اتلاف بالا ناشی از مقاومت کانال است. همچنین در صورتی که میزان آلایش سیلیسیم پایین باشد، خازن MOS ضریب دمای قابل‌ملاحظه‌ای به نمایش می‌گذارد. این نقایص با تبدیل لایهٔ سیلیسیم به نوع دژنره ($n+$ یا $p+$) تا حدّ زیادی بهبود می‌یابند. برای این منظور، یک مرحله کاشت یونی قبل از لایه‌نشانی پلی‌سیلیسیم برای تشکیل ناحیه‌ای با آلایش سنگین به‌عنوان صفحهٔ زیرین خازن مورد نیاز است. علاوه بر این، وجود ظرفیت خازنی پیوندی پارازیتی میان صفحهٔ زیرین و زیرلایه در خازن MOS یک کاستی جدّی به شمار می‌آید که تنها در صورت اتّصال یکی از صفحه‌های خازن به زمین اجتناب‌پذیر است. علی‌رغم کارایی برتر خازن پلی‌سیلیسیم-پلی‌سیلیسیم در قیاس با خازن MOS، به‌دلیل قیدهای تحمیل‌شده توسط مساحت و هزینهٔ بالای فوتوماسک‌های اضافی، خازن MOS یکی از گزینه‌های کلیدی برای پیاده‌سازی خازن در گسترهٔ وسیعی از کاربردها [۱۰-۱۴] محسوب می‌شود. اخیراً خازن MOS حتّی در کاربردهای دقیق، مانند مبدّل‌های آنالوگ به دیجیتال [۱۵] و در طرّاحی فیلتر با بازدهی توان بالا مورد استفاده قرار گرفته است [۱۶]. با توجه به کاربردهای مداری گسترده خازن MOS فعالیت در زمینهٔ مشخّصه‌یابی و مدل‌سازی رفتار الکتریکی این قطعه کماکان ادامه دارد [۱۷-۲۱].

یک خازن MOS را می‌توان بدون اعمال هیچ‌گونه تغییری در فرایند ساخت CMOS استاندارد، با ایجاد یک n MOSFET[3]-کانال نوع تخلیه‌ای پیاده‌سازی کرد. از طریق اعمال کاشت یونی نوع n+ برای تشکیل سورس و درین یک ترانزیستور MOSFET در چاه نوع n می‌توان یک ترانزیستور مد تخلیه‌ای ساخت. شماتیک ساده‌ای برای این نوع خازن که از این به بعد با عنوان خازن MOS از نوع پلی سیلیسیم-عایق-چاه[4] یا خازن PIW به آن اشاره خواهد شد، در شکل (۱) نمایش داده شده است.



شکل ۱- برش عمودی خازن MOS از نوع PIW

با این حال، کاهش در پیچیدگی فرایند ساخت و در نتیجه، کاهش هزینهٔ ساخت که با استفاده از خازن MOS از نوع PIW حاصل می‌شود، منجر به کاهش کارایی به‌صورت وابستگی شدیدتر ظرفیت خازنی به ولتاژ (افزایش ضریب ولتاژ ظرفیت خازنی) می‌شود. علت افزایش وابستگی به ولتاژ در این نوع خازن آن است که میزان آلایش چاه نوع n در حدّی نیست که سبب تبدیل نیم‌رسانا به نوع دژنره شود. هرچند بیشتر کارخانه‌های ساخت تراشه موسوم به فاندری، مدل‌های دقیقی برای قطعات استاندارد مانند ترانزیستورها در اختیار مشتریان قرار می‌دهند، مشخّصه‌یابی و مدل‌سازی ترانزیستور MOSFET نوع تخلیه‌ای که در چاه نوع n ساخته می‌شود معمولا توسّط فاندری صورت نمی‌گیرد [۴]. شبیه‌سازی دقیق رفتار خازن MOS از نوع PIW مستلزم مشخّصه‌یابی این نوع خازن به کمک یک تراشهٔ آزمایشی است که چیدمان (طراحی فیزیکی) خازن، ترجیحاً با همان ابعاد مورداستفاده در مدار، بر روی آن پیاده‌سازی شده باشد. ساختن مدلی دقیق برای

[1].Metal-oxide-semiconductor (MOS)
[2].Meta-insulator-semiconductor (MIS)
[3].MOS Field Effect Transistor (MOSFET)
[4].Polysilicon-Insulator-Well (PIW)

خازن MOS از نوع PIW نیازمند اندازه‌گیری ظرفیت خازنی به کمک ساختار چندین-انگشتی مرسوم برای ترانزیستورهای MOSFET نوع تخلیه‌ای است. از آنجا که چنین مدلی به‌ندرت توسّط فاندری ارائه می‌شود و همچنین به علت آنکه میزان تلاش مهندسی لازم برای مدل‌سازی به کمک یک تراشهٔ آزمایشی نسبتاً زیاد است، دستیابی به مدل خازن MOS با استفاده از روش‌های دقیق موجود برای ساختن مدل ترانزیستورهای استاندارد، رویکردی قابل‌توجیه به نظر می‌رسد. مدل‌های مرسوم برای ترانزیستور MOSFET مانند مدل BSIM3v3.2[1] همچنین امکان منظور کردن آثار کوانتومی را که در فرایندهای CMOS نانومتری با اکسیدهای فوق‌نازک اهمیت دارند، فراهم می‌کند.

اخیراً رویکرد مدل‌سازی خازن MOS با استفاده از مدل زیرمداری توسّط موسوی و همکاران [۲۲] مطرح شده است و با توجه به نتایج مقدّماتی به‌دست‌آمده، در این مقاله روشی جامع برای ساخت یک مدل زیرمداری دقیق برای خازن MOS از نوع PIW ارائه می‌شود. مدل پیشنهادی مبتنی بر رویکرد مورداستفاده در مدل BSIM3v3.2 برای مدل‌سازی ظرفیت خازنی ذاتی گیت ترانزیستور MOSFET است [۲۲]. مدل BSIM3v3.2 مدل استاندارد در صنعت نیم‌رسانا برای ترانزیستور MOSFET است که در آن برای مدل‌سازی ظرفیت خازنی ذاتی گیت آثار کوانتومی مربوط به ضخامت متناهی بار الکتریکی در نظر گرفته می‌شود. مدل BSIM3v3.2 امکان منظور کردن اثر میزان آلایش و نوع نیم‌رخ ناخالصی‌های افزوده در کانال را بر روی ولتاژ آستانه ترانزیستور MOSFET و همچنین بر روی ظرفیت خازنی گیت-بدنه ترانزیستور فراهم می‌کند. دقّت مدل پیشنهادی براساس اندازه‌گیری مشخّصه C-V برای یک خازن MOS از نوعPIW که روی یک تراشهٔ آزمایشی پیاده‌سازی شده است، ارزیابی می‌شود. برازش مدل به داده‌های اندازه‌گیری‌شده به کمک نرم‌افزار HSPICE راست‌آزمایی می‌شود. برای شبیه‌سازی دقیق رفتار خازن در مدار، خازن به‌صورت یک زیرمدار شامل یک ترانزیستورMOSFET نوع تخلیه‌ای (با اتّصال کوتاه بین درین و سورس) مدل‌سازی شده است. این رویکرد، امکان منظور کردن مقاومت پارازیتی سری موجود در ساختار فیزیکی خازن و در نتیجه، مدل‌سازی دقیق ضریب کیفیت و همچنین پاسخ فرکانسی خازن در فرکانس‌های بالا را فراهم می‌کند. در مقایسه با ارائه موسوی [۲۲]، در این مقاله علاوه بر توجیه دقیق مدل پیشنهادی از دیدگاه تحلیلی، آثار مداری گسترده مربوط به ساختار گیت و همچنین وابستگی مقاومت کانال به ولتاژ با دقّت مدل‌سازی و کارایی مدل با استفاده از شبیه‌سازی مداری به‌وسیلهٔ نرم‌افزار HSPICE راست‌آزمایی شده است.

۲- مدل فیزیکی خازن PIW

شبیه‌سازی مداری رفتار خازن PIW نیازمند یک مدل فیزیکی است که نه‌تنها به‌طور دقیق با مشخّصه اندازه‌گیری‌شده ظرفیت خازنی برحسب ولتاژ گیت مطابقت داشته باشد، بلکه اثر مقاومت پارازیتی سری با گیت را نیز منظور کند.

۲-۱- مشخّصه ظرفیت خازنی (C-V)

برخلاف یک خازن MOS که در آن، از ناحیه‌ای با آلایش سنگین به‌عنوان صفحهٔ زیرین خازن استفاده می‌شود، در خازن MOS از نوع PIW که در یک فرایند ساخت CMOS زیرمیکرونی عمیق پیاده‌سازی شده باشد، یکی از صفحات خازن از یک چاه نوع n با میزان آلایش نسبتاً کم تشکیل می‌شود. بنابراین خازن PIW به‌دلیل عدم یکنواختی آلایش چاه، ضریب ولتاژ نسبتاً بالایی را روی گستره ولتاژ تغذیه از V_{SS} (ولتاژ تغذیه منفی یا زمین) تا V_{DD} (ولتاژ تغذیه مثبت) به نمایش می‌گذارد. در خازن MOS از نوع PIW، وابستگی ظرفیت خازنی به ولتاژ، به‌ویژه در فرایندهای CMOS با نیم‌رخ پس‌گستر[2] برای ناخالصی چاه، شدید است. خصوصیت نیم‌رخ ناخالصی از نوع پس‌گستر آن است که چاه نوع n دارای میزان آلایش کم در نزدیکی سطح است، ولی چگالی آلاینده‌ها به‌تدریج با افزایش عمق بالا رفته تا به مقداری بیشینه برسد.

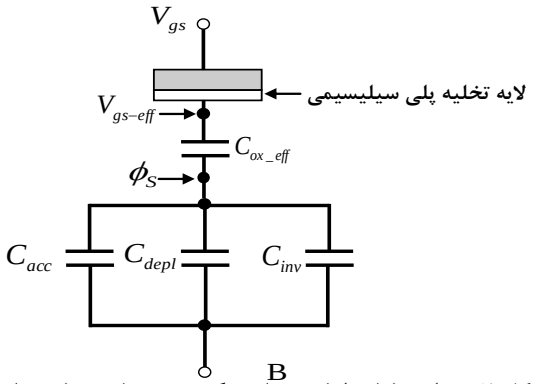
در ولتاژهای نزدیک به ولتاژ تغذیه مثبت، V_{DD} یک خازن MOS که در آن نیم‌رسانا از نوع n باشد (چاه نوع n در خازن MOS از نوعPIW)، در ناحیهٔ انباشت عمل می‌کند و ظرفیت خازنی کل تقریباً ثابت و برابر با ظرفیت خازنی اکسید است. وابستگی ظرفیت خازنی به ولتاژ در خازن MOS از نوع PIW در ولتاژهای نزدیک به ولتاژ تغذیه

[1].Berkeley Short-channel IGFET Model version 2.2

[2].Retrograde

پایین، V_{SS} شدیدتر است. به‌ازای ولتاژهای گیت نزدیک به V_{SS}، به علت دفع باربرهای اکثریت (الکترون‌ها در چاه نوع n) یک ناحیه تخلیه در زیر گیت تشکیل می‌شود. بنابراین در بایاس‌های گیت پایین‌تر، ظرفیت خازنی خازن MOS از نوع PIW که از اتّصال سری ظرفیت خازنی ناحیهٔ تهی با ظرفیت خازنی اکسید تشکیل می‌شود، وابستگی شدیدتری به ولتاژ به نمایش می‌گذارد. در یک فرایند CMOS که در آن نیم‌رخ ناخالصی چاه از نوع پس‌گستر باشد، با توجه به آنکه میزان آلایش چاه در نزدیکی سطح سیلیسیم پایین‌تر است، گرادیان چگالی آلاینده‌ها سبب ایجاد یک میدان الکتریکی بازدارنده می‌شود که با نفوذ الکترون‌های آزاد به زیر گیت مقابله می‌کند. وجود میدان الکتریکی بازدارنده عملاً سبب تشدید وابستگی ظرفیت خازنی به ولتاژ در این نوع فرایند ساخت می‌شود. مدل‌سازی دقیق خازن PIW در نرم‌افزار اسپایس با استفاده از مدل ساده خازن، نیازمند تشریح ظرفیت خازنی به‌صورت تابعی از ولتاژ دو سر خازن است. برای مثال، ظرفیت خازنی را می‌توان به کمک یک چندجمله‌ای شامل توان‌های مرتبه بالاتر ولتاژ مدل‌سازی کرد. از طرف دیگر، وابستگی ظرفیت خازنی گیت به ولتاژ را می‌توان به‌سادگی با مدل‌سازی خازن PIW به‌صورت یک ترانزیستور n-کانال MOSFET نوع تخلیه‌ای منظور کرد، زیرا سهم ظرفیت خازنی لایه تهی در مدل ذاتی ظرفیت خازنی گیت ترانزیستور به‌طور خودکار لحاظ می‌شود.

مدل‌سازی دقیق ظرفیت خازنی ذاتی گیت، همچنین نیازمند در نظر گرفتن آثار کوانتومی ناشی از ضخامت متناهی بار الکتریکی است. با استفاده از مدل BSIM3v3.2 می‌توان آثار کوانتومی را که در فرایندهای CMOS با اکسیدهای نازک قابل چشم‌پوشی نیستند، در مدل ظرفیت خازنی ذاتی گیت ترانزیستور MOSFET منظور کرد. این مدل که به مدل ضخامت بار موسوم است، در تمام نواحی عملکرد ترانزیستور، از جمله در ناحیهٔ انباشت و حدّ واسط نواحی انباشت و تخلیه که در مدل‌سازی خازن MOS از نوع PIW حائز اهمیت کلیدی هستند، پیوستگی و دقّت مناسبی به نمایش می‌گذارد. مدل های مرسوم برای ترانزیستور MOSFET در اسپایس عموماً اندازه ظرفیت خازنی ذاتی گیت را بیش از مقدار حقیقی آن برآورد می‌کنند. این مدل‌ها همچنین معمولاً در نزدیکی ولتاژ نوار تخت، V_{fb}، و ولتاژ آستانه، V_{TH}، تغییرات سریعی را به نمایش می‌گذارند. عدم تطابق میان مدل و ظرفیت خازنی اندازه‌گیری‌شده به‌ویژه درادوات دارای اکسیدهای نازک‌تر مشهود است، زیرا در این ادوات فرض حضور بار الکتریکی لایهٔ وارون و لایهٔ انباشت در حدّ واسط معتبر نیست. مدل بار صفحه‌ای یا مدل کاهش اندازه شکاف نواری [۲۳]، با توجیه آثار کوانتومی مدل‌سازی ولتاژ آستانه را بهبود می‌بخشد، ولی برای مدل‌سازی ظرفیت خازنی برحسب ولتاژ مناسب نیست، زیرا این مدل‌ها مبتنی بر فرض ناچیز بودن ضخامت بار هستند. نتایج شبیه‌سازی کوانتومی با استفاده از مدل ضخامت بار یا CTM[1] [۲۴ و ۲۵] وجود بار الکتریکی با ضخامت قابل‌ملاحظه‌ای را در تمام نواحی نمودارهای C-V[2] تأیید می‌کند. پارامتر کلیدی در مدل CTM ضخامت بار الکتریکی در شرایط dc، یا X_{dc} است. با اضافه کردن یک ظرفیت خازنی که به‌صورت سری به ظرفیت خازنی اکسید Cox متّصل می‌شود، می‌توان اثر ضخامت بار الکتریکی را در مدل مداری ظرفیت خازنی ذاتی ترانزیستور MOSFET که در شکل (۲) به تصویر کشیده شده است، منظور کرد.



شکل ۲- مدار معادل ظرفیت خازنی گیت در مدل ضخامت بار CTM [۲۵]

ظرفیت خازنی اکسید مؤثّر، C_{ox_eff} در شکل (۲) به‌صورت

$$C_{ox_eff} = \frac{C_{ox}C_{cen}}{C_{ox}+C_{cen}} \qquad (۲)$$

بیان می‌شود که در آن، ظرفیت خازنی ناشی از ضخامت بار، C_{cen} از رابطهٔ زیر به دست می‌آید:

$$C_{cen} = \frac{\varepsilon_{Si}}{X_{dc}} \qquad (۳)$$

در رابطهٔ فوق، ε_{Si} گذردهی سیلیسیم و X_{dc} ضخامت بار الکتریکی در شرایط dc است. حلّ معادلات شرودینگر،

[1].Charge Thickness Model (CTM)

[2].Capacitance-Voltage

پوئسان، و فرمی-دیراک به‌صورت خودسازگار براساس محاسبات عددی، رابطه‌ای نیمه‌تحلیلی برای X_{dc} به دست می‌دهد [۲۵]. در نواحی انباشت و تخلیه، X_{dc} را می‌توان به‌صورت زیر نوشت [۲۵]:

$$X_{dc} = \frac{\lambda}{3} \cdot \exp\left[acde \cdot \left(\frac{NCH}{2\times 10^{6}} \right)^{-0.25} \cdot \frac{V_{gs} - V_{bs} - V_{fb}}{t_{ox}} \right] \qquad (۴)$$

که در آن، λ طول دبای[1]، NCH چگالی آلاینده‌ها در بدنهٔ سیلیسیم، t_{ox} ضخامت اکسید و V_{bs} و V_{fb} به‌ترتیب ولتاژ سورس-بدنه و ولتاژ نوار تخت را نمایش می‌دهند. پارامتر تجربی acde با مقدار پیش‌فرض واحد برای بهبود برازش به کار می‌رود. همچنین در رابطهٔ (۴) واحد λ و واحد عبارت $(V_{gs}-V_{bs}-V_{fb})/t_{ox}$ به‌ترتیب با سانتی‌متر (cm) و مگاولت بر سانتی‌متر (MV/cm) بیان می‌شوند. ضمناً برای دستیابی به ثبات عددی بیشتر در شبیه سازی، X_{dc} را می‌توان از رابطهٔ زیر محاسبه کرد [۲۵]:

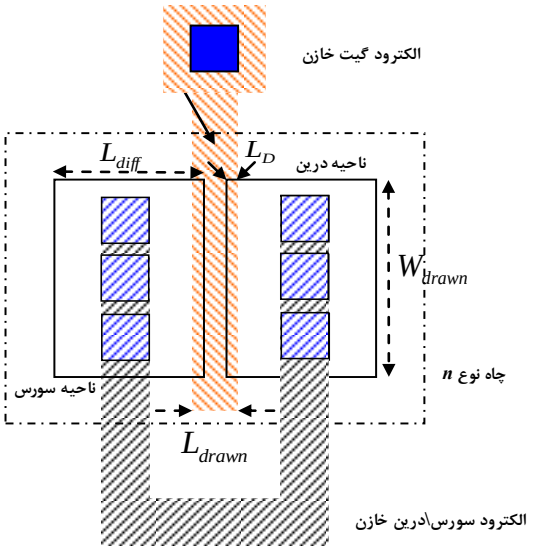
$$X_{dc} = X_{\max} - \frac{1}{2} \cdot \left(X_0 + \sqrt{X_0^2 + 4\delta_x \cdot X_{\max}} \right) \qquad (۵)$$

که در آن، $X_0 = X_{\max} - X_{dc} - \delta_x$. در نهایت، X_{max} و δ_x برحسب طول دبای و ضخامت اکسید از روابط $X_{\max} = \lambda/3$ و $\delta_x = 10^{-3} t_{ox}$ محاسبه می‌شوند.

۲-۲- مدل زیرمداری خازن MOS

مدل‌سازی دقیق خازن MOS برای کاربردهای فرکانس بالا همچنین نیازمند منظور کردن مقاومت پارازیتی است که دارای اتّصال سری با گیت ترانزیستور است. این مقاومت پارازیتی سری ناشی از مقاومت نیم‌رسانا در مسیر جریان درین و همچنین مقاومت پلی‌سیلیسیم تشکیل‌دهنده گیت است. علاوه بر این، ضریب کیفیت خازن MOS به‌وسیلهٔ مقاومت سری پارازیتی محدود می‌شود. از آنجا که برای پیاده‌سازی خازن MOS سورس و درین به یکدیگر متّصل می‌شوند، مقاومت سری کانال در شبیه‌سازی اسپایس به یک اتّصال کوتاه تبدیل می‌گردد. بنابراین برای منظور کردن اثر مقاومت پارازیتی سری، مدل‌سازی خازن MOS به‌صورت یک زیرمدار ضروری است.

از طرف دیگر، کمینه‌سازی مساحت اشغال‌شده روی تراشه مستلزم طرّاحی فیزیکی گیت پلی‌سیلیسیمی در خازن MOS به‌صورت یک ساختار چندانگشتی است. چیدمان یکی از انگشت‌های خازن در شکل (۳) نمایش داده شده است. برای شبیه‌سازی دقیق مدار در فرکانس‌های بالا خازن MOS می‌باید به‌صورت ترکیب موازی زیرمدارهایی که هرکدام از آن‌ها یکی از انگشتان ساختار را تشکیل می‌دهند، مدل‌سازی شود. مدل‌سازی خازن MOS با استفاده از گزینهٔ زیرمدار در اسپایس، تشریح دقیق‌تری را از ماهیت توزیعی[2] ساختار گیت در اختیار قرار می‌دهد که در کاربردهای فرکانس بالا از اهمیت زیادی برخوردار است. با این حال، نمایش زیرمداری منجر به ایجاد یک رابطهٔ جانشینی بین دقّت و زمان لازم برای شبیه‌سازی می‌شود.



شکل ۳- چیدمان یکی از انگشتان ساختار خازن MOS از نوع PIW

همان طور که در شکل (۳) نمایش داده شده است، مقاومت سری مؤثّر کانال و مقاومت سری ناشی از پلی‌سیلیسیم تشکیل‌دهندهٔ هادی گیت را می‌توان به‌صورت مجزّا برای هریک از انگشتان ساختار در مدل زیرمداری خازن MOS مشخّص کرد. مقاومت سری مؤثّر، $r_{DS\text{-}eff}$ از ترکیب سری مقاومت کانال ترانزیستور، r_{DS} و مقاومت پارازیتی ناحیه سورس و درین، R_D/R_S تشکیل می‌شود. در فرایندهای CMOS زیرمیکرونی مقاومت سری مؤثّر در خازن MOS عمدتاً از مقاومت کانال ناشی می‌شود که معادل مقاومت دیده‌شده بین سورس و درین در ناحیهٔ تریودی است. مقاومت سری مؤثّر را می‌توان به‌صورت دو مقاومت معادل که هریک از مرکز کانال به نواحی سورس یا درین امتداد می‌یابند، تخمین زد. به این ترتیب، مطابق مدار معادل شکل (۴)، $r_{DS\text{-}eff}$ معادل ترکیب موازی دو مقاومت مساوی است که هرکدام برابر با $r_{DS}/2$ باشد. بنابراین در بدترین حالت،

[1]. Debye Length

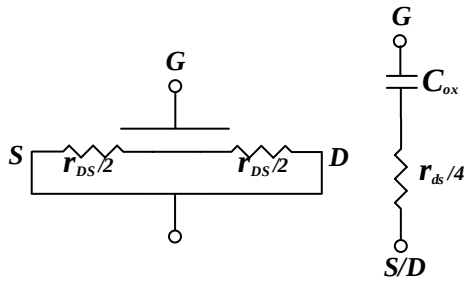
[2]. Distributed

مقدار تقریبی مقاومت سری مؤثّر خازن، r_{DS-eff} برابر با یک‌چهارم مقاومت کانال، یعنی $r_{DS}/4$ است [۴]. در بخش بعد، تقریب‌های دقیق‌تری برای مقاومت سری مؤثّر خازن با در نظر گرفتن آثار مداری گسترده مربوط به ساختار گیت ارائه می‌شود.

۲-۳- مدل RC گسترده برای ساختار گیت

در فرکانس‌های بالا، هنگامی که ابعاد فیزیکی مدار با کوچک‌ترین طول موج مدار قابل مقایسه باشند، المان‌های مداری می‌باید به‌صورت گسترده در نظر گرفته شوند. با توجه به ابعاد کوچک قطعات مورداستفاده در مدارهای مجتمع، معمولاً می‌توان از آثار مداری گسترده برای ساختارهای کوچک پیاده‌سازی‌شده روی تراشه صرف‌نظر کرد. با وجود این، اگر ثابت‌های زمانی RC[1] در ساختار یک قطعه نسبتاً بزرگ باشند، منظور کردن آثار گسترده برای مدل‌سازی دقیق رفتار الکتریکی قطعه ضروری است. با توجه به اینکه مقاومت سری با گیت ترانزیستور MOSFET در فرایندهای CMOS نانومتری نسبتاً بالاست و نظر به افزایش ظرفیت خازنی گیت با کاهش ضخامت اکسید در فنّاوری‌های CMOS مقیاس‌گذاری‌شده، گیت خازنMOS را در عمل باید معادل یک شبکه RC گسترده در نظر گرفت. مدل‌سازی ساختار گیت خازن به‌صورت یک شبکهٔ گسترده شامل قسمت‌های RC متعدّد، منجر به افزایشی قابل‌ملاحظه در زمان لازم برای شبیه سازی می‌شود. با این حال، با در نظر گرفتن ساختار گیت به‌صورت یک شبکهٔ فشرده متشکّل از تعداد نسبتاً کمی از قسمت‌های RC، تقریبی معقول برای مقاومت فشرده مؤثّر سری با گیت خازن MOS به دست می‌آید.

از آنجا که جریان جابه‌جایی خازن اکسید گیت در ناحیهٔ کانال MOSFET جاری می‌شود، انتظار می‌رود این جریان با عبور از مسیر دارای حدّاقل مقاومت در امتداد کانال به‌صورت نسبتاً یکنواخت بین سورس و درین توزیع شود. بنابراین به‌سادگی نمی‌توان افت پتانسیل اهمی در ناحیهٔ کانال را به‌وسیلهٔ یک مقاومت فشرده مشخّص کرد. برای مدل‌سازی مقاومت گسترده کانال می‌توان از یک تحلیل تقریبی که در آن، گیت به‌صورت ساختاری توزیعی متشکّل از چند قسمت RC در نظر گرفته می‌شود، استفاده کرد. هر قسمت به‌وسیلهٔ کسری از خازن گیت متناسب با جریان جابه‌جایی کل و کسری از مقاومت کانال متناسب با مقاومت فیزیکی کل در امتداد کانال مشخّص می‌شود. انتخاب تعداد نسبتاً کمی از قسمت‌های RC تحلیل را ساده‌تر می‌سازد، ولی محدود کردن تعداد قسمت‌ها به‌معنی کاهش مسیرهای جریان است که منجر به تخمین محافظه‌کارانه (یعنی زیاد برآورد کردن) مقاومت سری مؤثّر می‌شود.



شکل ۴- بدبینانه‌ترین تخمین برای مقاومت سری کانال MOSFET

۲-۳-۱- تقریب مقاومت سری خازن MOS

برای یک ساختار گیت تک‌قسمتی که در آن خازن اکسید مطابق شکل (۵) از هر طرف به نیمی از مقاومت کانال متّصل باشد، می‌توان به کمک تحلیل دائمی سینوسی مقاومت سری مؤثّر ناشی از مقاومت کانال MOSFET را به دست آورد. با تحریک مدار RC تک‌قسمتی شکل (۵) توسط یک منبع ولتاژ آزمایشی جریان جابه‌جایی متناظر به‌طور مساوی میان هریک از دو قسمت مقاومت کانال، $r_{DS}/2$ تقسیم می‌شود. اندازهٔ ولتاژ منبع آزمایشی، v را می‌توان به‌صورت زیر نوشت:

$$v = \frac{i}{2}\cdot\frac{r_{DS}}{2} + \frac{i}{2}\cdot\frac{1}{j\frac{Cox}{2}\omega} \qquad (۶)$$

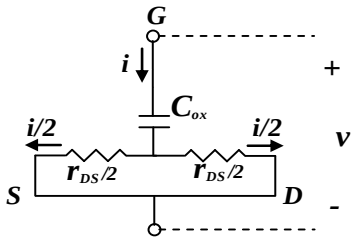
که در آن، C_{ox} ظرفیت خازنی اکسید گیت بر واحد سطح برابر با نسبت گذردهی دی‌اکسید سیلیسیم، ε_{ox} به ضخامت اکسید، t_{ox} است. ω فرکانس زاویه‌ای را نمایش می‌دهد و $j=\sqrt{-1}$. به عبارت دیگر، امپدانس دیده‌شده از دو سر ترمینال‌های گیت و سورس (یا درین) خازن MOS از رابطهٔ زیر به دست می‌آید:

$$Z_C = \frac{v}{i} = r_{DS-eff} - j\frac{1}{\omega Cox} = \frac{r_{DS}}{4} - j\frac{1}{\omega Cox} \qquad (۷)$$

بنابراین مقاومت سری مؤثّر ناشی از مقاومت کانال، همان طور که در تحلیل بدترین حالت ارائه‌شده در قسمت ۲-۲ در رابطه با شکل (۴) نشان داده شد، برابر با یک‌چهارم

[1].Resistance-Capacitance (RC)

مقاومت کانال است. با توجه به رابطهٔ (۷) برای تسهیل محاسبهٔ مقاومت سری پارازیتی خازن به کمک تحلیل دائمی سینوسی می‌توان شرط $\omega\to\infty$ را اعمال کرد. در رابطهٔ (۶) اگر $\omega\to\infty$، نسبت v/i معادل مقاومت $r_{DS\text{-}eff}$ و برابر با $r_{DS}/4$ خواهد بود. از بازرسی شماتیک مداری شکل (۵) نیز می‌توان به این نتیجه رسید. از آنجا که شرط $\omega\to\infty$ معادل ایجاد اتّصال کوتاه بین دو سر خازن است، مطابق شکل (۵) مقاومت دیده‌شده از دو سر منبع ولتاژ آزمایشی، معادل ترکیب موازی دو مقاومت با اندازهٔ مساوی $r_{DS}/2$ و در نتیجه، برابر با $r_{DS}/4$ است.

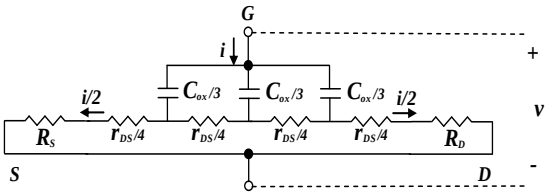


شکل ۵- مدل RC تک‌قسمتی برای ساختار خازن گیت

با تقسیم ساختار گیت به تعداد بیشتری از قسمت‌های RC تخمین دقیق‌تری برای مقاومت سری مؤثّر حاصل می‌شود. با این حال باید تعداد مناسب قسمت‌ها را با در نظر گرفتن نسبت ابعاد فیزیکی گیت به کوتاه‌ترین طول موج موردنظر انتخاب کرد. در فنّاوری CMOS با توجه به انگیزهٔ اقتصادی قوی که برای کاهش طول گیت وجود دارد، استفاده از تعداد نسبتاً کمی از قسمت‌های RC برای ساختار گیت، دقّت لازم را برای شبیه‌سازی در اختیار قرار می‌دهد. شبکهٔ RC مناسب برای مدل‌سازی ساختار گیت در حالت کلّی از n قسمت تشکیل می‌شود که هرکدام شامل یک ظرفیت خازنی برابر با C_{ox}/n است. ترمینال نیم‌رسانای خازن‌ها در دو قسمت مجاور توسّط مقاومتی برابر با $r_{DS}/n+1$ به یکدیگر متّصل می‌شوند. به‌عنوان مثال یک ساختار گیت سه‌قسمتی در شکل (۶) نمایش داده شده است. در این ساختار، مقاومت فیزیکی ناحیهٔ درین و سورس R_D/R_S که در تحلیل فوق برای ساختار تک‌قسمتی از آن صرف‌نظر شده بود، منظور شده است. با فرض تقارن بی‌نقص در ساختار گیت، جریان عبورکننده از مقاومت‌های جانبی متّصل به سورس و درین برابر با نصف جریانی است که وارد ترمینال گیت خازن MOS می‌شود. برای یک ساختار گیت سه‌قسمتی با دنبال کردن تحلیل حالت دائمی سینوسی که در بالا برای شبکهٔ تک‌قسمتی شکل (۵) اجرا شد، امپدانس دیده‌شده از دو سر خازن MOS از رابطهٔ زیر به دست می آید:

$$z_C=\frac{v}{i}=\frac{1}{2}\left(\frac{r_{DS}}{4}+R_D\right)-j\frac{1}{\omega Cox} \qquad (۸)$$

همان طور که اشاره شد، مقاومت سری پارازیتی خازن را می‌توان به‌راحتی یا با اعمال شرط $\omega\to\infty$ به معادلات حاصل از تحلیل مداری یا با ایجاد اتّصال کوتاه بین دو سر خازن‌ها در شکل (۶) به دست آورد. مطابق هر سه رویکرد برای یک ساختار گیت سه‌قسمتی مقاومت سری مؤثّر کانال برابر با $r_{DS}/8+R_D/2$ است. در حالت عمومی برای یک ساختار گیت nقسمتی مقاومت سری مؤثّر کانال در یک خازن MOS برابر با $r_{DS}/[2(n+1)]+R_D/2$ است.

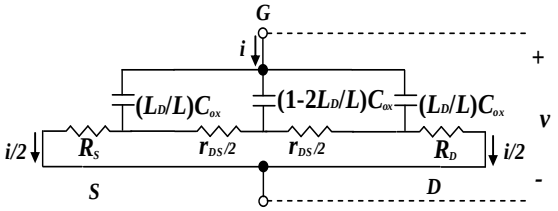


شکل ۶- مدل RC سه قسمتی برای خازن گیت همراه با مقاومت‌های سورس\درین

تحلیل‌های فوق همچنین مبتنی بر این تقریب هستند که صفحهٔ نیم‌رسانای خازن تنها از ناحیهٔ کانال تشکیل می‌شود. به عبارت دیگر، از نفوذ جانبی ناحیهٔ سورس و درین در زیر گیت صرف‌نظر شده است. خطای حاصل از این تقریب در فرایندهای CMOS پیشرفته قابل ملاحظه است و منجر به زیاد برآورد کردن مقاومت سری مؤثّر می‌شود، زیرا در آن قسمت از اکسید گیت که با سورس و درین هم‌پوشانی وجود دارد، بخشی از خازن گیت مقاومت سری کوچک‌تری را در مقایسه با نواحی نزدیک به مرکز کانالMOSFET مشاهده می‌کند [۴]. به‌طور مشخّص، اگر اندازهٔ نفوذ جانبی ناحیهٔ سورس و درین زیر گیت را با L_D و کوچک‌ترین طول کانال مجاز را با L_{min} نمایش دهیم، در یک فرایند CMOS پیشرفته کسر قابل ملاحظه‌ای از ظرفیت خازنی گیت برابر با C_{ox} (L_D/L_{min}) در هریک از دو لبه گیت، مطابق شکل (۷)، در مجاورت مقاومت‌های درین و سورس قرار می‌گیرد. برای ساختار گیت سه‌قسمتی شکل (۷) مقاومت سری مؤثّر را می‌توان با ایجاد اتّصال کوتاه بین دو سر خازن‌ها محاسبه کرد. بنابراین در فرایندهای CMOS پیشرفته با نسبت L_D/L_{min} بالا مقاومت سری مؤثّر خازن برابر با نصف مقاومت سورس یا درین است:

$$r_{DS-eff} = \frac{R_D}{2} = \frac{R_S}{2} \quad (۹)$$

مقاومت سری پارازیتی R_D/R_S را می‌توان به‌طور تقریبی برحسب مقاومت صفحه‌ای ناحیهٔ درین/سورس $R_{Diff-sq}$، فاصله اتّصال‌های الکتریکی ناحیهٔ درین/سورس از لبهٔ ناحیهٔ کانال ترانزیستور، L_{Diff} (شکل ۳) و عرض گیت از رابطهٔ $R_{Diff-sq}\left(\frac{L_{Diff-sq}+L_D}{2W_{eff}}\right)$ تخمین زد. با این حال، این تخمین اثر ناحیه جداکننده[1] با میزان آلایش پایین را در افزایش R_D/R_S که در فنّاوری‌های CMOS پیشرفته حائز اهمیت است، در نظر نمی‌گیرد. از طرف دیگر، در شرایطی که مقاومت سری مؤثّر عمدتاً ناشی از مقاومت کانال است، مدل‌سازی دقیق این مقاومت در شبیه‌سازی مداری به‌دلیل وابستگی مقاومت کانال به ولتاژ گیت، نیازمند استفاده از یک مقاومت متغیّر است.



شکل ۷- مدل RC سه‌قسمتی برای ساختار خازن گیت با در نظر گرفتن نفوذ جانبی ناحیهٔ سورس و درین در زیر گیت

۲-۳-۲- مدل‌سازی مقاومت کانال

مقداری تقریبی برای مقاومت کانال با استفاده از رابطهٔ جریان درین در ناحیه تریودی، I_{DS} به‌صورت $I_{DS}/r_{DS}=V_{DS}$تخمین زده می‌شود. برای یک MOSFET n- کانال که دارای کوچک‌ترین طول کانال مجاز، عرض کانال W، طول مؤثّر کانال $L_{eff} = L_{min} - 2L_D$ و عرض مؤثّر کانال $W_{eff} \cong W$ باشد، مقاومت کانال به‌طور تقریبی با رابطهٔ زیر بیان می‌شود:

$$r_{DS} = \frac{L_{eff}}{\mu_n C_{ox} W_{eff}(V_{GS}-V_{TH})} \quad (۱۰)$$

که در آن، μ_n قابلیت تحرّک الکترون، C_{ox} ظرفیت خازنی اکسید گیت بر واحد سطح و V_{TH} و V_{GS} به‌ترتیب ولتاژ آستانه ترانزیستور MOSFET و ولتاژ گیت- سورس را نمایش می‌دهند.

با توجه به وابستگی r_{DS} به ولتاژ گیت-سورس محاسبهٔ دقیق این مقاومت برای شبیه‌سازی مداری، مستلزم مدل‌سازی آن به‌صورت یک مقاومت وابسته به ولتاژ است. برای این منظور باید تغییرات مقاومت کانال را برحسب ولتاژ V_{GS} محاسبه کرد. با توجه به تقریبی بودن رابطهٔ (۱۰)، محاسبهٔ دقیق r_{DS} باید به کمک شبیه‌سازی اسپایس با استفاده از مدل ترانزیستور MOSFET صورت گیرد. به‌طور مشخّص، تغییرات مقاومت کانال با ولتاژ گیت را می‌توان با تعیین شیب مشخّصه شبیه‌سازی‌شده جریان درین برحسب ولتاژ درین-سورس در ناحیهٔ تریودی به‌ازای تغییرات V_{GS} محاسبه کرد. استخراج دقیق این شیب براساس رگرسیون خطّی با استفاده از داده‌های I_{DS} برحسب V_{DS} در ناحیهٔ تریودی امکان‌پذیر است.

برای مدل‌سازی مقاومت کانال r_{DS} به‌صورت یک مقاومت وابسته به ولتاژ، می‌توان از المان VCR[2] یا مقاومت کنترل شونده با ولتاژ در نرم‌افزار اسپایس استفاده کرد. المان VCR امکان مشخّص کردن تغییرات مقاومت کانال با ولتاژ گیت را که به‌طور جداگانه توسّط شبیه‌سازی مشخّصه ولت-آمپر ترانزیستور با نرم‌افزار اسپایس تعیین شده است، در قالب یک جدول مراجعه‌ای[3] فراهم می‌کند. با استفاده از المان VCR، مقاومت کانال برحسب ولتاژ گیت به‌صورت یک مقاومت تکه‌تکه خطّی مدل‌سازی می‌شود.

۳- راست‌آزمایی مدل

در این قسمت، کارایی مدل پیشنهادی برای یک خازن MOS از نوع PIW مورد بررسی قرار می‌گیرد. برای این منظور، برازش داده‌های حاصل از شبیه‌سازی اسپایس براساس مدل پیشنهادی به مشخّصه C-V اندازه‌گیری‌شده ارزیابی می‌گردد. همچنین روش پیشنهادی برای مدل‌سازی مقاومت کانال به‌صورت یک مقاومت وابسته به ولتاژ در مدل زیرمداری خازن MOS براساس شبیه‌سازی اسپایس نشان داده می‌شود.

۳-۱- راست‌آزمایی تجربی

به‌منظور راست‌آزمایی روش پیشنهادی برای مدل‌سازی خازن MOS از نوع PIW این خازن روی یک تراشهٔ آزمایشی در یک فرایند CMOS ۰/۳۵ میکرونی پیاده‌سازی شد.

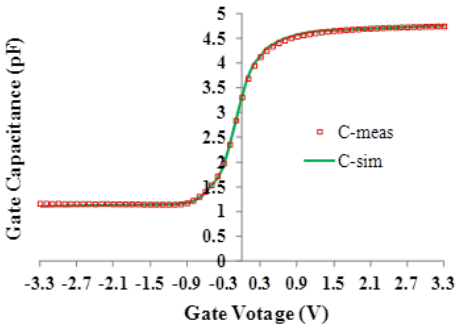
۳-۱-۱- ساخت قطعه

خازن MOS از نوع PIW با به کار گرفتن ترانزیستورهای

[1].Spacer
[2].Voltge-controlled Resistor (VCR)
[3].Look-up Table

MOSFET n-کانال در چاه نوع n به‌صورت یک ساختار ۲۵۰ انگشتی با استفاده از فنّاوری CMOS ۰/۳۵ میکرونی ساخته شد. بدنه ترانزیستور مورداستفاده در ساختار خازن متشکّل از یک چاه نوع n بود که با کاشت یونی روی یک ویفر نوع p ایجاد گردید و طول و عرض هریک از انگشتان پلی‌سیلیسیمی تشکیل‌دهنده گیت ترانزیستور به‌ترتیب برابر با اندازهٔ خصیصه‌ای کمینه[1]، L_{min}=0.35µm و W_{finger}=10µm انتخاب شد.

فرایند ساخت CMOS ۰/۳۵ میکرونی که چهار لایه فلز برای اتّصالات مداری در اختیار قرار می‌داد، از ویفرهای نوع p دارای مقاومت ویژه در گستره ۳۰-۶۰Ωcm با جهت کریستالی <۱۰۰> به‌عنوان مادّهٔ اولیه استفاده می‌کرد. اکسید گیت ۶۵ نانومتری، نواحی سورس\درین با آلایش پایین، دیواره‌های جداکننده[2] متشکّل از لایه اکسید نشست‌داده‌شده با بخار شیمیایی به کمک انرژی پلاسما (PECVD[3])، و نواحی سورس\درین حاوی لایه سطحی سلیساید[4]، از مشخّصه‌های کلیدی فرایند ساخت مورد استفاده بود. ناحیهٔ کانال ترانزیستورها به‌منظور تطبیق ولتاژ آستانه ترانزیستورهای استاندارد به‌طور انتخابی در معرض کاشت یونی قرار گرفته بود تا مقادیر ولتاژ آستانه ۰/۵V و ۰/۵V- به‌ترتیب برای ترانزیستورهای n-کانال و p-کانال حاصل شود. مقدار بیشینهٔ تقریبی چگالی آلاینده‌ها در نیم‌رخ ناخالصی پس‌گستر مورداستفاده برای چاه نوع n و چاه نوع p به‌ترتیب برابر با $9X10^{16}cm^{-3}$ و $2X10^{16}cm^{-3}$ گزارش شده بود. همچنین اندازهٔ تقریبی چگالی ناخالصی بیشینه در نواحی سورس\درین برای هر دو نوع ترانزیستور در حدود $10^{20}cm^{-3}$ و عمق پیوندهای سورس\درین برای هر دو نوع ترانزیستور ۰/µ۲۵m بود.



شکل ۸- برازش مدل پیشنهادی با داده‌های C-V برای خازن PIW

۳-۱-۲- شبیه‌سازی مشخّصه C-V

برای شبیه‌سازی رفتار خازن MOS از نوع PIW مدل دقیقی برای ترانزیستور مد تخلیه‌ای ساخته شد. این مدل با اصلاح پارامترهای مدل BSIM3v3.2 برای ترانزیستور MOSFET مد-افزایشی استاندارد با طول کانال کمینه مجاز L_{min}=0.35µm که براساس اندازه گیری مشخّصه I-V استخراج شده بود، به دست آمد. برای دستیابی به برازش مناسب ولتاژ آستانه ترانزیستور MOSFET مد-تخلیه‌ای با استفاده از مشخّصه اندازه‌گیری‌شده C-V استخراج شد. علاوه بر این، پارامتر NCH به‌صورت نیمه‌تجربی با در نظر گرفتن گستره مقادیر چگالی آلاینده‌ها در چاه نوع n در ناحیه کانال و همچنین نقش این پارامتر در تعیین ضخامت بار الکتریکی، X_{dc} در مدل ضخامت بار CTM میزان شد. شکل (۸) همخوانی مشخّصه ظرفیت خازنی شبیه‌سازی‌شده برحسب ولتاژ گیت را با داده‌های اندازه‌گیری‌شده C-V برای خازن PIW که با ایجاد اتّصال کوتاه بین سورس و درین یک ترانزیستور n-کانال واقع در چاه نوع n روی تراشه آزمایشی پیاده‌سازی شده است، نمایش می‌دهد. در شکل (۸)، داده‌های محاسبه‌شده به کمک شبیه‌سازی اسپایس، براساس مدل ترانزیستور مد تخلیه‌ای که مطابق رویکرد فوق ساخته شد، به دست آمده‌اند. استفاده از ضریب هم‌ارزی به‌عنوان شاخص نیکویی برازش مدل به داده مرسوم است. در شکل (۸) برازش مدل پیشنهادی برای خازن MOS از نوع PIW به داده‌های اندازه‌گیری‌شده با ضریب همبستگی ۰/۹۹۴ مشخّص می‌شود. برازش قوی میان داده‌های C-V حاصل از شبیه‌سازی و داده‌های تجربی نشان می‌دهد مدل پیشنهادی برای خازن MOS از نوع PIW وابستگی ظرفیت خازنی به ولتاژ را به‌طور دقیق منظور می‌کند.

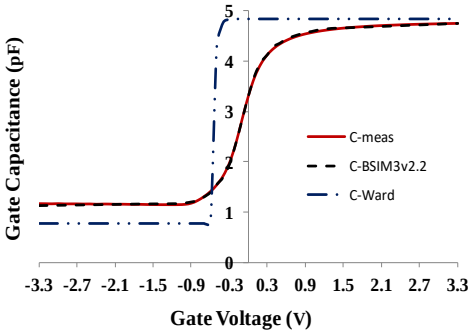
برای نشان دادن کارایی مدل پیشنهادی در رابطه با مدل‌سازی مشخّصه C-V، ظرفیت خازنی خازن MOS از نوع PIW به‌منظور مقایسه، با استفاده از مدل مبتنی بر اصل بقای بار الکتریکی که توسط وارد و داتون [۲۶] ارائه شده است، شبیه‌سازی شد. مدل وارد و داتون که در نرم‌افزار HSPICE با پارامتر CAPOP=4 در مدل MOSFET فعّال می‌شود، پیش از تبدیل مدل BSIM3v3.2 به مدل استاندارد در صنعت نیم‌رسانا یکی از محبوب‌ترین رویکردها برای مدل سازی ظرفیت خازنی ذاتی گیت در

[1]. Minimum feature size
[2]. Sidewall spacers
[3]. Plasma-enhanced Chemical Vapor Deposition
[4]. Salicide, Self-aligned silicide (Ti2Si2)

ترانزیستورهای MOSFET محسوب می‌شد. همان طور که در شکل (۹) مشاهده می‌شود، مدل وارد و داتون از پیوستگی و دقّت لازم برای مدل‌سازی وابستگی ظرفیت خازنی به ولتاژ گیت برخوردار نیست. به‌طور مشخّص مدل وارد و داتون در حدّ واسط ناحیه انباشت و تخلیه ناپیوسته است و ظرفیت خازنی پیش‌بینی‌شده توسّط این مدل در گذار از ناحیهٔ انباشت با شیبی تند کاهش یافته تا به مقدار ثابت ظرفیت خازنی هم‌پوشانی گیت با سورس\درین برسد.

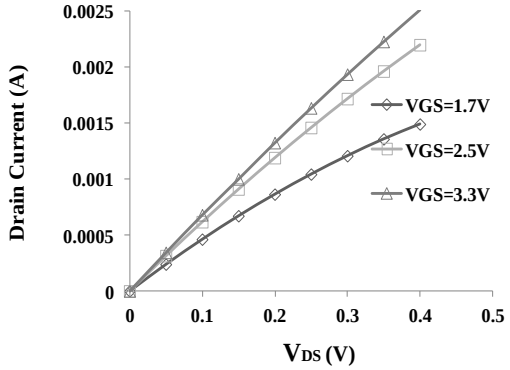
۳-۲- راست‌آزمایی به‌وسیلهٔ شبیه‌سازی مداری

برای نشان دادن کاربرد عمومی مدل پیشنهادی برای خازن MOS در شبیه‌سازی مداری ، تأخیر RC ذاتی خازن MOS از نوع PIW به کمک نرم‌افزار اسپایس شبیه‌سازی شد. برای مدل‌سازی دقیق مقاومت کانال به‌صورت یک مقاومت وابسته به ولتاژ، این مقاومت به کمک مدل VCR براساس شبیه‌سازی با استفاده از مدل ترانزیستور MOSFET در فرایند CMOS ۰/۳۵ میکرونی به دست آمد. مشخّصاً وابستگی مقاومت کانال به ولتاژ گیت با استخراج r_{DS} از مشخّصه شبیه‌سازی‌شده جریان درین برحسب V_{DS}، به‌ازای تغییرات V_{GS} تعیین شد. در شکل (۱۰) مشخّصه I_{DS}-V_{DS} در ناحیهٔ تریودی برای یک ترانزیستور MOSFET n-کانال با نسبت عرض به طول کانال W_{drawn}/L_{drawn}=10µm/0.35µm، به‌ازای ولتاژهای گیت V_{GS} =3.3V، V_{GS} =2.5 و V_{GS} =1.7V، نشان داده شده است.



شکل ۹- مقایسهٔ مدل پیشنهادی مبتنی بر مدل BSIM3v3.2 برای ظرفیت خازنی گیت و مدل وارد و داتون [۲۶] با داده های C-V برای خازن PIW

عکس شیب مشخّصه I_{DS}-V_{DS} مقاومت کانال را به‌ازای ولتاژ گیت داده‌شده تعیین می‌کند. برای استخراج دقیق مقاومت کانال، داده‌های I_{DS} برحسب V_{DS} حاصل از شبیه‌سازی به‌ازای هریک از ولتاژهای گیت شکل (۱۰)، به کمک رگرسیون خطّی، به معادله یک خطّ راست برازش داده شده است. برای مثال، به‌ازای V_{GS} =2.1V، همان طور که در شکل (۱۱) نمایش داده شده است، با توجه به شیب $0.0048\Omega^{-1}$ برای خطّ راست حاصل از رگرسیون خطّی، مقدار r_{DS}=1/0.0048=208Ω برای مقاومت کانال به دست می‌آید.

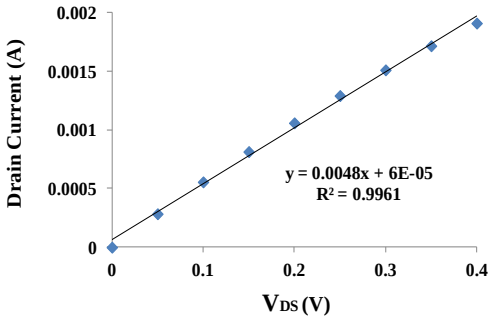


شکل ۱۰- مشخّصهٔ I_{DS}-V_{DS} در ناحیهٔ تریودی برای ترانزیستور n-کانال، W_{drawn}/L_{drawn}=10µm/0.35µm MOSFET

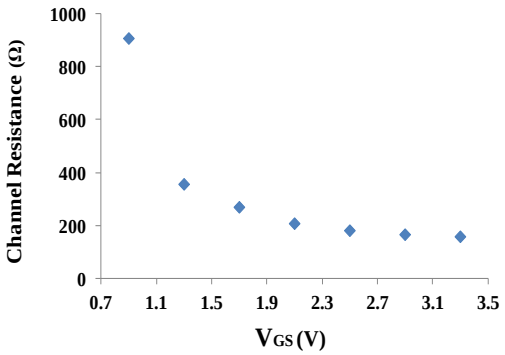
با تکرار تحلیل رگرسیون خطّی برای نتایج شبیه‌سازی مشخّصه درین به‌ازای ولتاژهای گیت متفاوت تغییرات مقاومت کانال، r_{DS} به‌ازای تغییرات ولتاژ گیت مطابق شکل (۱۲) مشخّص می‌شود. همان طور که انتظار می‌رود، مطابق رابطهٔ (۱۰)، با افزایش ولتاژ گیت، مقاومت کانال کاهش می یابد. با توجه به رابطه غیرخطّی بین مقاومت کانال و ولتاژ گیت که در شکل (۱۲) به تصویر کشیده شده است، تغییرات ولتاژ اعمال‌شده به خازن موجب تغییراندازه مقاومت سری مؤثّر در مدل زیرمداری خازن MOS می شود. بنابراین برای منظور کردن اثر مقاومت سری در شبیه سازی مدار، مقاومت کانال باید در مدل زیرمداری خازن MOS به‌صورت یک مقاومت تکه‌تکه خطی با المان VCR مشخّص شود. با استفاده از این المان در نرم‌افزار اسپایس مقاومت متغیّر کانال را می‌توان به‌صورت جدولی حاوی مقادیر r_{DS} استخراج شده به‌ازای ولتاژهای گیت معیّن منظور کرد. براساس داده‌های مقاومت کانال برحسب ولتاژ گیت-سورس شکل (۱۲)، کد اسپایس موردنیاز برای مشخّص کردن r_{DS} با استفاده از المان مداری VCR به‌صورت زیر است:

```
Gnmos D_node S_node VCR NPWL(1)
+ G_node gnd
+ LEVEL=1 0.9V,909 1.3V,357 1.7V,270
+ 2.1V,208 +2.5V,182 2.9V,167 3.3V,159
```

تأخیر RC ذاتی خازن MOS از نوع PIW به کمک مدار شکل ۱۳ با استفاده از نرم‌افزار اسپایس شبیه‌سازی شد. این شبیه‌سازی با استفاده از پارامترهای مدل BSIM3v3.2 برای ترانزیستور مد تخلیه‌ای که مشخّصهٔ آن در شکل (۸) نمایش داده شده است، صورت گرفت. از آنجا که در فرایند ساخت CMOS ۰/۳۵ میکرونی مورداستفاده نسبت L_D/L_{min} پایین و اندازه مقاومت سری پارازیتی R_D/R_S ناچیز بود، مقاومت سری مؤثّر عمدتاً از مقاومت کانال ناشی می‌شد. برای مدل‌سازی وابستگی مقاومت کانال به ولتاژ گیت مدل VCR فوق که براساس مشخّصهٔ شکل (۱۲) استخراج شده بود، به خدمت گرفته شد. پاسخ مدار شکل (۱۳) به یک شکل موج متناوب پالسی با پهنای ۱۰ نانوثانیه در شکل (۱۴) نمایش داده شده است. همان طور که مشاهده می‌شود، با توجه به افزایش قابل‌ملاحظه در زمان تأخیر به‌ازای ولتاژهای گیت پایین، مدل پیشنهادی وابستگی مقاومت کانال به ولتاژ گیت را به‌درستی منظور می‌کند.



شکل ۱۱- استخراج دقیق به کمک مقاومت کانال براساس داده‌های I_{DS} برحسب V_{DS} به ازای V_{GS} =2.1V



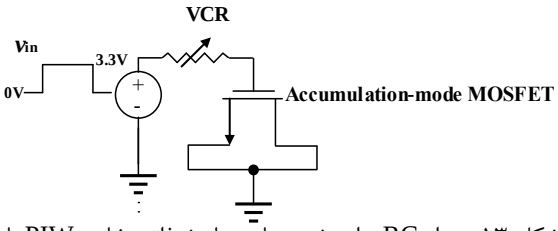
شکل ۱۲- مقاومت کانال محاسبه‌شده به کمک شبیه‌سازی مشخّصه I_{DS}-V_{DS} در ناحیهٔ تریودی براساس رگرسیون خطی به‌صورت تابعی از ولتاژ گیت-سورس

۴- بحث

همان طور که در بخش ۳-۱ نشان داده شد، مدل پیشنهادی برای خازن MOS ظرفیت خازنی اندازه‌گیری‌شده را با دقّت بالایی مدل‌سازی می‌کند؛ امّا منظور کردن اثر مؤلّفه‌های مقاومت سری، یعنی مقاومت کانال و مقاومت پارازیتی سری سورس\درین، نیازمند ملاحظهٔ محدودیت‌های ناشی از فرایند ساخت است. به‌طور مشخّص، در فرایندهای ساخت CMOS پیشرفته مدل‌سازی دقیق آثار فرکانس بالا و ضریب کیفیت خازن، مستلزم استخراج دقیق مقاومت سری است که مطابق رابطهٔ (۹) برابر نصف مقاومت پارازیتی سورس\درین، R_D/R_S است. در نسل‌های قدیمی‌تر فنّاوری CMOS، از آنجا که کسری از مساحت گیت که شامل هم‌پوشانی سورس\درین می‌شد، نسبتاً کوچک بود، جریان ac عبورکننده از این قسمت از ظرفیت خازنی کل قابل چشم‌پوشی بود. بنابراین مقاومت سری مطابق رابطهٔ (۸) عملاً توسط مقاومت کانال مشخّص می‌شد. با کاهش طول کانال در فرایندهای زیرمیکرونی که از سلیساید استفاده می‌کردند، با توجه به آنکه R_D/R_S به میزان قابل‌ملاحظه‌ای از مقاومت کانال کوچک‌تر بود، هم‌پوشانی گیت با نواحی سورس و درین مطابق رابطهٔ (۹) سبب کاهش نسبی مقاومت سری و در نتیجه بهبود کارایی خازن در کاربردهای فرکانس بالا و افزایش ضریب کیفیت خازن می‌شد. ولی فرایندهای CMOS نانومتری از نواحی سورس\درین با آلایش پایین[1] و با عمق پایین استفاده می‌کنند و نفوذ جانبی برابر با ۴۰ درصد عمق پیوند به نمایش می‌گذارند [۲۷]. بنابراین در یک فنّاوری CMOS ۴۵ نانومتری ($L_{min} = ۴۵nm$) با عمق پیوندی برابر با ۲۰ نانومتر، اندازهٔ نفوذ جانبی تنها در حدود ۸ نانومتر است. پس کسری برابر با $\left(\frac{2L_D}{L_{min}}\right) =$ ۰/۳۵ یا ۳۵ درصد ظرفیت خازنی گیت که در مجاورت سورس\درین قرار دارد، در معرض مقاومت نواحی سورس و درین با آلایش پایین است. با توجه به اینکه مقاومت صفحه ای این نواحی نسبتاً زیاد است، اندازهٔ R_D/R_S قابل توجه بوده که منجر به افزایش مقاومت سری و در نتیجه، کاهش کارایی خازن می‌شود. برای محدود کردن آثار کانال کوتاه در فنّاوری‌های CMOS مقیاس‌گذاری شده از عمق

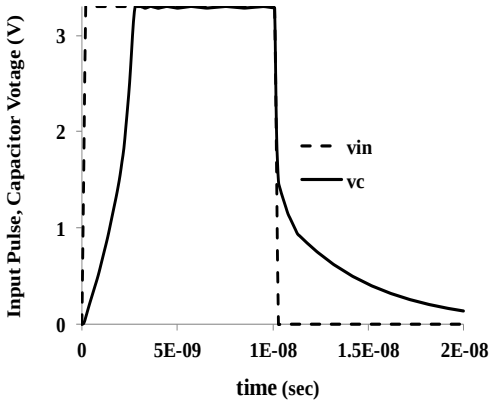
[1]. Lowly-doped Source/Drain (LDD)

پیوندهای کوچک‌تری استفاده می‌شود که منجر به افزایش مقاومت سری می‌گردد.



شکل ۱۳- مدار RC برای شبیه‌سازی پاسخ ذاتی خازن PIW با ساختار ۲۵۰ انگشتی که در آن نسبت عرض به طول کانال برای هر انگشت W_{drawn}/L_{drawn}=10µm/0.35µm است

وقتی عمق پیوند به ضخامت لایه وارون که بسته به ولتاژ گیت در گستره ۱ تا ۱۰ نانومتر است، نزدیک می‌شود، اندازهٔ مقاومت ناحیهٔ سورس و درین به اندازهٔ مقاومت لایه وارون نزدیک می‌گردد [۲۷]. از آنجا که مقادیر بزرگ R_D/R_S به‌شدّت قابلیت حمل جریان ترانزیستور MOSFET را کاهش می‌دهد، بهبود فرایند ساخت CMOS به‌منظور کاهش این مقاومت سری پارازیتی، برای مثال با استفاده از نواحی سورس و درین برآمده [۲۸ و ۲۹] یا از طریق بهینه سازی میزان آلایش در ناحیهٔ جداکننده سورس\درین واقع در لبهٔ کانال [۳۰] در دستور کار قرار گرفته است.



شکل ۱۴- پاسخ ذاتی خازن MOS از نوع PIW شکل ۱۳

صرف‌نظر از اندازهٔ نسبی مؤلّفه‌های مقاومت سری خازن MOS، افزایش عرض قطعه هر دو مؤلّفه، یعنی هم r_{DS} و هم R_D/R_S را کاهش می‌دهد. شایان توجه است که این دو مؤلّفه مقاومت سری ناشی از مقاومت‌های مربوط به صفحهٔ نیم‌رسانای خازن هستند. مقاومت لایهٔ پلی‌سیلیسیم را که صفحهٔ شبه‌فلزی خازن MOS از آن تشکیل شده است، می توان به‌عنوان مؤلّفهٔ سوم مقاومت سری در نظر گرفت. مقاومت سری پلی‌سیلیسیم که متناسب با $\frac{L_{eff}}{W_{eff}}$ است، نیز با افزایش عرض ترانزیستور کاهش می‌یابد. در فرایندهای CMOS پیشرفته با نسبت L_D/L_{min} بالا مقاومت سری ناشی از صفحهٔ نیم‌رسانای خازن MOS عمدتاً توسط مقاومت سری سورس و درین تعیین می‌شود. بنابراین با توجه به اینکه اندازهٔ مقاومت صفحه‌ای پلی‌سیلیسیم و سورس\درین مشابه هستند، مقاومت سری پلی‌سیلیسیم گیت باید در مدل زیرمداری خازنMOS منظور شود.

۵- نتیجه‌گیری

روشی عملی برای ساختن یک مدل دقیق برای خازن MOS از نوع PIW ارائه شد که امکان منظور کردن آثار کوانتومی مربوط به ضخامت متناهی بار الکتریکی را فراهم می‌کند. روش پیشنهادی برای مدل‌سازی خازن MOS براساس اندازه‌گیری مشخّصه C-V یک خازن از نوع PIW که روی یک تراشهٔ آزمایشی در یک فرایند CMOS ۰/۳۵- میکرونی پیاده‌سازی شده بود، به‌صورت تجربی راست آزمایی شد. برازش قوی میان داده‌های C-V حاصل از شبیه سازی با نرم‌افزار اسپایس و داده‌های تجربی کارایی روش پیشنهادی برای مدل‌سازی دقیق، وابستگی ظرفیت خازنی را به ولتاژ تأیید می‌کند. اثر مقاومت سری خازن که در مدل‌سازی ضریب کیفیت خازن و رفتار مدار در فرکانس بالا حائز اهمیت است، با استفاده از یک مدل زیرمداری منظور شد. همچنین روشی برای مدل‌سازی دقیق مقاومت کانال به‌صورت یک مقاومت وابسته به ولتاژ با استفاده از مدل ترانزیستور MOSFET ارائه گردید. سرانجام، کاربرد روش پیشنهادی برای مدل‌سازی خازن MOS از نوع PIW به کمک شبیه‌سازی مداری با استفاده از نرم‌افزار اسپایس راست‌آزمایی شد. روش ارائه‌شده، در حالت کلّی، برای مدل‌سازی خازن‌های پیاده‌سازی‌شده با هر نوع ترانزیستور MOSFET قابل استفاده است و به خازن MOS از نوع PIW محدود نیست.

سپاسگزاری

از وزارت علوم، تحقیقات و فنّاوری و حوزهٔ پژوهش دانشگاه صنعتی همدان، برای پشتیبانی مالی از این پژوهش صمیمانه تشکّر و سپاسگزاری می‌کنیم.

مراجع

[۱] محمّد آسیایی، «طراحی رجیستر فایل توان پایین در فنّاوری ۹۰ نانومتر CMOS»، مجلهٔ مدل‌سازی در مهندسی، دورهٔ ۱۶، شمارهٔ ۵۴، پاییز ۱۳۹۷، صفحهٔ ۶۹- ۸۱.

[۲] محمود فلاح و محمّدهاشم واجد سمیعی، «طراحی FSS میان گذر پچ استریپ مربعی با استفاده از مدل مداری معادل»، مجلهٔ مدل‌سازی در مهندسی، دورهٔ ۱۳، شمارهٔ ۴۱، تابستان ۱۳۹۴، صفحهٔ ۱۱۳- ۱۲۵.

[۳] آتیلا اسکندنژاد، عبدالرضا رحمتی و ادیب ابریشمی‌فر، «مدل‌سازی و تحلیل عددی مبدّل‌های تابریستوری به روش رانگ-کوتای چندمتغیّره»، مجلهٔ مدل‌سازی در مهندسی، دورهٔ ۱۰، شمارهٔ ۲۹، تابستان ۱۳۹۱، صفحهٔ ۳۳- ۴۲.

[4] T.H. Lee, The Design of CMOS Radio-Frequency Integrated Circuits, Cambridge University Press, New York, 1998.

[5] R. Sarpeshkar, Ultra Low Power Bioelectronics, Cambridge University Press, New York, 2010.

[6] T. Ando, U. Kwon, S. Krishnan, M.M. Frank and V.Narayanan, "High-κ oxides on Si:MOSFET gate dielectrics", in Thin Films on Silicon: Electronic And Photonic Applications, 2016, pp. 323–367.

[7] N. Novkovski and E. Atanassova, "Frequency Dependence of C-V Characteristics of MOS Capacitors Containing Nanosized High-κ Ta_2O_5 Dielectrics", Advances in Materials Science and Engineering, Volume 2017, doi:10.1155/2017/9745934, pp. 1–11.

[8] H. Zhang, L. Yuan, X. Tang, J. Hu, J. Sun, Y. Zhang, Y, Zhang and R. Jia, "Influence of Metal Gate Electrodes on Electrical Properties of Atomic-Layer-Deposited Al-Rich HfAlO/Ga_2O_3 MOSCAPs", IEEE Trans. Electron Devices, Vol. 67, No. 4, 2020, pp. 1730-1736.

[9] Y. Xu, X. Hu, Y. Dong, B. Zhang and Y. Ni, "Highly-Efficient, Ultra-Compact and Polarization-Insensitive Electro-Absorption Modulator Driven by Hybrid Silicon-Indium Tin Oxide-Based MOS Capacitors", IEEE Journal of Quantum Electronics, Vol. 56, No. 1, 2020, pp. 1- 9.

[10] J.H. Tsai, S.A. Ko, C.W. Wang, Y.C. Yen, H.H. Wang, P.C. Huang, P.S. Lan and M.H. Shen, "A 1 V Input, 3V-to-6V Output, 58%-Efficient Integrated Charge Pump With a Hybrid Topology for Area Reduction and an Improved Efficiency by Using Parasitics", IEEE Journal of Solid-State Circuits, Vol. 50, No. 11, 2015, pp. 2533 – 2548.

[11] L. Zhu and S. McNamara, "Low Power Tunneling Current Strain Sensor Using MOS Capacitors", Journal of Microelectromechanical Systems, Vol. 24, No. 3, 2015, pp. 755 -762.

[12] C. Li, J.C. Li, J. Shang, W.X. Li and S.Q. Xu, "Multitime Programmable Memory Cell With Improved MOS Capacitor in Standard CMOS Process", IEEE Transactions on Electron Devices, Vol. 62, No. 8, 2015, pp. 2517 - 2523.

[13] A. Kahraman, E. Yilmaz, A. Aktag and S. Kaya, "Evaluation of Radiation Sensor Aspects of Er_2O_3 MOS Capacitors under Zero Gate Bias", IEEE Transactions on Nuclear Science, Vol. 63, No. 2, 2016, pp. 1284-1293.

[14] Y. Xuan, Ch. Mousoulis, A. Kumar, Ch.I. Elmiger, S. Scott, D.J. Valentino and D. Peroulis, "3D MOS-capacitor-based ionizing radiation sensors", Proceedings of 2017 IEEE SENSORS Conference, Glasgow, 2017, pp. 1-3.

[15] T. Rabuske and J. Fernandes, "A SAR ADC With a MOSCAP-DAC", IEEE Journal of Solid-State Circuits, Vol. 51, No. 6, pp. 1410-1422, 2016.

[16] R.K. Palani and R. Harjani, "A 4.6mW, 22dBm IIP3 all MOSCAP based 34–314MHz tunable continuous time filter in 65nm", Proceedings of the IEEE Custom Integrated Circuits Conference (CICC), September 2015, 28-30.

[17] H. Amini Moghadam, S. Dimitrijev, J. Han, D. Haasmann and A. Aminbeidokhti, "Transient-Current Method for Measurement of Active Near-Interface Oxide Traps in 4H-SiC MOS Capacitors and MOSFETs", IEEE Trans. Electron Devices, Vol. 62, No. 8, 2015, pp. 2670-2674.

[18] X. Zhang, C. Cheng, H. Zhu, T. Yu, D. Zhang and B. Chen, "A New MOS Capacitance Correction Method Based on Five-Element Model by Combining Double-Frequency C-V and I-V Measurements", IEEE Electron Device Letters, Vol. 37, No. 10, 2016, pp. 1328–1331.

[19] H.H. Lin and J.G. Hwu, "Surface Nonuniformity-Induced Frequency Dispersion in Accumulation Capacitance for Silicon MOS(n) Capacitor", IEEE Trans. Electron Devices, Vol. 63, No. 7, 2016, pp. 2844–2851.

[20] X. Zhang, S. Zhang, H. Zhu, X. Pan, Ch. Cheng, T. Yu, X. Xiangping, L. Yi, G. Xing and D. Zhang, "Frequency dispersion analysis of thin dielectric MOS capacitor in a five-element model", Journal of Physics D: Applied Physics, 2018.

[21] P. Pande, S Dimitrijev, D. Haasmann, H. Amini Moghadam, P. Tanner and J. Han, "Energy-Localized Near-Interface Traps Active in the Strong-Accumulation Region of 4H-SiC MOS Capacitors", IEEE Transactions on Electron Devices, Vol. 66, No. 4, 2019, pp. 1704 - 1709.

[22] R. Moosavi, S. Jamasb, "Accurate Modeling of the Polysilicon-Insulator-Well (PIW) Capacitor in CMOS Technologies", Cumhuriyet Science Journal (CSJ), Vol. 36, No.3, 2015, pp. 216-221.

[23] R. Rios, N.D. Arora, C.L. Huang, N. Khalil, J. Faricelli and L. Gruber, "A physical compact MOSFET model, including quantum mechanical effects, for statistical circuit design applications", Proceedings of International Electron Devices Meeting. IEEE, 1995, pp. 937-940.

[24] W. Liu and C. Hu, "BSIM3v3 mosfet model", International Journal of High Speed Electronics and Systems, Vol. 9, No. 03, 1998, pp. 971-701 .

[25] W. Liu, X. Jin, Y. King and C. Hu ,"An Efficient and Accurate Compact Model for Thin-Oxide-MOSFET Intrinsic Capacitance Considering the Finite Charge Layer Thickness", IEEE Transactions on Electron Devices, Vol. 46, No. 5, 1999, pp.1070-1072.

[26] D.E. Ward, R. W. Dutton, “A Charge-oriented Model for MOS Transistor Capacitances”, IEEE J. of Solid States Circuits, Vol. 13, No. 5, 1978.

[27] H.J.M. Veendrick, in Nanometer CMOS ICs from basics to ASICS, First Edition, Springer, New York, 2008.

[28] T. Uchino, T. Shiba, K. Ohnishi, A. Miyauchi, M. Nakata, Y. Inoue and T. Suzuki, "A raised source/drain technology using in-situ P-doped SiGe and B-doped Si for 0.1-μm CMOS ULSIs", Proceedings of the International Electron Devices Meeting, IEDM Technical Digest, December 1997.

[29] Y.S. Chauhan, D.D. Duane, L.V. Sriramkumar, S. Khandelwal, J.P. Duarte, N. payvadosi, A. Niknejad and Ch. Hu, FinFET Modeling for IC simulation and Design Using the BSIM-CMG Standard. San Diego: Academic Press, 2015.

[30] X. Duan, P. Lu, W. Li and J.C.S. Woo, "Parasitic resistance modeling and optimization for 10nm-node FinFET", Proceedings of the IEEE’s 18th International Workshop on Junction Technology (IWJT), 2018.