یک ساختار دوطرفه تعمیم یافته حاوی دیود برای اینورتر چندسطحی با تعداد سوییچ و درایور کمتر

بابک حسینی منتظر[۱]، جواد علمایی[۲]، مجید حسین‌پور[۳،۴*] و بابک مظفری[۵]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۹/۱۱/۲۴

پذیرش مقاله: ۱۴۰۰/۰۲/۲۶

واژگان کلیدی:

اینورتر چندسطحی،

ساختار دوطرفه،

کاهش تعداد سوییچ،

ساختار حاوی دیود.

چکیده

اینورترهای چندسطحی نسبت به اینورتر دوسطحی معمولی از نظر کیفیت ولتاژ خروجی، نیاز به فیلتر و بازده پیشرفت زیادی برای کاربردهای انرژی‌های تجدیدپذیر و صنعتی داشته است. در این مقاله یک توپولوژی جدید برای اینورتر چندسطحی تک فاز طراحی شده است. این توپولوژی با هدف کاهش تعداد منابع ولتاژ ایزوله، سوئیچ‌ها و درایورها ارایه شده است که قادر است به صورت ماژولار تعداد سطوح خروجی را افزایش دهد. ساختار پیشنهادی برای دستیابی به تعداد سطوح ولتاژ خروجی بالا نسبت به تعداد سوئیچ، درایور و منبع ولتاژ DC بهبود داده شده است. برای تعیین مقادیر ولتاژ منابع DC سه الگوریتم مختلف پیشنهاد شده است. برای تایید برتری ساختار پیشنهادی یک مقایسه دقیق با سایر توپولوژی‌های اینورترهای چندسطحی انجام شده است. ساختار پیشنهادی برای کاربردهای انرژی تجدیدپذیر مانند اتصال آرایه‌های فتوولتاییک به شبکه گزینه مناسبی است. ساختار پیشنهادی در محیط Matlab/Simulink با استفاده از مدولاسیون نزدیک‌ترین سطح در هر دو حالت منابع DC متقارن و نامتقارن شبیه‌سازی شده و عملکرد آن مورد تحلیل و بررسی قرار گرفته است.

۱- مقدمه

اینورترهای چندسطحی از جمله پرکاربردترین ادوات تبدیل توان در صنعت هستند. از کاربردهای عمده صنعتی اینورترهای چندسطحی می‌توان به درایو موتورها در تمامی رنج‌های ولتاژ و توان اشاره نمود. اینورترهای چندسطحی در سیستم‌های متصل به شبکه، منبع تغذیه بدون وقفه (UPS)، وسایل نقلیه الکتریکی و دستگاه‌های FACTS کاربرد زیادی دارند. همه این کاربردها به دلیل توانایی اینورترهای چندسطحی در ارائه ولتاژ خروجی با کیفیت بهتر و شکل موج سینوسی‌تر، بهبود بازده به دلیل فرکانس پایین سوئیچینگ، ولتاژ مسدودکنندگی پایین، کاهش dv/dt و بهبود سازگاری الکترومغناطیسی است. یکی دیگر از مزایای اینورترهای چندسطحی کاهش اندازه فیلتر و هزینه آن به دلیل کاهش میزان هارمونیک در خروجی است [۱-۲].

ساختارهای متداول اینورترهای چندسطحی که در حال حاضر در صنعت مورد استفاده هستند شامل ساختار نقطه خنثی مهارشده (NPC)، ساختار خازن شناور (FC)، ساختار آبشاری پل H (CHB)، ساختار T-type و مبدل‌های چندسطحی ماژولار (MMC) است. این ساختارها در محدوده ولتاژ و توان مختلف دارای کاربردهای مختص خود به همراه مزایا و معایبی می‌باشند. این معایب

* پست الکترونیک نویسنده مسئول: hoseinpour.majid@uma.ac.ir

۱. دانشجوی دکتری، گروه مهندسی برق، واحد بین‌الملل کیش، دانشگاه آزاد اسلامی، جزیره کیش، ایران

۲. دانشیار، گروه مهندسی برق، واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران

۳. دانشیار، گروه مهندسی برق و کامپیوتر، دانشکده فنی و مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران

۴. گروه مهندسی برق، واحد بین‌الملل کیش، دانشگاه آزاد اسلامی، جزیره کیش، ایران

۵. دانشیار، گروه مهندسی برق، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

معمولا شامل تعداد بیشتر ادوات کلیدزنی برای تعداد سطوح خروجی بالا همراه با مشکل تعادل ولتاژ خازن است. محققین برای غلبه بر این معایب چندین ساختار جدید برای اینورتر چندسطحی معرفی کرده‌اند [۴-۳].

دلیل اصلی برای طراحی ساختارهای جدید اینورتر چندسطحی کاهش تعداد کلیدها، تعداد منابع ولتاژ DC و ولتاژ مسدودکنندگی کل[1] (TSV) است. بر این اساس چندین ساختار با موضوع کاهش تعداد سوئیچ‌ها ارائه شده است [۷-۵]. این ساختارها از ماژول پل H به منظور تولید قطب‌های مثبت و منفی شکل موج ولتاژ خروجی استفاده کرده‌اند. با این حال سوئیچ‌های ماژول پل H باید حداکثر یا پیک ولتاژ خروجی را تحمل کنند که باعث محدود شدن کاربردهای آن‌ها در مقادیر ولتاژ بالا می‌شود. این مسئله در ساختارهای E-type [۹] و ST-type [۱۰] که در آن‌ها ساختار طراحی شده ذاتاً سطوح ولتاژ مثبت و هم سطوح منفی را بدون استفاده از ماژول پل H تولید می‌کنند، حل شده است. توپولوژی‌های E-type و ST-type از چهار منبع ولتاژ DC برای تولید ۱۳ و ۱۷ سطح در خروجی به ترتیب با ۱۰ و ۱۲ سوئیچ نیمه‌هادی قدرت استفاده می‌کنند.

یکی از راهکارهای کاهش تعداد سوییچ‌ها و مدارات راه‌انداز و در نتیجه کاهش هزینه و ابعاد مدار، ارایه ساختار چندسطحی مبتنی بر سوییچ-دیود است. در اکثر توپولوژی‌های مبتنی بر سوئیچ-دیود مانند ساختار ارایه شده در [۱۰] یک چالش مهم و اساسی وجود دارد که می‌تواند کارایی چنین ساختارهایی را دچار چالش کند. در اغلب ساختارهای جدیدی که از دیود برای کاهش تعداد سوئیچ استفاده می‌کنند، به دلیل استفاده از دیود توانایی ایجاد مسیر مناسب برای جریان برگشتی ناشی از بارهای سلفی را ندارند که این مشکل در بخش ۲ با ارائه مثال تشریح شده است. در این ساختارها با وجود کم کردن تعداد سوئیچ، اسپایک‌های ولتاژ در شکل موج ولتاژ خروجی ظاهر می‌شود که کیفیت ولتاژ خروجی را به شدت کاهش می دهد. ساختارهای ارائه شده در [۱۲-۱۱] هم مشکل ایجاد اسپایک ولتاژ ناشی از جریان برگشتی را دارند. برای حل این مشکل ساختارهای [۱۴-۱۳] ارائه شده است که با وجود تعداد کم سوئیچ و دارا بودن دیود قادر است در بارهای سلفی نیز به دستی عمل کند. ولی در این ساختارها از سنسور جریان استفاده شده است که پیچیدگی کنترل را به همراه دارد.

در این مقاله یک ساختار جدید برای اینورترهای چندسطحی با هدف کاهش منابع ایزوله و ادوات الکترونیک قدرت ارائه شده است. ساختار پیشنهادی قادر است به صورت متقارن و نامتقارن پیاده‌سازی شود. در ضمن ساختار پیشنهادی با وجود استفاده از دیود قادر است بارهای سلفی را به صورت دوطرفه تغذیه کند. همچنین استفاده از دیود در ساختار پیشنهادی بدون نیاز به سنسور جریان باعث شده است که بدون افزایش پیچیدگی مدار کنترل، تعداد سوئیچ‌های ساختار در سطح ولتاژ برابر نسبت به ساختارهای ارایه شده اخیر کاهش قابل ملاحظه‌ای داشته باشد. ساختار پیشنهادی برای اتصال آرایه‌های فتوولتاییک به شبکه فشار متوسط و درایو موتورهای AC می‌تواند گزینه مناسبی باشد.

ساختار مقاله به شرح زیر است: تجزیه و تحلیل ساختار پایه پیشنهادی با ساختار کلی آن در بخش دو ارائه شده است. همچنین در این بخش برای تشریح کامل مشکل جریان برگشتی یک ساختار به عنوان مثال مورد بررسی قرار گرفته است. تجزیه و تحلیل انتخاب مقادیر منابع ولتاژ DC به همراه محاسبات مربوط به حداکثر ولتاژ مسدودکنندگی[2] (MSV) و ولتاژ مسدودکنندگی کل (TSV) هم در این بخش ارائه شده است. بخش سه اتصال آبشاری ساختار پیشنهادی را شرح می دهد. محاسبات مربوط به تلفات در بخش چهار ارائه شده است. در ضمن مقادیر تلفات توان و بازده مبدل برای ساختار پیشنهادی در این بخش ارائه شده است. در بخش پنج مقایسه کلی ساختار پیشنهادی با ساختارهای موجود به صورت دقیق ارائه شده است. بخش شش نتایج شبیه‌سازی ساختار پیشنهادی را ارایه داده و به دنبال آن نتیجه‌گیری در بخش هفت ارائه شده است.

۲- تجزیه و تحلیل ساختار اینورتر چندسطحی پیشنهادی

در این بخش یک نمونه از ساختارهایی که در آنها از دیود به جای سوییچ استفاده شده مورد بررسی قرار می‌گیرد و مشکل جریان برگشتی و ایجاد اسپایک ولتاژ در چنین

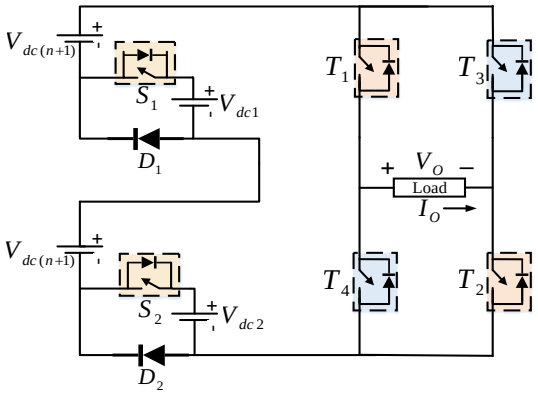
[1] Total Standing Voltage

[2] Maximum Standing Voltage

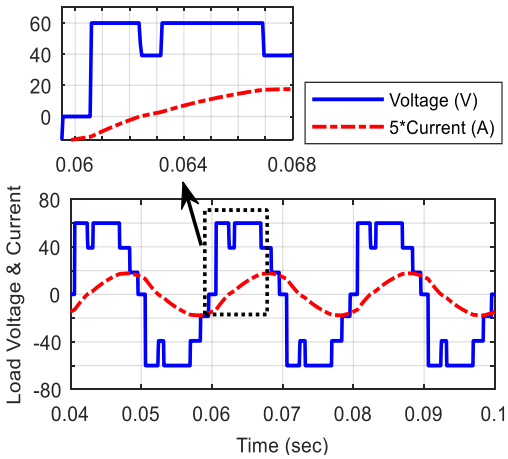
ساختارهایی بررسی می‌شود. در ادامه ساختار پایه پیشنهادی معرفی شده و اصول عملکرد آن توضیح داده می شود. برای مشکل جریان برگشتی در حضور دیود راه‌حل مناسب ارایه می‌شود تا از ایجاد اسپایک ولتاژ جلوگیری شود.

۲-۱- مشکل اسپایک ولتاژ ناشی از جریان بازگشتی

توپولوژی ارایه شده در [۱۰] در شکل (۱) نشان داده شده است. این توپولوژی به منظور تولید هفت سطح ولتاژ در خروجی از ۶ سوئیچ، دو دیود و ۴ منبع ولتاژ ایزوله استفاده می‌کند. این توپولوژی در بار تقریباً اهمی خالص قادر است به درستی و به صورت دوطرفه کار کند. در این توپولوژی برای بارهایی با ضریب قدرت پایین‌تر از ۰/۹۹۲ اسپایک ولتاژ در خروجی ظاهر می‌شود. در شکل (۲) اسپایک ولتاژ در حضور بار اهمی-سلفی برای ساختار مورد بررسی نشان داده شده است.

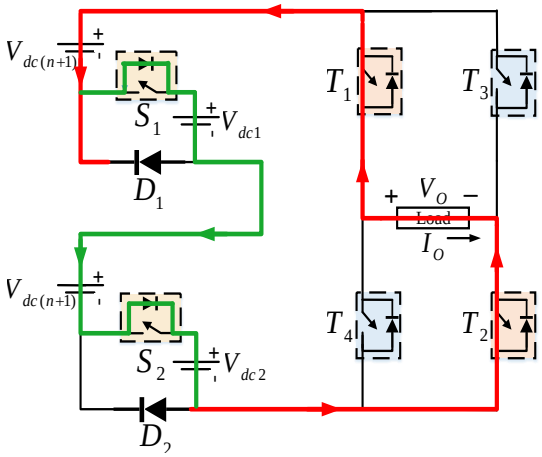


شکل ۱- توپولوژی مبدل ارائه شده در [۱۰]



شکل ۲- شکل موج خروجی ولتاژ و جریان در توپولوژی [۱۰] برای بار اهمی-سلفی

عملکرد توپولوژی ارایه شده در [۱۰] در لحظات ایجاد اسپایک ولتاژ با جزییات دقیق مورد بررسی قرار می‌گیرد. در این توپولوژی، برای تولید سطح ولتاژ اول باید کلیدهای T_1 و T_2 و همچنین دیودهای D_1 و D_2 روشن شوند و سایر کلیدها خاموش باشند. از آنجا که در بارهای اهمی-سلفی مطابق شکل (۲) جریان با ولتاژ هم‌فاز نبوده و دارای تاخیر نسبت به ولتاژ است، در لحظه ۰/۰۶۰۶ که ولتاژ خروجی از سطح صفر به سطح یک افزایش می‌یابد و باید به مقدار لحظه‌ای برابر با $V_{dc(n+1)}+V_{dc(n+1)}$ برسد، مقدار لحظه‌ای جریان منفی بوده و در نتیجه قابلیت عبور از دیودهای D_1 و D_2 را نخواهد داشت. مسیر عبور جریان پس‌فاز نسبت به ولتاژ در شکل (۳) برای سطح ولتاژ اول با رنگ قرمز مشخص شده است. به دلیل پیوستگی جریان ناشی از وجود سلف در بار خروجی، این جریان به ناچار از مسیری دیگری عبور می‌کند که مسیر موجود برای این منظور مطابق شکل (۳)، دیود معکوس کلیدهای S_1 و S_2 می‌باشد (مسیر با رنگ سبز). در این حالت ولتاژ خروجی برابر با مجموع ولتاژهای $V_{dc1}+V_{dc2}+V_{dc(n+1)}+$ $V_{dc(n+1)}$ خواهد بود. تا زمانیکه مقدار لحظه‌ای جریان خروجی کوچک‌تر از صفر باشد، ولتاژ خروجی در سطح سوم و برابر با $V_{dc1}+V_{dc2}+V_{dc(n+1)}+V_{dc(n+1)}$ خواهد بود.



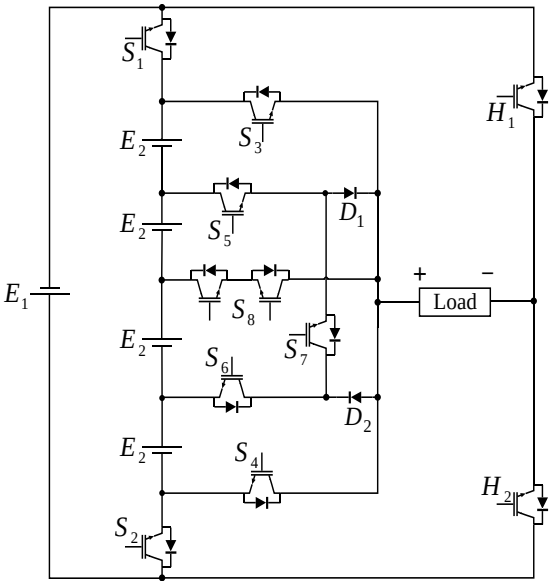
شکل ۳- مسیر عبور جریان برگشتی برای سطح ولتاژ اول در توپولوژی [۱۰]

در شکل (۲) علاوه بر کل بازه زمانی سطح ولتاژ اول، بخشی از بازه زمانی مربوط به سطح ولتاژ دوم نیز ناشی از منفی بودن جریان دارای اسپایک ولتاژ است. در سطح ولتاژ دوم، با هدایت سوییچ S_2 و دیود D_1 ولتاژ خروجی $V_{dc2}+V_{dc(n+1)}+V_{dc(n+1)}$ باید تولید شود. با این وجود به دلیل منفی بودن جریان، همچنان دیود D_1 نمی‌تواند

جریان معکوس را هدایت کند و اسپایک ولتاژ حاصل شده است. در لحظه ۰/۰۶۲۴ به محض اینکه مقدار لحظه‌ای جریان بزرگ‌تر از صفر شد، مدار به عملکرد صحیح خود باز می‌گردد. تمام توضیحات ارایه شده فوق برای نیم سیکل منفی نیز برقرار است. نتیجه جایگزینی دیود به جای سوئیچ در توپولوژی مورد بررسی، وجود اسپایک در ولتاژ خروجی است. بنابراین چنین توپولوژی‌هایی دارای کاربرد محدود و صرفا برای بارهای اهمی خالص و یا بارهای اهمی-سلفی با ضریب توان نزدیک به یک قابل بهره‌برداری خواهند بود.

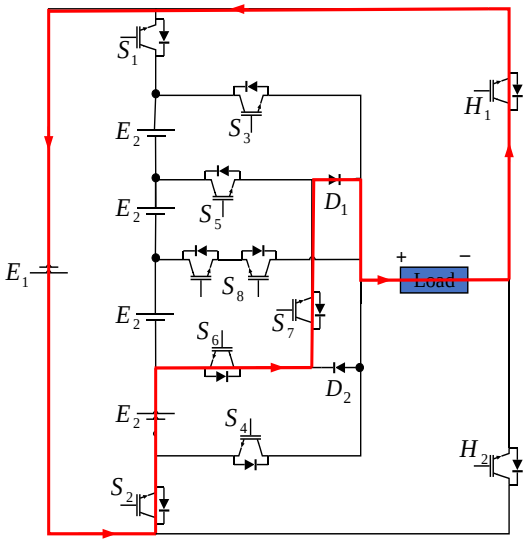
۲-۲- واحد پایه ساختار پیشنهادی

شکل (۴) ساختار پایه اینورتر چندسطحی پیشنهادی را نشان می‌دهد. این مجموعه از پنج منبع ولتاژ DC به همراه نه کلید یک جهته و یک کلید دو طرفه تشکیل شده است. جفت سوئیچ (S_1، S_2) و (H_1، H_2) سوئیچ‌های بیرونی‌اند و برای اینکه از اتصال کوتاه منابع ولتاژ DC جلوگیری شود از هر جفت فقط یک سوئیچ روشن می‌شود. این سوئیچ‌های بیرونی به منبع ولتاژ E_1 متصل می‌شوند. چهار منبع ولتاژ DC باقی مانده با اندازه E_2 به صورت سری به همراه سوئیچ های یک جهته S_3، S_4، S_5، S_6، S_7 و سوئیچ دو جهته S_8 قسمت داخلی واحد پایه پیشنهادی را تشکیل می‌دهند.

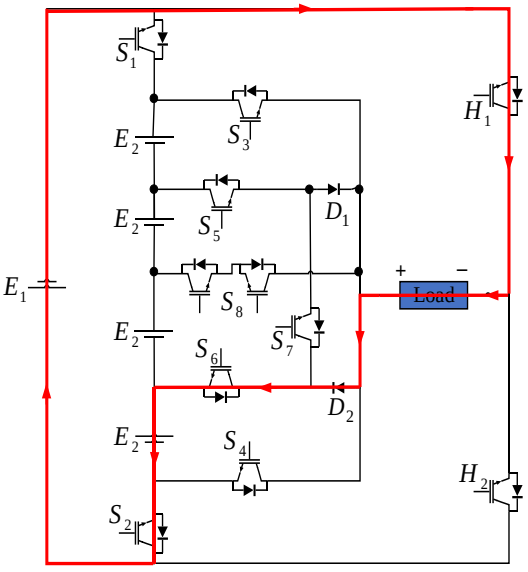


شکل ۴- ساختار پایه اینورتر چندسطحی پیشنهادی

در ساختار پیشنهادی به ازای تمامی سطوح ولتاژ، مسیر برگشت جریان برای بار اهمی-سلفی همواره موجود است. برای مثال در سطح ولتاژ $+2V_{dc}$ در لحظه‌ای که جریان بار مثبت است مطابق شکل (۵-الف) جریان از کلیدهای S_2، S_6، S_7، H_1 و دیود D_2 عبور می‌کند؛ درحالیکه اگر جریان بار کوچک‌تر از صفر باشد مطابق شکل (۵-ب) ، جریان از کلیدهای S_2، S_6، H_1 و دیود D_1 عبور می‌کند و جریان لحظه‌ای منفی قابلیت عبور از مسیر مشخص شده را دارد.



(الف)



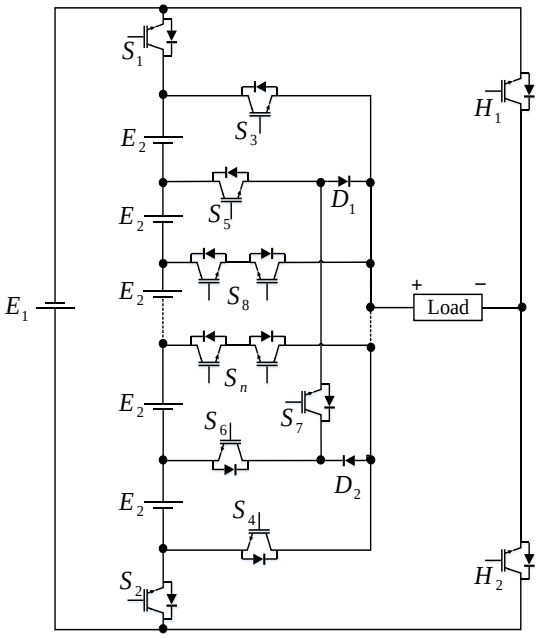
(ب)

شکل ۵- مسیرهای جریان برای مبدل هفت‌سطحی جهت تولید ولتاژ $+2V_{dc}$ الف) مسیر جریان مثبت ب) مسیر جریان منفی

۲-۳- ساختار تعمیم یافته پیشنهادی

ساختار پایه اینورتر چندسطحی پیشنهادی قادر است ۱۹ سطح ولتاژ در خروجی تولید کند. به منظور تولید سطوح ولتاژ بیشتر می‌توان ساختار پایه را مطابق شکل (۶) گسترش داد. در این حالت به ازای افزایش دو سطح ولتاژ یک منبع DC و یک سوییچ دوجهته افزایش می‌یابد. در

ساختار پایه پیشنهادی تعداد سوئیچ‌ها به دلیل استفاده از دیود کاهش یافته است. برای هر سوئیچ دو طرفه و یا یک طرفه ولتاژ و جریان صرفا یک درایور لازم است. ار این رو در ساختار پیشنهادی تعداد درایور نیز در مقایسه با ساختارهای مشابه کاهش یافته است. در ضمن به ازای افزایش هر دو سطح در ولتاژ خروجی، صرفا یک درایور بیشتر مورد نیاز خواهد بود که این امر مزیت قابل ملاحظه‌ای را در مقایسه با ساختارهای مشابه ایجاد خواهد کرد. شایان ذکر است در ساختار پیشنهادی صرفا دو سوئیچ حداکثر ولتاژ بار را باید تحمل می‌کنند که این امر در مقایسه با ساختار چندسطحی مبتنی بر پل H که در آن‌ها چهار سوییچ باید حداکثر ولتاژ خروجی را تحمل کنند، مزیت مناسبی محسوب می‌شود.



شکل ۶- ساختار تعمیم یافته اینورتر چندسطحی پیشنهادی

معادلات تعمیم یافته برای توپولوژی پیشنهادی با تعداد j منبع ولتاژ DC به شرح زیر است:

$$N = 4j - 1 \quad (۱)$$

$$N_{switch} = 2j + 1 \quad (۲)$$

$$N_{driver} = j + 5 \quad (۳)$$

$$V_{o,\max} = E_1 + (j-1)E_2 \quad (۴)$$

$$N_{diode} = 2 \quad (۵)$$

$$N_{variety} = 2 \quad (۶)$$

که در اینجا N نشانگر بیشترین سطح ولتاژ خروجی، N_{switch} نشانگر تعداد کلیدهای ساختار پیشنهادی، N_{driver} بیانگر تعداد درایور راه‌انداز، $V_{o,max}$ نشانگر ماکزیمم ولتاژ خروجی، N_{diode} بیانگر تعداد دیودها و $N_{variety}$ نشانگر تنوع منابع DC است.

۲-۴- انتخاب مقادیر منابع ولتاژ DC

انتخاب منابع ولتاژ DC مورد استفاده در ساختار پیشنهادی یک معیار مهم برای کاربردهای عملی است. یکی از این معیارها تنوع منابع ولتاژ DC است؛ به این مفهوم که چه تعداد از مقادیر منابع ولتاژ DC مختلف در ساختار استفاده می‌شود. در ساختار پیشنهادی فقط دو مقدار مختلف از منابع ولتاژ DC مورد نیاز است. در حالت منابع متقارن تمامی منابع یکسان و برابر V_{dc} فرض می‌شود و در حالت نامتقارن منابع مقادیر مختلفی دارند که در حالت نامتقارن منابع ولتاژ به دو حالت انتخاب می‌شود. در حالت اول مقدار E_1 به عنوان V_{dc} فرض می‌شود و اندازه E_2 به صورت زیر محاسبه می‌شود.

$$E_2 = 2V_{dc} \quad (۷)$$

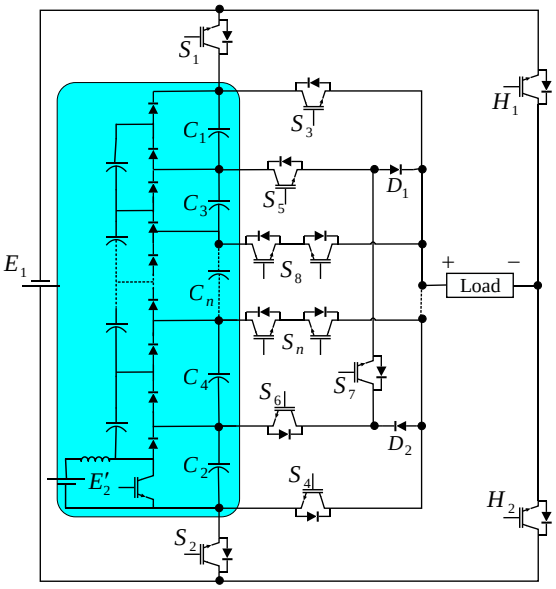
به طور مشابه در حالت دوم مقدار E_2 برابر V_{dc} فرض می شود و مقدار E_1 به صورت زیر محاسبه می‌شود.

$$E_1 = kV_{dc} \quad (۸)$$

که k نشانگر تعداد منابع ولتاژ است.

تعداد منابع DC مستقل در اینورترهای چندسطحی چالش مهمی است. در [۱۳] با استفاده از ترانسفورماتور و پل دیود منابع ولتاژ ایزوله متعدد تولید شده است. در [۱۵] با استفاده از یک مبدل DC-DC تک ورودی چند خروجی مشکل تعدد منابع DC حل شده است.

همانطور که در شکل (۷) مشاهده می‌شود در ساختار پیشنهادی می‌توان به جای منابع E_2 از مبدل DC-DC تک ورودی و چند خروجی استفاده نموده و برای منابع DC متعدد در امتداد یکدیگر صرفا از یک منبع DC استفاده نمود. البته این راهکار تعداد خازن و دیودهای مورد نیاز ساختـار را افزایش می‌دهد ولی در مقایسه با منابع ولتاژ مستقل طبیعتا هزینه کمتری را خواهد داشت. با این راهکار امکان تنظیم و تثبیت ولتاژهای E_2 به وسیله دوره کاری سوییچ استفاده شده در ساختار مبدل DC-DC وجود خواهد داشت.



شکل ۷- ساختار اینورتر چندسطحی پیشنهادی با تعداد منابع DC مستقل کاهش یافته

۳- تحلیل تلفات توان

تلفات توان یک ساختار پارامتر مهمی برای طراحی مبدل است. تلفات عمده یک مبدل با ادوات نیمه هادی قدرت یعنی سوئیچ‌ها و دیودها مرتبط است. به طور کلی تلفات سوئیچینگ (P_{sw}) و تلفات هدایت (P_{con}) به دلیل نقش اصلی آنها در تلفات مبدل برای تجزیه و تحلیل تلفات توان در نظر گرفته می‌شوند. عمده تلفات مبدل‌ها مربوط به تلفات هدایتی حالت روشن سوئیچ‌ها و مقاومت داخلی آن است. بنابراین هرچه تعداد سوییچ‌های واقع در مسیر عبور جریان در یک ساختار کمتر باشد، تلفات هدایتی آن کاهش یافته و در نتیجه تلفات کل آن نیز کاهش خواهد یافت. ساختار پیشنهادی دارای این مزیت است که در هر سطح ولتاژ تعداد سوییچ‌های موجود در مسیر عبور جریان کم بوده و در نتیجه تلفات هدایتی مقدار قابل قبولی است.

تلفات هدایتی برای یک سوئیچ قدرت به همراه دیود موازی معکوس آن به ترتیب در (۹) و (۱۰) آورده شده است [۱۶].

$$P_{con_{switch}} = V_{S,ON} i(t) + R_s i^{\beta}(t) \qquad (۹)$$

$$P_{con_{diode}} = V_{d,ON} i(t) + R_d i^{2}(t) \qquad (۱۰)$$

که $V_{S,ON}$ و $V_{d,ON}$ به ترتیب افت ولتاژ حالت روشن سوئیچ و دیود موازی معکوس را نشان می‌دهند. R_s و R_d به ترتیب مقاومت معادل سوئیچ و دیود هستند. β ثابت سوئیچ است که توسط سازنده تجهیز اطلاعات مربوط به آن ارائه می‌شود. برای یک دوره تناوب (2π)، میانگین تلفات هدایتی با استفاده از (۱۱) محاسبه می‌شود [۱۶].

$$P_{con} = \sum_{1}^{N_s} \frac{1}{2\pi} \int_{0}^{2\pi} (V_{S,ON} i(t) + R_s i^{\beta}(t)) dt + \sum_{1}^{N_d} \frac{1}{2\pi} \int_{0}^{2\pi} (V_{d,ON} i(t) + R_d i^{2}(t)) dt \qquad (۱۱)$$

تلفات سوئیچینگ سوئیچ‌ها به دلیل عملکرد غیر ایده‌آل سوئیچ‌های قدرت است و به اتلاف توان هنگام روشن و خاموش شدن سوئیچ‌ها بستگی دارد. تلفات سوئیچینگ P_{sw} با فرض تغییر خطی جریان و ولتاژ در هنگام روشن و خاموش شدن سوییچ محاسبه می شود و مطابق زیر است.

$$P_{sw} = \left[\sum_{1}^{N_s} N_{ON,x} E_{ON,x} + N_{OFF,x} E_{OFF,x} \right] f \qquad (۱۲)$$

که $N_{ON,x}$ و $N_{OFF,x}$ به ترتیب تعداد دفعات روشن و خاموش شدن سوییچ x در طول یک تناوب کامل برای را نشان می‌دهند. $E_{ON,x}$ و $E_{OFF,x}$ به ترتیب انرژی تلفاتی در هنگام روشن و خاموش شدن کلید x و دیود موازی معکوس آن در طول یک تناوب کامل است و f فرکانس ولتاژ خروجی را نشان می‌دهد. مقدار این دو انرژی تلفاتی بر حسب جریان کلکتور، مقاومت گیت، دمای نقطه اتصال و ولتاژ کلکتور به امیتر ارایه شده است. با توجه به راحتی دسترسی به جریان کلکتور، از این پارامتر برای محاسبه انرژی تلفاتی سوییچ استفاده شده است. به عبارت بهتر، مقادیر منحنی انرژی تلفاتی سوییچ بر حسب جریان عبوری از کلکتور از دیتاشیت سوییچ IKFW60N60DH3E اخذ شده و به صورت جدول اطلاعات به صورت از پیش تعریف شده در نرم‌افزار وارد می‌شود. بنابراین بر اساس جریان عبوری از کلکتور، میزان انرژی تلفاتی سوییچ به هنگام روشن شدن (E_{ON}) و نیز هنگام خاموش شدن (E_{OFF}) حاصل می‌شود.

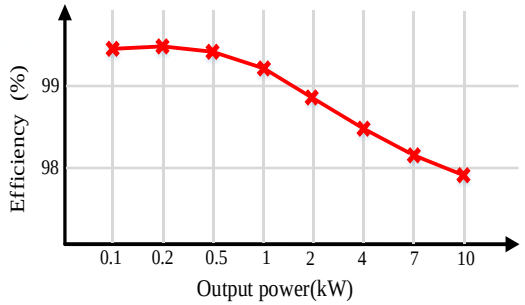
بر اساس اطلاعات و روابط فوق، تلفات کل مبدل (P_{loss}) با استفاده از (۱۳) محاسبه می‌شود.

$$P_{loss} = P_{con} + P_{sw} \qquad (۱۳)$$

با داشتن توان خروجی مبدل (P_o)، بازده مبدل با استفاده از معادله (۱۴) محاسبه می‌شود.

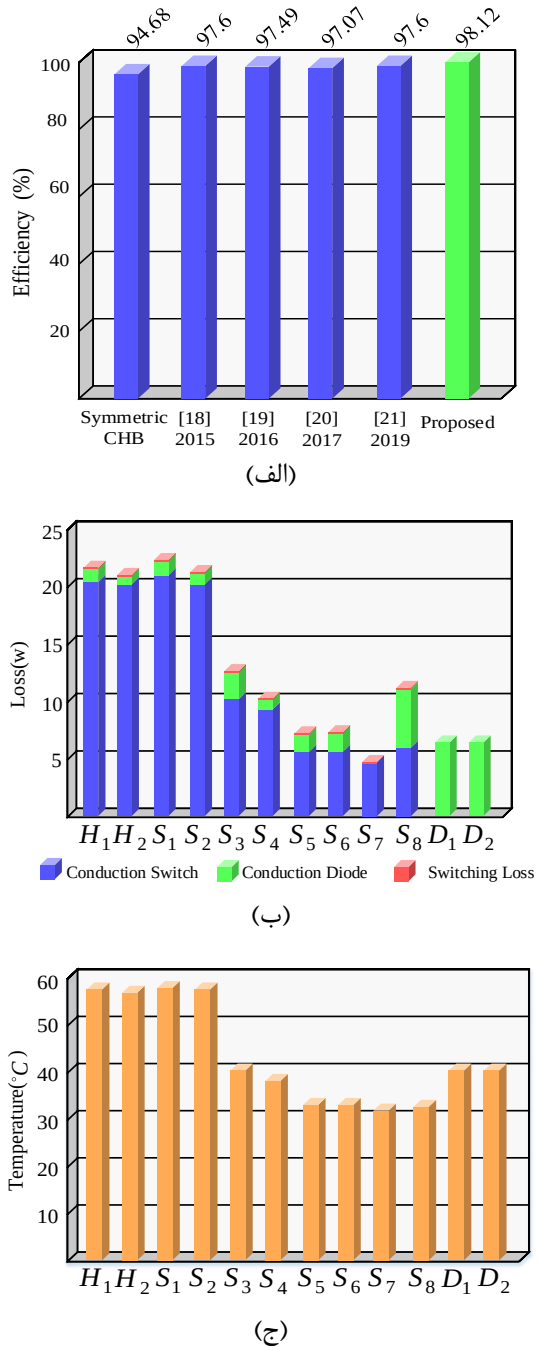
$$\eta = \frac{P_o}{P_o + P_{loss}} \qquad (۱۴)$$

با استفاده از معادلات فوق محاسبه تلفات توان ساختار پیشنهادی با استفاده از نرم افزار MATLAB انجام می شود. برای مدل‌سازی حرارتی از اطلاعات کلید IGBT IKFW60N60DH3E (600V 50A) استفاده شده است. تلفات انرژی E_{ON} و E_{OFF} با میزان ولتاژ مسدود شده در حالت روشن و خاموش سوئیچ مرتبط است که منحنی‌های آن در اطلاعات مربوط به سازنده ارائه می‌شود. این منحنی‌ها برای محاسبه تلفات سوئیچینگ استفاده می شوند و برای تلفات هدایتی از منحنی مرتبط با جریان عبوری و افت ولتاژ در حالت روشن سوییچ استفاده می‌شود. شکل (۸) بازده ساختار پیشنهادی را به ازای مقادیر مختلف توان خروجی نشان می‌دهد. محاسبه بازده برای ساختار ۱۱سطحی متقارن با حداکثر ولتاژ ۵۰۰ ولت با پله‌های ولتاژ ۱۰۰ ولت با استفاده از مدولاسیون نزدیک‌ترین سطح (NLM) برای بار مقاومتی خالص محاسبه شده است. در این محاسبه دمای محیط $25^{\circ}C$ فرض شده است. حداکثر بازده ساختار پیشنهادی ۹۹/۵۱٪ در توان خروجی ۲۰۰ وات است.



شکل ۸- بازده ساختار پیشنهادی به ازای افزایش توان خروجی

شکل (۹-الف) مقایسه ساختار پیشنهادی با سایر ساختارها از نظر بازده را نشان می‌دهد. این مقایسه برای ساختار ۱۱ سطحی متقارن با حداکثر ولتاژ ۴۰۰ ولت با توان خروجی ۷۹۴۰ وات برای بار اهمی سلفی $Z = 10\ \Omega + 24mH$ انجام شده است. شکل (۹-ب) تلفات مربوط به سوئیچ‌ها و دیودها را به صورت جداگانه نشان می‌دهد و شکل (۹-ج) دمای سوئیچ‌ها و دیودها را نشان می‌دهد. شکل (۹-ب) نشان می‌هد که جفت سوئیچ‌های (S_1 ،S_2) و (H_1 ،H_2) به دلیل روشن و خاموش شدن متقارن دارای افت توان برابر هستند. علاوه بر این تلفات سوئیچینگ نیز در ساختار پیشنهادی به دلیل فرکانس پایین روشن و خاموش شدن سوییچ‌ها، نزدیک به صفر و قابل اغماض است و قسمت عمده تلفات توان مربوط به تلفات هدایتی است.



شکل ۹- الف) مقایسه بازده ساختار پیشنهادی با ساختارهای ارایه شده اخیر، ب) تلفات سوئیچ‌ها و دیودهای ساختار پیشنهادی، ج) دمای سوئیچ‌ها و دیودهای ساختار پیشنهادی

۴- مقایسه ساختار پیشنهادی با ساختارهای مشابه

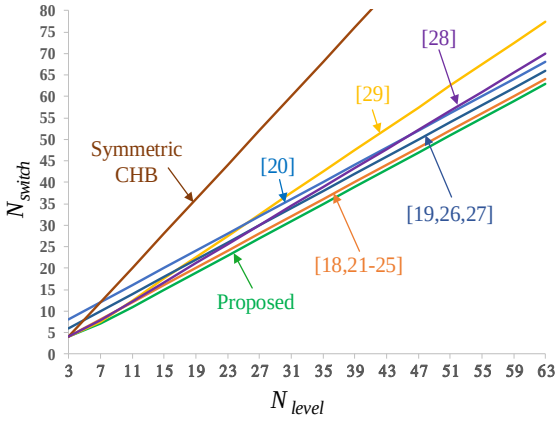
برای نشان دادن برتری ساختار پایه پیشنهادی، مقایسه‌ای با سایر ساختارها در مقالات مشابه انجام شده و در جدول ۱ تعداد مدارات درایور، ولتاژ مسدودکنندگی کل و تعداد منابع dc بر اساس تعداد سطوح ولتاژ تولید شده در خروجی انجام شده است.

جدول ۱- مقایسه پارامترهای واحد پایه با سایر واحد پایه ساختارها

		N_{level}	N_{switch}	N_{driver}	$TSV(*V_{dc})$	TSV/N_{level}	N_{switch}/N_{level}
[۵]	متقارن	۹	۱۱	۱۱	۲۷	۳	۱/۲۲
[۱۷]	متقارن	۹	۱۰	۱۰	۲۰	۲/۲۲	۱/۱۱
[۱۸]	متقارن	۹	۱۲	۱۰	۲۲	۲/۴۴	۱/۳۳
	نامتقارن	۱۷	۱۲	۱۰	۴۰	۲/۳۵	۰/۷
[۱۹]	متقارن	۷	۱۲	۹	۱۸	۲/۵۷	۱/۷۱
	نامتقارن	۱۱	۱۲	۹	۲۶	۲/۳۶	۱/۰۹
[۲۰]	متقارن	۹	۱۰	۱۰	۱۸	۲	۱/۱۱
[۲۱]	متقارن	۷	۸	۷	۱۸	۲/۵۷	۱/۱۴
[۲۲]	متقارن	۷	۸	۷	۱۴	۲	۱/۱۴
	نامتقارن	۱۱	۸	۷	۲۲	۲	۰/۷۲
[۲۳]	متقارن	۹	۱۰	۸	۲۰	۲/۲۲	۱/۱۱
	نامتقارن	۱۷	۱۰	۸	۳۸	۲/۲۳	۰/۵۸
[۲۴]	متقارن	۹	۱۰	۸	۲۲	۲/۴۴	۱/۱۱
	نامتقارن	۱۳	۱۰	۸	۳۲	۲/۴۶	۰/۷۶
[۲۵]	متقارن	۷	۱۰	۷	۱۸	۲/۵۷	۱/۴۲
پیشنهادی	متقارن	۱۱	۱۱	۱۰	۳۰	۲/۷۲	۱
	نامتقارن	۱۹	۱۱	۱۰	۴۶	۲/۴۲	۰/۵۷

از جدول ۱ مشخص است که ساختار پایه پیشنهادی به ازای سطوح ولتاژ خروجی یکسان، از تعداد سوئیچ کمتری استفاده می‌کند. علاوه بر این پارامترهای N_{switch}/N_{level} و TSV/N_{level} برای مقایسه دقیق تعداد سوئیچ و ولتاژ مسدود شده به ازای تعداد سطوح ولتاژ خروجی ارائه شده است که ساختار پایه پیشنهادی نسبت به ساختارهای مشابه، دارای شرایط مطلوبی می‌باشد. ساختار پایه پیشنهادی برای تولید یازده سطح در خروجی در حالت متقارن به یازده سوئیچ نیاز دارد که سایر ساختارها برای تولید یازده سطح در خروجی حداقل به دوازده سوئیچ نیاز دارند. به عبارت دیگر در جدول ۱ پارامتر N_{switch}/N_{level} برای ساختار پایه تمامی ساختارها بزرگ‌تر از یک است که در ساختار پایه پیشنهادی این عدد برابر با یک است. دلیل اختلاف یک سوئیچ بین ساختار پیشنهادی با سایر ساختارها در حالت متقارن، استفاده از دیود است که در ساختار پیشنهادی بدون مشکل جریان برگشتی به درستی و به صورت دوجهته عمل می‌کند.

به منظور مقایسه ساختار تعمیم یافته پیشنهادی با سایر ساختارها به ازای سطوح مختلف نموداری بر اساس تعداد سوئیچ به ازای تعداد سطح لازم است که این نمودار در شکل (۱۰) نشان داده شده است. مطابق این شکل ساختار پیشنهادی در مقایسه با سایر ساختارها از تعداد سوئیچ کمتری استفاده می‌کند. در ساختار تعمیم یافته پیشنهادی از سوئیچ‌های دو جهته و سوئیچ‌های یک جهته استفاده می شود. استفاده از سوئیچ‌های دو طرفه در صورت پیکربندی اتصال امیتر مشترک، تعداد مدار درایور را کاهش می‌دهد. به عبارت دیگر می‌توان با استفاده از یک مدار درایور دو سوئیچ امیتر مشترک را کنترل کرد. بنابراین تعداد درایورهای ساختار پیشنهادی هم کاهش می‌یابد.

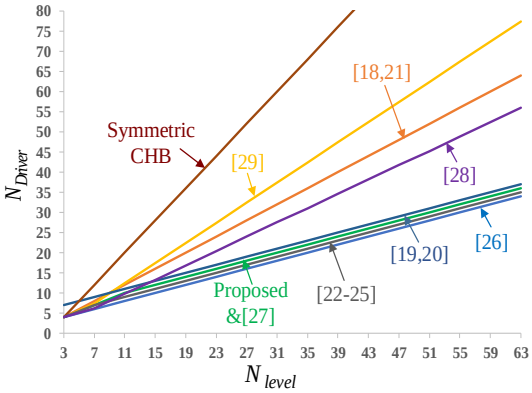


شکل ۱۰- مقایسه تعداد سوئیچ ساختار پیشنهادی با سایر ساختارها

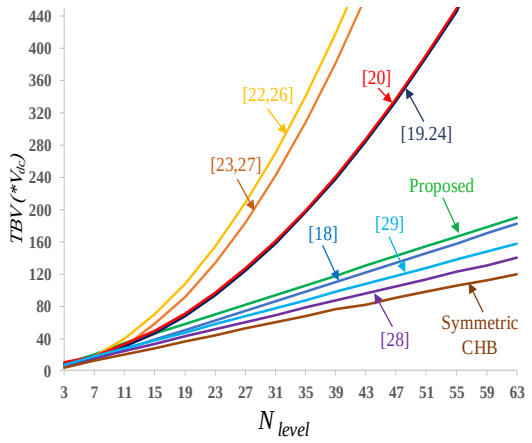
شکل (۱۱) نمودار مربوط به مقایسه تعداد درایور به ازای

سطوح گوناگون را نشان می‌دهد. این نمودار بیان می‌کند که ساختار پیشنهادی از لحاظ تعداد درایور جایگاه مناسبی داشته و صرفا ساختارهای مراجع [۲۵-۲۱] به صورت جزیی تعداد درایور کمتری نسبت به ساختار پیشنهادی دارند.

یکی دیگر از معیارهای مقایسه اینورترهای چندسطحی ولتاژ مسدودکنندگی کل (TSV) است. در اینورترهای چندسطحی مبتنی بر پل H، سوییچ‌های پل H مقدار پیک ولتاژ خروجی را تحمل می‌کنند و این امر باعث افزایش مقدار TSV برای چنین ساختارهایی می‌شود. ساختار پیشنهادی به دلیل این که از پل H استفاده نمی‌کند، مقدار TSV کمتری نسبت به ساختارهای مبتنی بر پل H دارد. شکل (۱۲) مقایسه TSV به ازای سطوح خروجی را برای ساختارهای مورد مقایسه نشان می‌دهد.



شکل ۱۱- مقایسه تعداد درایور ساختار پیشنهادی با سایر ساختارها



شکل ۱۲- مقایسه TSV ساختار پیشنهادی با سایر ساختارها

کاهش تعداد منبع ولتاژ DC یکی دیگر از معیارهای مهم در کاربردهای عملی است. همانطور که در بخش ۲ توضیح داده شد، می‌توان از خازن‌های سری به جای منابع E_2 استفاده نمود. به این ترتیب تعداد منابع DC ساختار پیشنهادی کاهش چشمگیری یافته و صرفا با دو منبع ولتاژ DC ایزوله و چند خازن می‌توان سطوح ولتاژ مدنظر را تولید نمود.

برای انجام مقایسه هزینه ساختار پیشنهادی با ساختارهای مشابه، در ابتدا هزینه ساختار پیشنهادی با ساختار CHB متقارن با ارایه جزییات لازم مقایسه شده است. علیرغم وجود تعداد زیاد سوییچ‌ها در ساختار CHB متقارن، از آنجا که ولتاژ مسدودکنندگی کل در این ساختار کم می‌باشد، لذا ساختار CHB متقارن هزینه بالایی نداشته و گزینه مناسبی برای مقایسه در این زمینه می‌باشد. جدول ۲ برای بررسی هزینه اینورتر یازده¬سطحی پیشنهادی با پیک ولتاژ خروجی ۱۵۰۰ ولت و مقایسه هزینه ادوات الکترونیک قدرت با ساختار CHB متقارن ارائه شده است. با فرض اینکه اندازه هر کدام از منابع ولتاژ در ساختار یازده¬سطحی متقارن پیشنهادی برابر با V_{DC} باشد، این ساختار دارای ۱۱ سوییچ با مقادیر مختلف ولتاژ نامی V_{DC} الی $5V_{DC}$ می‌باشد. در حالیکه ساختار CHB متقارن حاوی ۲۰ کلید با ولتاژ نامی V_{DC} می‌باشد. با وجود اینکه مقدار ولتاژ مسدودکنندگی ساختار CHB متقارن، از ساختار پیشنهادی کمتر است و در نتیجه سوییچ‌های ارزان‌تری برای این ساختار مورد نیاز است، اما به دلیل تعداد سوییچ‌های بیشتر در ساختار CHB متقارن، هزینه سوییچ‌های ساختار پیشنهادی کمتر از ساختار CHB متقارن حاصل شده است. شایان ذکر است که در جدول ۲ هزینه درایور سوییچ‌ها ارایه نشده است که در صورت لحاظ کردن هزینه درایورها، ساختار پیشنهادی برتری بیشتری نسبت به CHB متقارن خواهد داشت. برای محاسبه هزینه سوییچ‌ها در جدول ۳ از اطلاعات سوییچ‌های ارایه شده در جدول ۲ استفاده شده است. از جدول ۳ می‌توان دریافت که ولتاژ مسدودکنندگی کل ساختار پیشنهادی صرفا با ساختار CHB متقارن تفاوت معناداری دارد که در جدول ۲ این امر مورد بررسی قرار گرفت و نشان داده شد که با وجود ولتاژ مسدودکنندگی کل بیشتر در ساختار پیشنهادی در مقایسه با ساختار CHB متقارن، تعداد کمتر سوییچ‌ها در ساختار پیشنهادی منجر به کاهش هزینه ساختار پیشنهادی در مقایسه با ساختار CHB متقارن می‌شود. ولتاژ مسدودکنندگی کل ساختار پیشنهادی در مقایسه با سایر ساختارهای ارایه شده اخیر در یک محدوده بوده و و تفاوت معناداری با آن‌ها ندارد.

جدول ۲- مقایسه هزینه ادوات الکترونیک قدرت ساختار پیشنهادی و ساختار CHB متقارن

مرجع قیمت ادوات	نام قطعه	سطح ولتاژ V_{CE}	سطح جریان $I_{C(100°C)}$	قیمت واحد (دلار)	پیشنهادی ۱۱ سطحی		CHB متقارن ۱۱ سطحی	
					تعداد	هزینه (دلار)	تعداد	هزینه (دلار)
www.mouser.com	IRG6B330UDPBF	۳۳۰ V	۴۰ A	۴/۳۴	۳	۱۳/۰۲	۲۰	۸۶/۸
	FGH40T70SHD	۷۰۰ V	۴۰ A	۴/۸۶	۲	۹/۷۲	-	-
	FGH40T100SMD	۱۰۰۰ V	۴۰ A	۵/۴	۲	۱۰/۸	-	-
	IHW40N135R3	۱/۳۵ KV	۴۰ A	۵/۷۷	۲	۱۱/۵۴	-	-
	RGC80TSX8RGC11	۱/۸ KV	۴۰ A	۷/۷۶	۲	۱۵/۵۲	-	-
	FFA40UP35STU (Diode)	۳۵۰ V	۴۰ A	۲/۱۹	۱	۲/۱۹	-	-
هزینه کل (دلار)						۶۲/۷۹		۸۶/۸

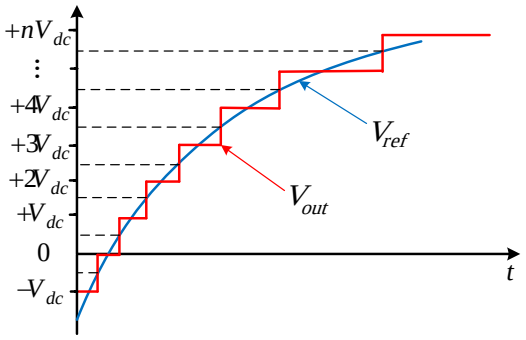
جدول ۳- پارامترهای مقایسه‌ای اینورترهای متقارن یازده سطحی

ساختار	تعداد سطوح	تعداد سوییچ	تعداد درایور	تعداد دیود	تعداد سوییچ‌ها با ولتاژ نامی مختلف					TBV(*V_{DC})	هزینه سوییچ‌ها (دلار)
					V_{DC}	$2V_{DC}$	$3V_{DC}$	$4V_{DC}$	$5V_{DC}$		
CHB متقارن	۱۱	۲۰	۲۰	۰	۲۰	۰	۰	۰	۰	۲۰	۸۶/۸
[۲۰] (۲۰۱۷)	۱۱	۱۶	۱۱	۰	۷	۵	۲	۰	۲	۳۳	۷۵/۲۴
[۲۲] (۲۰۱۷)	۱۱	۱۲	۹	۰	۲	۲	۲	۲	۴	۴۰	۷۱/۷۸
[۲۲] (۲۰۱۷)	۱۱	۱۲	۹	۰	۴	۲	۰	۲	۴	۳۲	۶۹/۶۶
[۲۸] (۲۰۱۸)	۱۱	۱۴	۱۴	۸	۶	۸	۰	۰	۰	۳۰	۸۲/۴۴
[۱۶] (۲۰۲۰)	۱۱	۱۱	۹	۱	۳	۴	۰	۰	۴	۳۲	۶۵/۶۹
پیشنهادی	۱۱	۱۱	۱۰	۲	۳	۲	۲	۲	۲	۳۳	۶۲/۷۹

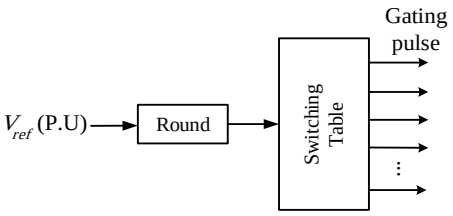
ندارد. در ضمن هزینه سوییچ در ساختار پیشنهادی کمتر از ساختارهای ارایه شده اخیر می‌باشد که این امر به مفهوم هزینه کمتر ساختار پیشنهادی در مقایسه با ساختارهای ارایه شده اخیر می‌باشد. شایان ذکر است به دلیل تعداد سوییچ کمتر ساختار پیشنهادی، طبیعتا در صورت لحاظ کردن هزینه درایورها، ساختار پیشنهادی برتری بیشتری نسبت به ساختارهای مشابه خواهد داشت.

۵- نتایج شبیه‌سازی

واحد پایه پیشنهادی برای حالت متقارن و نامتقارن در نرم‌افزار MATLAB/SIMULINK شبیه‌سازی شده است. روش‌های مختلفی برای مدولاسیون این اینورترهای چندسطحی وجود دارد که به دو دسته کلی تقسیم می‌شوند: ۱) روش کلیدزنی فرکانس پایه و ۲) روش‌های کلیدزنی فرکانس بالا. از روش‌های مدولاسیون فرکانس بالا می‌توان به PWM چندحامله و تکنیک‌های مدولاسیون بردار فضایی را نام برد و از روش‌های مدولاسیون فرکانس پایین می‌توان به مدولاسیون نردبانی، روش حذف هارمونیک فعال و روش حذف هارمونیک انتخابی اشاره نمود. ساختار پیشنهادی می‌تواند با هر یک از این روش‌ها مدولاسیون سازگاری مناسب داشته باشد [۲۹]. برای کنترل توپولوژی پیشنهادی از روش مدولاسیون نزدیک‌ترین سطح (NLM) استفاده شده است. همانطور که در شکل (۱۳-الف) نشان داده شده است در مدولاسیون نزدیک‌ترین سطح، مقدار سیگنال مرجع به نزدیک‌ترین مقدار صحیح تصویر می‌شود و بدین ترتیب سطوح پلکانی ولتاژ حاصل می‌شود. به عنوان مثال در صورتیکه مقدار لحظه‌ای ولتاژ مرجع در محدوده ۱/۵ الی ۲/۵ باشد، سطح ولتاژ $2V_{dc}$ تولید خواهد شد $\text{round}(1.5< x <2.5) = 2$. شکل (۱۳-ب) روش اجرای مدولاسیون نزدیک‌ترین سطح را نشان می‌دهد.



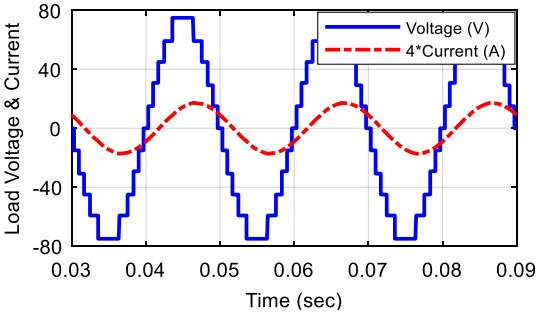
(الف)



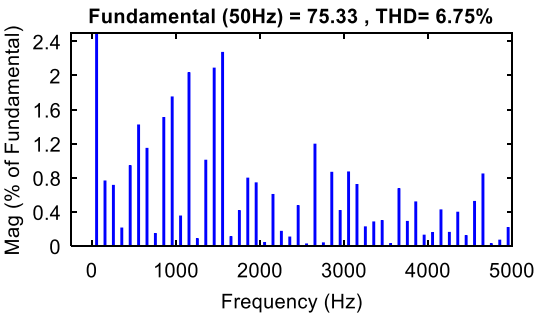
(ب)

شکل ۱۳- الف) مدولاسیون نزدیک‌ترین سطح، ب) روش اجرای مدولاسیون نزدیک‌ترین سطح

واحد پایه در حالت متقارن قادر است یازده سطح در خروجی تولید نماید. در این حالت مقادیر ولتاژ E_1 و E_2 یکسان و برابر ۱۵ ولت فرض شده است که حداکثر ولتاژ تولیدی ساختار در این حالت برابر ۷۵ ولت خواهد بود.



(الف)

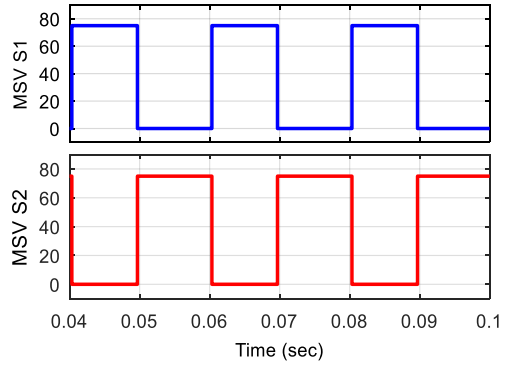


(ب)

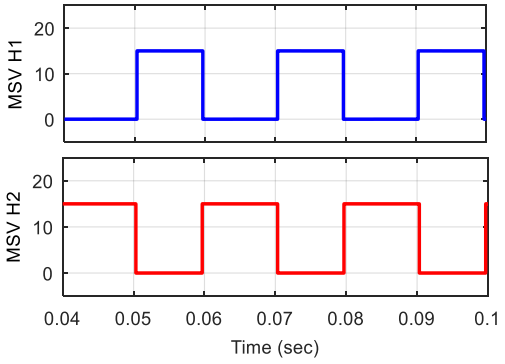
شکل ۱۴- شکل موج ولتاژ و جریان خروجی ساختار پایه پیشنهادی در حالت متقارن الف) نتایج شبیه‌سازی، ب) طیف هارمونیکی ولتاژ خروجی

شکل (۱۴) شکل موج ولتاژ و جریان واحد پایه را برای بار اهمی-سلفی سری با امپدانس $Z=15\Omega+30mH$ نشان می‌دهد. همانطور که شکل (۱۴) نشان می‌دهد شکل موج ولتاژ ۵۰ هرتزی و یازده سطحی بوده و گام‌های ولتاژ آن نیز برابر ۱۵ ولت است. شکل (۱۴-الف) شکل موج ولتاژ و جریان و شکل (۱۴-ب) طیف هارمونیکی ولتاژ خروجی را نشان می‌دهد. میزان THD پایین برای ولتاژ یازده سطحی تولیدی، عملکرد صحیح ساختار پیشنهادی و نیز روش مدولاسیون پیاده شده را نشان می‌دهد.

در شکل‌های (۱۵) و (۱۶) ولتاژ دو سر سوییچ‌های واحد پایه نمایش داده شده است. در شکل (۱۵-الف) ولتاژ دو سر سوییچ‌های S_1 و S_2، در شکل (۱۵-ب) ولتاژ دو سر سوییچ‌های H_1 و H_2 و در شکل (۱۶-الف) ولتاژ دو سر سوییچ‌های S_3 و S_4 و در شکل (۱۶-ب) ولتاژ دو سر سوییچ‌های S_5 و S_6 قابل رویت است. محاسبه حداکثر ولتاژ مسدودکنندگی هر سوییچ (MSV) و همچنین حداکثر ولتاژ مسدودکنندگی کل (TSV) بر اساس چنین شکل موج‌هایی امکان‌پذیر است.

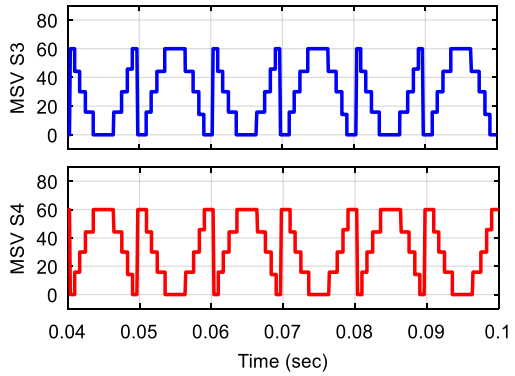


(الف)

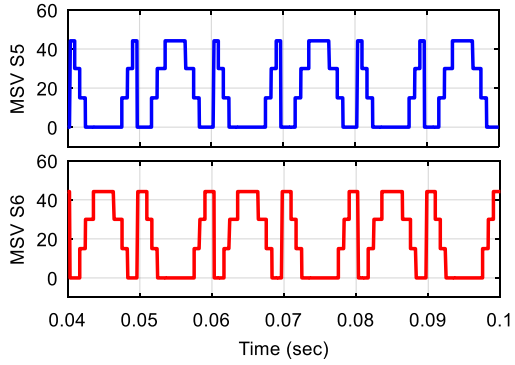


(ب)

شکل ۱۵- ولتاژ دو سر سوییچ‌های مختلف واحد پایه پیشنهادی؛ الف) سوییچ‌های S_1 و S_2 ، ب) سوییچ‌های H_1 و H_2



(الف)



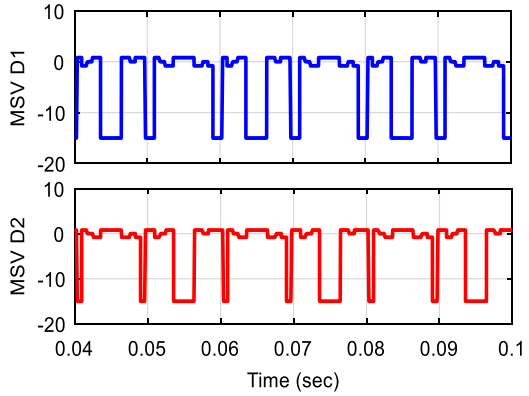
(ب)

شکل ۱۶- ولتاژ دو سر سوییچ‌های مختلف واحد پایه پیشنهادی؛ الف) سوییچ‌های S_3 و S_4 ، ب) سوییچ‌های S_5 و S_6

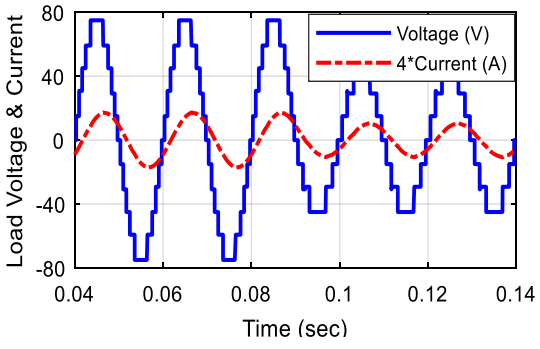
از نتایج این دو شکل می‌توان نتیجه گرفت که صرفا دو سوییچ S_1 و S_2 مجموع ولتاژ منابع ورودی را بایستی تحمل کنند و از این حیث واحد پایه پیشنهادی شرایط بهتری در مقایسه با ساختارهای مبتنی بر پل H دارد. با این وجود در صورت افزایش ولتاژ و تعداد منابع ورودی، مجموع ولتاژ منابع ورودی افزایش یافته و هزینه سوییچ‌های S_1 و S_2 افزایش خواهد یافت. در چنین شرایطی برای کاربردهای ولتاژ متوسط و حتی ولتاژ بالا می‌توان از اتصال آبشاری چندین واحد پایه استفاده نمود تا ولتاژ حداکثر قابل تحمل سوییچ‌ها در محدوده معقول باقی بماند.

در شکل (۱۷) ولتاژ دو سر دیودهای D_1 و D_2 نمایش داده شده است. عملکرد صحیح دیودها و روشن و خاموش شدن به موقع دیودها نقش کلیدی در عملکرد مناسب و دوطرفه ساختار پیشنهادی ایفا می‌کند. شکل (۱۸) نتایج مربوط به تغییر دینامکی اندیس مدولاسیون را نشان می‌دهد. در این شکل اندیس مدولاسیون از ۱ به ۰/۶ در بخش (الف) و از ۰/۶ به ۰/۲ در بخش (ب) به ازای بار $Z=15\Omega+30mH$ تغییر می‌کند. عملکرد صحیح ساختار پیشنهادی برای حالت دینامیکی و تغییر اندیس مدولاسیون در این شکل مشهود است.

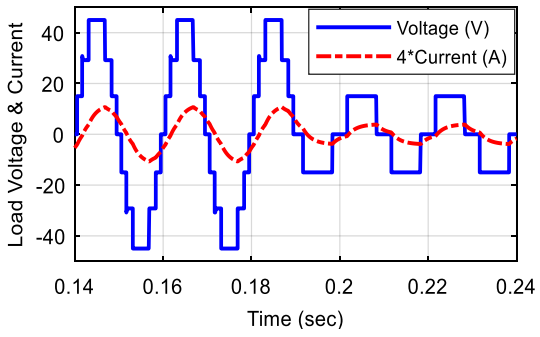
واحد پایه در حالت نامتقارن قادر است نوزده سطح در خروجی تولید نماید و به عبارتی دیگر بدون تغییر در مدار در مقایسه با حالت متقارن، هشت سطح دیگر به سطوح خروجی اضافه می‌شود. در این حالت مقادیر ولتاژ E_1 و E_2 یکسان نبوده و E_1 برابر ۸ ولت و E_2 برابر ۱۶ ولت فرض می‌شود که حداکثر ولتاژ تولیدی ساختار در این حالت برابر ۷۲ ولت خواهد بود. شکل موج ولتاژ و جریان واحد پایه برای بار اهمی-سلفی سری با امپدانس $Z=10\Omega+40mH$ در شکل (۱۹) نشان داده شده است.



شکل ۱۷- ولتاژ دو سر دیودهای واحد پایه پیشنهادی

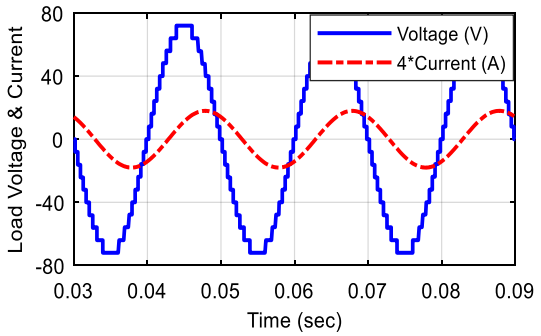


(الف)

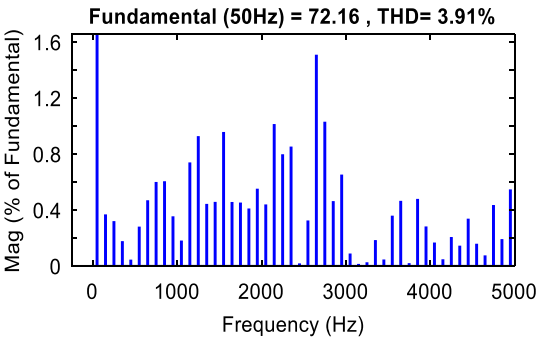


(ب)

شکل ۱۸- تغییر دینامیکی اندیس مدولاسیون الف) از ۱ به ۰/۶ و ب) از ۰/۶ به ۰/۲



(الف)

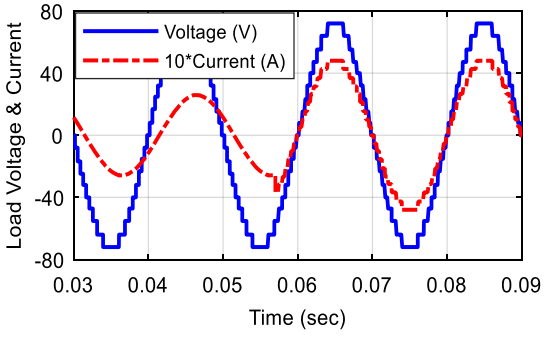


(ب)

شکل ۱۹- شکل موج ولتاژ و جریان خروجی ساختار پایه پیشنهادی در حالت نامتقارن الف) نتایج شبیه‌سازی، ب) طیف هارمونیکی ولتاژ خروجی

مطابق این شکل، ولتاژ خروجی دارای نوزده سطح با گام‌های برابر ۸ ولتی و نیز فرکانس آن برابر با ۵۰ هرتز است. شکل (۱۹-الف) نتایج شبیه‌سازی و شکل (۱۹-ب) طیف هارمونیکی ولتاژ خروجی را نشان می‌دهد. اندازه THD ولتاژ خروجی به حدی کوچک حاصل شده است که می‌توان این اینورتر را با سک فیلتر بسیار کوچک به شبکه و یا بار متصل نمود.

شکل (۲۰) هم نتایج مربوط ب تغییر دینامکی بار را نشان می‌دهد. در این بار خروجی از $Z=25\Omega+40mH$ به $Z=15\Omega$ تغییر می‌کند.. ساختار پیشنهادی با تغییر دینامیکی بار خروجی به درستی عمل نموده و مشکلی در عملکرد آن به وجود نمی‌آید.



شکل ۲۰- تغییر دینامیکی بار

از شکل‌های ولتاژ و جریان ارایه شده مشخص است که با وجود استفاده از دیود در ساختار پیشنهادی، هیچ‌گونه اسپایک ولتاژی ناشی از وجود دیود در مدار وجود ندارد و ساختار به درستی توانایی تغذیه بار با ضریب توان‌های پایین را دارا می‌باشد.

۶- نتیجه‌گیری

در این مقاله یک ساختار اینورتر چندسطحی جدید با داشتن مزایای همچون تعداد ادوات سوئیچینگ کم و همچنین تعداد منابع ولتاژ DC محدود ارائه شده است. واحد پایه ساختار پیشنهادی با استفاده از یازده سوئیچ قادر است در حالت متقارن یازده سطح و در حالت نامتقارن نوزده سطح را در خروجی تولید کند. دو حالت مختلف از انتخاب مقدار ولتاژ DC برای ساختار پیشنهادی ارائه شده است که در هر دو حالت، با استفاده از خازن‌های سری نیاز به تنوع منابع ولتاژ DC به دو مورد کاهش می‌یابد. روش استفاده از خازن‌های سری در ساختار پیشنهادی برای به حداقل رساندن تعداد منابع مورد نیاز توضیح داده شده است. ساختار پیشنهادی قابلیت تعمیم به سطوح ولتاژ بالاتر را دارا می‌باشد. مقایسه دقیق ساختار پیشنهادی با سایر ساختارهای پیشنهاد شده اخیر، مزیت ساختار پیشنهادی را تأیید می‌کند. عملکرد ساختار پیشنهادی در دو حالت متقارن و نامتقارن مورد بررسی قرار گرفته و صحت عملکرد ساختار پیشنهادی نشان داده شده است.

مراجع

[1] A. Seifi, M. Hosseinpour, A. Dejamkhooy, and F.Sedaghati, “Novel Reduced Switch-Count Structure for Symmetric/Asymmetric Cascaded Multilevel Inverter”, Arabian Journal for Science and Engineering, Vol. 45, 2020, pp. 6687–6700.

[2] M. Hosseinpour, A. Seifi, and E. Feyz, “A New Symmetric/Asymmetric Multilevel Inverter Based on Cascaded Connection of Sub-Multilevel Units Aiming Less Switching Components and Total Blocked Voltage”, Journal of Telecommunication, Electronic and Computer Engineering (JTEC), Vol. 12, No. 1, 2020, pp.53-62.

[۳] حسن فشکی فراهانی، "ارائه یک ساختار جدید برای اینورترهای منبع ولتاژ چند سطحی تک فاز بر مبنای کاهش تعداد کلیدهای نیمه‌هادی"، نشریه مدل‌سازی در مهندسی، دوره ۱۶، شماره ۵۲، بهار ۱۳۹۷، صفحه ۹۷-۱۰۸.

[4] A. Seifi, M. Hosseinpour, and A. Dejamkhooy, “A Switch-Source Cell based Cascaded Multilevel Inverter Topology with Minimum Number of Power Electronics Components”, Transactions of the Institute of Measurement and Control, 2020, Online Ready.

[۵] محمد رضا بنائی و حسین اژدرفائقی بناب، "ارائه، بررسی و مقایسه مبدل‌های dc-dc جدید تک کلیده با ضریب بهره بالا و تنش ولتاژ کم دو سر کلید "، نشریه مدل‌سازی در مهندسی، دوره ۱۷، شماره ۵۶، بهار ۱۳۹۸، صفحه ۱۰-۱.

[6] A. Seifi, M. Hosseinpour, A. Dejamkhooy, F. Sedaghati, E. Ostad, “A New Generalized Multilevel Inverter Topology Based on Cascaded Connection of Basic Units”, International Power System Conference (PSC) , December 2019, pp. 355-360.

[7] S. Yousofi-Darmian, and S. Masoud Barakati, “A new asymmetric multilevel inverter with reduced number of components”, IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 8, No. 4, 2020, pp. 4333-4342.

[8] E. Samadaei, S. A. Gholamian, A. Sheikholeslami, and J. Adabi, “An envelope type (E-type) module: Asymmetric multilevel inverters with reduced components”, IEEE Transaction on Industrial Electronics, Vol. 63, No. 11, November 2016, pp. 7148–7156.

[9] E. Samadaei, A. Sheikholeslami, S. A. Gholamian, and J. Adabi, “A square T-type (ST-Type) module for asymmetrical multilevel inverters”, IEEE Transaction on Industrial Electronics, Vol. 33, No. 2, February 2018, pp. 987–996.

[10] K. P. Panda, S. S. Lee, and G. Panda, “Reduced switch cascaded multilevel inverter with new selective harmonic elimination control for standalone renewable energy system”, IEEE Transactions on Industry Applications, Vol. 55, No. 6, 2019, pp. 7561-7574.

[11] S. H. Majareh Latifi, F. Sedaghati, M. Hosseinpour, and S. R. Mousavi-Aghdam, “Design, analysis and implementation of a generalised topology for multilevel inverters with reduced circuit devices”, IET Power Electronics, Vol. 12, No. 14, 2019, pp. 3724-3731.

[12] M. A. Hosseinzadeh, M. Sarebanzadeh, M. Rivera, E. Babaei, and P. Wheeler, “A Reduced Single-Phase Switched-Diode Cascaded Multilevel Inverter”, IEEE Journal of Emerging and Selected Topics in Power Electronics, Early Access, 2020.

[13] M. Hosseinpour, A. Seifi, A. Dejamkhooy, and F. Sedaghati, “Switch count reduced structure for symmetric bi-directional multilevel inverter based on switch-diode-source cells”, IET Power Electronics, Vol. 13, No. 8, 2020, pp. 1675-1686.

[14] M. Hosseinpour, A. Seifi, and M. M. Rahimian, “A bidirectional diode containing multilevel inverter topology with reduced switch count and driver”, International Journal of Circuit Theory and Applications, Vol. 48, No. 10, 2020, pp. 1766-1785.

[15] J. S. Mohamed Ali, R. Sh. Alishah, N. Sandeep, S. H. Hosseini, E. Babaei, K. Vijayakumar, and U. R. Yaragatti, “A new generalized multilevel converter topology based on cascaded connection of basic units”, IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 7, No. 4, 2018, pp. 2498-2512.

[16] Z. Sarwer, M. D. Siddique, A. Iqbal, A. Sarwar, and S. Mekhilef, “An improved asymmetrical multilevel inverter topology with reduced semiconductor device count”, International Transactions on Electrical Energy Systems, Vol. 30, No. 11, 2020, p.e12587.

[17] M. R. J. Oskuee, M. Karimi, S. N. Ravadanegh and G. B. Gharehpetian, “An Innovative Scheme of Symmetric Multilevel Voltage Source Inverter with Lower Number of Circuit Devices,” IEEE Transaction on Industrial Electronics, Vol. 62, No. 11, 2015, pp. 6965-6973.

[18] R. S. Alishah, S. H. Hosseini, E. Babaaei and M. Sabahi, “A New General Multilevel Converter Topology Based on Cascaded Connection of Sub-Multilevel Units with Reduced Switching Components, DC Sources and Blocked Voltage by Switches,” IEEE Transactions on Industrial Electronics, Vol. 63, No. 11, 2016, pp. 7157–7164.

[19] M. Jayabalan, B. Jeevarathinam and T. Sandirasegarane, “Reduced switch count pulse width modulated multilevel inverter,” IET Power Electronics, Vol. 10, No. 1, 2017, pp. 10-17.

[20] J. S. Mohamed Ali, R. Sh. Alishah, and V. Krishnasamy, “A new generalized multilevel converter topology with reduced voltage on switches, power losses, and components”, IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 7, No. 2, 2018, pp. 1094-1106.

[21] H. Samsami, A. Taheri, and R. Samanbakhsh, “New bidirectional multilevel inverter topology with staircase cascading for symmetric and asymmetric structures”, IET Power Electronics, Vol. 10, No. 11, 2017, pp. 1315-1323.

[22] M. D. Siddique, S.Mekhilef, N. M.Shah, and M. A. Memon, “Optimal design of a new cascaded multilevel inverter topology with reduced switch count”, IEEE Access, Vol. 7, 2019, pp. 24498-24510.

[23] R. Sh. Alishah, S. H.Hosseini, E. Babaei, and M. Sabahi, “Optimal design of new cascaded switch-ladder multilevel inverter structure”, IEEE Transactions on Industrial Electronics, Vol. 64, No. 3, 2016, pp. 2072-2080.

[24] E. Samadaei, S. A. Gholamian, A. Sheikholeslami, and J. Adabi, “An envelope type (E-Type) module: asymmetric multilevel inverters with reduced components”, IEEE Transactions on Industrial Electronics, Vol. 63, No. 11, 2016, pp. 7148-7156.

[25] S. Peddapati, “A generalized symmetrical MLI topology with improved commutation”, Electrical Engineering, Vol. 102, No. 4, 2020, pp.2617-2635.

[26] M. D. Siddique, S. Mekhilef, N. M.Shah, A.Sarwar, A.Iqbal, and M. A Memon, “A new multilevel inverter topology with reduce switch count”, IEEE Access, Vol. 7, 2018, pp. 58584-58594.

[27] S. T.Meraj, K.Hasan, and A. Masaoud, “A novel configuration of cross-switched T-type (CT-type) multilevel inverter”, IEEE Transactions on Power Electronics, Vol. 35, No. 4, 2019, pp. 3688-3696.

[28] C. Dhanamjayulu, and S. Meikandasivam, “Implementation and comparison of symmetric and asymmetric multilevel inverters for dynamic loads”, IEEE Access, Vol. 6, 2017, pp. 738-746.

[۲۹] مجید حسین‌پور و علی سیفی، "ارایه یک ساختار جدید برای مبدل چندسطحی متقارن به منظور کاهش تعداد سوییچ و هزینه مبدل"، نشریه مدلسازی در مهندسی، دوره ۱۸، شماره ۶۰، بهار ۱۳۹۹، صفحه ۷۱-۸۵.