معرفی ساختار، مدل‌سازی و تحلیل ترانزیستوربدون پیوند نامتجانس $Si/Si_{1-x}Ge_x$

ریحانه اجلالی[۱]، سید سعید حاجی نصیری[۲،*]، علیرضا کاشانی نیا[۳] و آرش دانا[۴]

اطلاعات مقاله

نوع مقاله: پژوهشی
دریافت مقاله: ۱۴۰۱/۰۳/۰۳
بازنگری مقاله: ۱۴۰۱/۰۸/۲۵
پذیرش مقاله: ۱۴۰۱/۰۹/۰۵

واژگان کلیدی:
ترانزیستور بدون پیوند، پیوند نامتجانس، $Si/Si_{1-x}Ge_x$، فرکانس رادیویی، نویز فرکانس بالا، هدایت انتقالی، فرکانس قطع، عدد نویز.

چکیده

در ترانزیستورهای بدون پیوند، آلایش سورس-کانال-درین از یک نوع و دریک سطح است؛ بنابراین فرآیند ساخت ترانزیستورهای بدون پیوند نسبت به ترانزیستورهای مد وارونگی آسان‌تر است. علیرغم این مزیت، کاهش هدایت انتقالی ترانزیستوربدون پیوند به دلیل کاهش سرعت حامل، عملکرد این نوع ترانزیستور را برای کاربردهای آنالوگ، فرکانس رادیویی و در نویز فرکانس بالا با مشکل مواجه می‌کند. روش مؤثری که بدون کاهش بازده، هدایت انتقالی ترانزیستور بدون پیوند را افزایش می‌دهد، استفاده از ساختار نامتجانس در کانال است. در این مقاله استفاده از مواد Si و $Si_{1-x}Ge_x$ در کانال برای افزایش هدایت انتقالی ترانزیستور بدون پیوند پیشنهاد و مدل‌سازی می‌شود. ساختار ویژه ترانزیستور پیشنهادی که $JL\text{-}Si/Si_{1-x}Ge_x$ نامیده می‌شود، باعث حذف پراکندگی بین دره‌ای مابین دره‌های Δ_2 و Δ_4 شده و این موضوع باعث افزایش سرعت حرکت الکترون و به دنبال آن افزایش چشمگیر هدایت انتقالی می‌شود. نتایج مدل‌سازی ترانزیستور نامتجانس $JL\text{-}Si/Si_{1-x}Ge_x$ پیشنهادی، بیشینه هدایت انتقالی را ۲,۵ mS/um نشان می‌دهد که نسبت به ترانزیستور مشابه سیلیکونی JL-Si، ۵۰٪ افزایش‌یافته است. همچنین محاسبات مستخرج از مدل‌سازی نشان می‌دهد که ترانزیستور $JL\text{-}Si/Si_{1-x}Ge_x$ پیشنهادی دارای فرکانس قطع بهره واحد ۷۵۰ گیگاهرتز، عدد نویز کمینه ۰,۶۵ دسی‌بل و بهره در دسترس ۲۸,۵ دسی‌بل است. پارامترهای فرکانس قطع، عدد نویز حداقل و بهره در دسترس ترانزیستور $JL\text{-}Si/Si_{1-x}Ge_x$ پیشنهادی در مقایسه با ترانزیستور JL-Si با ابعاد مشابه به ترتیب، ۳۴٪، ۶۲.۵٪ و ۵۳٪ بهبود یافته است. ترانزیستور $JL\text{-}Si/Si_{1-x}Ge_x$ پیشنهادی می‌تواند جایگزین مناسبی برای ترانزیستورهای متداول مد وارونگی در کاربردهای آنالوگ و فرکانس رادیویی باشد.

۱-مقدمه

با پیشرفت فنّاوری، ابعاد ترانزیستور اثر میدان فلز-اکسید-نیمه‌هادی MOSFET[۵] به زیرمیکرومتر رسیده است. با کوچک‌سازی ترانزیستورMOSFET، عرض ناحیه تخلیه درسمت درین افزایش می‌یابد، بنابراین اثرات کانال کوتاه پدید می‌آید[۱-۵]. علاوه براین، در ترانزیستورهای مد وارونگی IM[۶] نانومقیاس آلایش کانال را ذاتی درنظرمی‌گیرند، بنابراین تغییر آلایش از سورس به کانال

*پستالکترونیکنویسندهمسئول مکاتبات: s.nasiri@qiau.ac.ir
۱. گروه مهندسی برق، واحد تهران مرکزی، دانشگاه آزاد اسلامی، تهران، ایران
۲. گروه مهندسی برق، واحد قزوین، دانشگاه آزاد اسلامی، قزوین، ایران
۳. گروه مهندسی برق، واحد تهران مرکزی، دانشگاه آزاد اسلامی، تهران، ایران
۴. گروه مهندسی برق، واحد تهران مرکزی، دانشگاه آزاد اسلامی، تهران، ایران

[5] Metal Oxide Semiconductor Field Effect Transistor
[6] Inversion Mode

https://doi.org/10.22075/jme.2022.27168.2274

ذاتی و از درین به کانال ذاتی در فرآیند ساخت این ترانزیستورها، بسیار پیچیده است و استفاده از فن باز پخت حرارتی میلی‌ثانیه‌ای[۷] را ناگزیرمی‌سازد. درنتیجه هزینه‌های ساخت ترانزیستورهای مدوارونگی نانومقیاس افزایش می‌یابد [۴-۷]. برای رفع این مشکل ترانزیستور اثر میدان بدون پیوند[۸]JL-FET پیشنهادشده است [۷-۸]. در این ترانزیستور، گرادیان تراکم ناخالصی در امتداد افزاره، سورس-کانال-درین حذف‌شده است. درساخت ترانزیستور JL-FET استفاده ازضخامت بدنه نازک نکته کلیدی است، زیرا سبب تخیله کامل حامل‌ها ازکانال درحالت خاموش ترانزیستور می‌شود[۴و ۵ و ۷-۹]. در افزاره‌های بدون پیوند قابلیت حرکت حامل درکانال با پراکندگی ناشی از ناخالصی محدود می‌شود که دلیل این موضوع چگالی بالای ناخالصی درنواحی سورس-کانال-درین است [۵و ۷و ۱۰و۱۱]. پراکندگی ناشی از ناخالصی کانال در ترانزیستورهای JL، هدایت انتقالی,G_m[۹], این ترانزیستور را نسبت به ترانزیستورIM با ابعاد مشابه کاهش می‌دهد. همچنین کاهش هدایت انتقالی منجر به کاهش فرکانس قطع بهره واحد,f_T[۱۰], ترانزیستورهای بدون پیوند می‌شود.

در راستای بهبود پارامترهای آنالوگ وفرکانس رادیویی ترانزیستورهایJL-FET پژوهش‌های محدودی صورت گرفته است [۱۲-۱۵].

در مرجع ۱۲ باروا و همکاران [۱۱]DMG-SP را برای بهبود پارامترهای آنالوگ و فرکانس رادیویی پیشنهاد کرده‌اند. نتایج شبیه‌سازی آن‌ها نشان می‌دهد استفاده از حائل با ضریب دی‌الکتریک بالا[۱۲]منجر به افزایش میدان‌های الکتریکی فرینجینگ[۱۳]می‌شود که افزایش آن از یک‌سو منجر به افزایش هدایت انتقالی و از سوی دیگر سبب افزایش C_g[14] و کاهش فرکانس قطع بهره واحدمی‌شود[۱۲]. در مرجع ۱۳ روی و همکاران اهمیت لایه‌های حائل دیواره‌ای را بر روی عملکرد آنالوگ وفرکانس رادیویی ترانزیستور دو گیتی سیلیکونی بدون پیوند بررسی کرده‌اند. افزایش ضریب دی‌الکتریک حائل[۱۵] منجر به بهبود هدایت انتقالی و گین ذاتی[۱۶]می‌شود. علاوه براین، افزایش ضریب دی‌الکتریک حائل، فرکانس قطع بهره واحد و بیشینه فرکانس نوسان،[۱۷]f_{max}، را کاهش می‌دهد[۱۳].

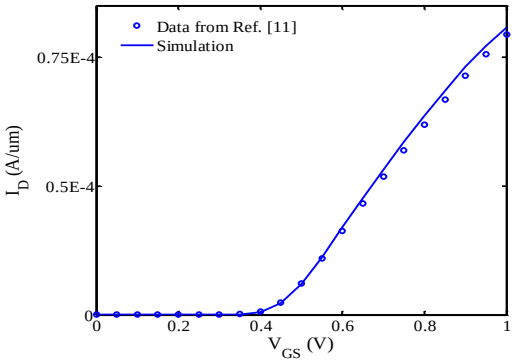
در مرجع ۱۴ قوش و همکاران توانسته‌اند با بررسی تأثیر چیدمان حائل و آلایش کانال روی ترانزیستورDG-JLFET به مقادیر هدایت انتقالی ۳۵۰ میکروزیمنس و فرکانس قطع ۲۴۰ گیگاهرتز در طول کانال ۲۰ نانومتر دست یابند. بررسی آن‌ها نشان می‌دهد استفاده از حائل با ضریب دی‌الکتریک بالا منجر به کاهش فرکانس قطع بهره واحد و بیشینه فرکانس نوسان شده است[۱۴].

در مرجع ۱۵ اصلاح پروفایل باند انرژی به‌واسطه قرار دادن سیلیکون به‌جای بخشی از ترانزیستور در جهت بهبود مشخصات الکتریکی افزاره [۱۸]CSOI-JLT توسط انوری فرد و همکاران پیشنهادشده است. ساختار پیشنهادی در مرجع ۱۵ پیچیدگی ساخت را افزایش داده است [۱۵].

درواقع سرعت حرکت حامل‌ها درمواد III-V بیشتر از Si است که استفاده از مواد این گروه در ترانزیستورها به‌خودی‌خود باعث افزایش هدایت انتقالی ترانزیستورهای بدون پیوند می‌شود که البته پیچیدگی و هزینه ساخت ترانزیستورهای بدون پیوند با مواد III-V بسیار بالا است. علیرغم تمامی تلاش‌هایی که در این حوزه انجام‌شده است استفاده از Si به دلیل تطابق با فناوری ساخت CMOS ارجحیت به‌مراتب بیشتری نسبت به استفاده از مواد دیگر دارد. در این مطالعه با حفظ Si به عنوان ماده اصلی ترانزیستور پیشنهادی، هدایت انتقالی بهبود چشمگیری یافته است. هدف اصلی این مقاله استفاده از نیمه‌هادی‌های Si و $Si_{1-x}Ge_x$ به عنوان ماده کانال ترانزیستور دو گیتی بدون پیوند برای بهبود پارامترهای آنالوگ، فرکانس رادیویی و نویز فرکانس بالای ترانزیستور در مقایسه با ترانزیستور دو گیتی سیلیکونی بدون پیوند است. ترانزیستور همگون[۱۹]Si و همچنین ترانزیستور ناهمگون[۲۰] با ساختار $Si/Si_{1-x}Ge_x$ به‌عنوان ماده کانال ترانزیستور بدون پیوند برای بهبود پارامترهای شایستگی آنالوگ و فرکانس رادیویی پیشنهاد می‌شود. در ترانزیستور $Si/Si_{1-x}Ge_x$ ماده با شکاف باند بیشتر $Si_{1-x}Ge_x$ در میانه کانال و ماده با شکاف باند کمتر

[7] Microwave annealing
[8] Junctionless Field Effect Transistor (JL-FET)
[9] Transconductance (G_m)
[10] Cut-off frequency (f_T)
[11] Dual-material gate along with high-k spacer dielectric
[12] High-k spacer
[13] Fringing electric fields
[14] Gate capacitance
[15] Spacer dielectric constant
[16] Intrinsic gain
[17] Maximum oscillation frequency (f_{max})
[18] Common silicon-on-insulator junctionless
[19] Homostructure
[20] Hetrostructure

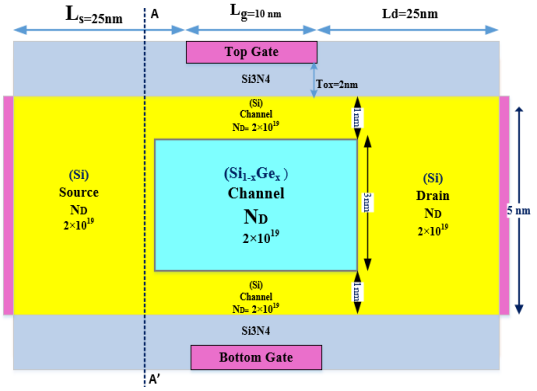
Si زیر گیت قرارگرفته است. نتایج مدل‌سازی نشان می‌دهد سرعت حرکت الکترون در Si تحت کرنش ترانزیستور JL-$Si/Si_{1-x}Ge_x$ بزرگ‌تر از این مقدار در Si بدون کرنش در ترانزیستور JL-Si است. بنابراین بیشینه هدایت انتقالی[۲۱]، ترانزیستور پیشنهادی افزایش یافته و منجر به بهبود پارامترهای آنالوگ، فرکانس رادیویی و کاهش نویز فرکانس بالای آن می‌شود. مدل های استفاده شده برای شبیه‌سازی در این مقاله، با مقایسه بین منحنی مشخصه ترانزیستور شبیه سازی شده و منحنی مشخصه ترانزیستور بدون پیوند گزارش شده در مرجع ۱۷ کالیبره شده است، شکل (۱) را مشاهده بفرمایید. ترانزیستور گزارش شده در مرجع ۱۷، که ما شبیه سازی هایمان را با آن کالیبره کرده ایم دارای ضخامت بدنه ۱۰نانومتر، طول گیت ۴۰ نانومتر و ضخامت اکسید گیت ۱ نانومتر است. همچنین از سیلیکون به عنوان ماده درین-سورس-کانال و از SiO_2 به عنوان اکسید گیت در ترانزیستور گزارش شده استفاده شده است [۱۷]. سایر مشخصات ترانزیستوری که شبیه‌سازی‌ها با آن کالیبره شده است در مرجع ۱۷ آمده است. چنانچه در شکل (۱) مشهود است منحنی مشخصه شبیه‌سازی شده در این مطالعه تطابق بسیار خوبی با منحنی مشخصه گزارش شده در مرجع ۱۷ دارد که نشان‌دهنده اطمینان از اعتبار مدل های استفاده شده در شبیه‌سازی است.



شکل ۱- منحنی مشخصه افزاره گزارش شده در مرجع ۱۷ و افزاره شبیه سازی شده در این مقاله. پارامترهای ساختاری افزاره شبیه سازی شده در این مطالعه با افزاره گزارش شده در مرجع ۱۷ یکسان است. سیلیکون به عنوان ماده سورس، درین و کانال افزاره گزارش شده در مرجع ۱۷و افزاره شبیه‌سازی شده در این مطالعه در نظر گرفته شده است. شرایط بایاس VDS=50mV است.

۲- ساختار ترانزیستور پیشنهادی و مدل‌های مورد استفاده

شکل (۲) ساختار ترانزیستور پیشنهادی را نشان می‌دهد. در این ترانزیستور آلایش سورس، کانال و درین یکسان و از نوع دهنده با مقدار $۲\times۱۰^{۱۹}cm^{-3}$ درنظر گرفته شده‌اند. طول کانال و ضخامت بدنه به ترتیب ۱۰ نانومتر و ۵ نانومتر هست. طول درین و سورس ۲۵ نانومتر است و Si_3N_4به‌عنوان عایق گیت باضخامت۲ نانومتر درنظر گرفته شده است. تابع کارگیت ۵,۱ الکترون‌ولتاستو با در نظر گرفتن $p^+polysilicon$ به‌عنوان الکترود گیت حاصل می‌شود [۱۳]. ضخامت لایه‌هایSiو $Si_{1-x}Ge_x$ هرکدام به ترتیب ۱ نانومتر و ۳ نانومتر در نظر گرفته برای مدل‌سازی ترانزیستور پیشنهادی از نرم‌افزارسیلواکو- اطلس-دو بعدی[۲۲] استفاده شده است. شده است.



شکل ۲- ساختار ترانزیستور ناهمگون پیشنهادی JL-$Si/Si_{1-x}Ge_x$

تغییرات سریع میدان الکتریکی بزرگ در ترانزیستورهای نانومقیاس منجر به مؤلفه اضافی جریان در اثر تغییر چگالی حامل‌ها می‌گردد لذا برای در نظر گرفتن این اثر مدل انتقال هیدرودینامیک در نظر گرفته‌شده است[۱۶]. همچنین مدل پتانسیل کوانتومی بوهم[۲۳]BQP برای در نظر گرفتن اثر تحدیدکوانتومی[۲۴] استفاده می‌شود [۱۷]. به‌علاوه با توجه به چگالی آلایش بالا در افزاره پیشنهادی از مدل نازک شدگی شکاف باند[۲۵] استفاده می‌شود [۱۸]. درترانزیستور پیشنهادی برای در نظر گرفتن وابستگی قابلیت حرکت به میدان عمودی، چگالی ناخالصی[۲۶] و دما مدل لامبارد[۲۷]CVT درنظر گرفته می‌شود[۱۹]. مدل بازترکیب شاکلی- رید- هال[۲۸]SRH برای تعیین دقیق میزان جریان نشتی در نظر گرفته می‌شود[۱۲].

[21] G_{mmax}
[22] Two-Dimensional Silvaco-Atlas
[23] Bohm Quantum Potential (BQP)
[24] Quantum Confinement

[25] Doping concentration
[26] Doping concentration
[27] Lombard Model(CVT)
[28] *Shockley*-Read-*Hall* model (SRH)

همچنین در ترانزیستورهای بدون پیوند همپوشانی بین باند ظرفیت کانال و باند هدایت درین درشرایط بایاس حالت خاموش موجب تونل زنی الکترون از باند ظرفیت کانال به باند هدایت درین می‌شود. حفره‌های تولید شده در اثر پدیده تونل زنی، سبب تشکیل ناحیه نوع p در کانال افزاره می‌شوند و ترانزیستور دوقطبی پارازیتی NPN شکل می‌گیرد. این موضوع باعث افزایش جریان خاموش می‌شود. برای در نظر گرفتن پدیده تونل زنی در مدل‌سازی، مدل تونل زنی نوار به نوار غیر محلی[۲۹] استفاده می‌شود [۲۰و۲۱]. مدل نوارهای انرژی برای لایه $Si_{1-x}Ge_x$ بر اساس مراجع موجود، به صورت جدول ۱ در نظر گرفته می‌شود [۲۲و ۲۳].

جدول ۱-ویژگی‌های Si بدون کرنش و Si تحت کرنش

پارامترها	معادله استفاده‌شده
الکترون‌خواهی	$X_{strained\text{-}si}= 4.05+0.58X$ $X_{Si1\text{-}xGex}=4.05-0.05x$
شکاف باند	$E_{g,strained\text{-}Si}=1.12-X(0.31+0.53X)$ $E_{g,si1\text{-}xGeX}=1.12-0.42X$

روابط ۱ تا ۶، فیزیک بنیادی ترانزیستور پیشنهادی را تشریح می‌کنند. رابطه ۱ معادله پواسون را که مشخص‌کننده پروفایل الکترواستاتیک کانال هست نشان می‌دهد. روابط ۲ تا ۶ معادلات انتقال حامل را برای مدل‌های هیدرودینامیک و BQP نشان می‌دهند [۱۸].

$$div(\varepsilon\nabla\psi) = -(N_D + p - N_A - n) \quad (۱)$$

$$\partial n/\partial t = (1/q)div(\overrightarrow{J_n}) + G_n - R_n \quad (۲)$$

$$\partial p/\partial t = (1/q)div(\overrightarrow{J_p}) + G_p - R_p \quad (۳)$$

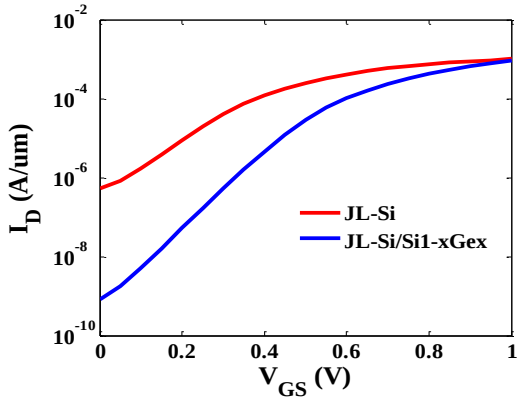
$$\overrightarrow{J_n} = qD_n\nabla(n) - q\mu_n n\nabla(\psi - Q) + qnD_n^T\nabla T_n \quad (۴)$$

$$\overrightarrow{J_p} = -qD_p\vec{\nabla}(P) - q\,p\mu_p\nabla(\psi - Q) - qpD_P^T\nabla T_P \quad (۵)$$

$$Q = -\frac{\hbar^2}{2}\gamma\frac{\tilde{\nabla}\left[M^{-1}\tilde{\nabla}(n^\alpha)\right]}{n^\alpha} \quad (۶)$$

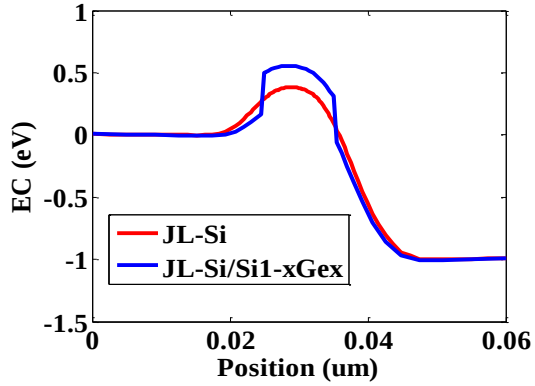
۳- مدل‌سازی و تحلیل افزاره

شکل (۳) مشخصه I-V ترانزیستور پیشنهادی با ساختار ناهمگون JL-Si/$Si_{1-x}Ge_x$ و ساختار همگون JL-Si را نمایش می‌دهد. پس از مدل‌سازی ساختار، با مقایسه منحنی‌ها در شکل (۲) مشاهده می‌شود افزاره JL-Si/Si_{1-} $_xGe_x$ جریان حالت خاموش کمتری نسبت به افزاره JL-Si دارد.



شکل ۳- منحنی مشخصه ورودی ترانزیستورهای مدل‌سازی شده به‌عنوان تابعی از V_{GS}. شرایط بایاس V_{DS}=1 V است.

برای درک بهتر این موضوع شکل‌های (۴) و (۵) به ترتیب نوار هدایت و چگالی الکترون‌ها را در امتداد افزاره‌های پیشنهادی در حالت خاموش نشان می‌دهند. همان‌گونه که در شکل (۴) مشاهده می‌شود، نوار هدایت ترانزیستور JL-Si/$Si_{1-x}Ge_x$ در انرژی‌های بالاتری توزیع شده است.

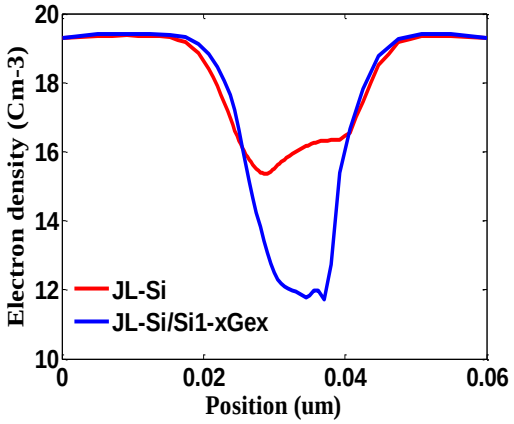


شکل۴- نوار هدایت به‌صورت افقی در سرتاسر ترانزیستورهای مدل‌سازی شده با طول کانال ۱۰ نانومتر برای فاصله ۲,۵ نانومتر از سطح برای شرایط بایاس خاموش (V_{DS}=1V V_{GS}=0V)

در نتیجه با توجه به شکل (۵)، چگالی الکترون‌های میانه کانال برای ترانزیستور JL-Si/$Si_{1-x}Ge_x$ کمتر از چگالی

[29] Non local BTBT

الکترون‌های میانه کانال برای ساختار همگون JL-Si است، به عبارتی در ترانزیستور ناهمگون پیشنهادی، کنترل گیت بر کانال افزاره افزایش‌یافته و در نتیجه در حالت خاموش

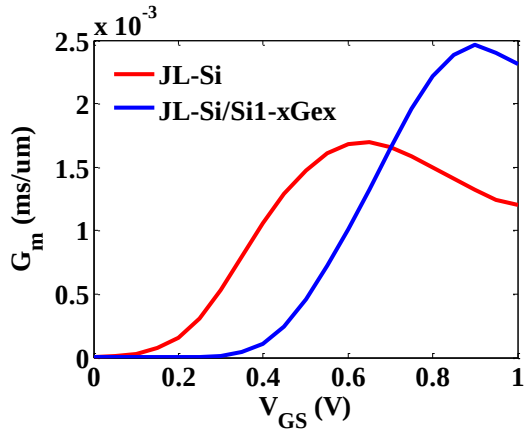


میانه کانال به‌خوبی از الکترون‌ها تخلیه شده و جریان حالت خاموش به‌طور قابل ملاحظه‌ای کاهش یافته است.

شکل ۵- چگالی الکترون‌ها به‌صورت افقی در سرتاسر ترانزیستورهای مدل‌سازی شده با طول کانال ۱۰ نانومتر برای فاصله ۲,۵ نانومتر از سطح برای شرایط بایاس خاموش (V_{GS}=0V, V_{DS}=1V)

درواقع استفاده از ساختار نامتجانس در کانال ترانزیستور پیشنهادی سبب می‌شود پتانسیل سطحی در کانال افزایش یافته و زیر گیت به‌خوبی از الکترون‌ها تخلیه شود.

هدایت انتقالی، $G_m=\partial I_D/\partial v_{DS}$، ترانزیستور یکی از مهم‌ترین مشخصه‌های الکتریکی برای تعیین پارامترهای شایستگی افزاره در کاربردهای آنالوگ و فرکانس رادیویی است و بیانگر توانایی ترانزیستور در تبدیل ولتاژ به جریان است. شکل (۶) هدایت انتقالی ترانزیستورهای JL-Si و JL-Si/$Si_{1-x}Ge_x$ را به‌عنوان تابعی از ولتاژ گیت سورس در V_{DS} برابر یک ولت را نمایش می‌دهد. به‌وضوح مشاهده می‌شود در ناحیه بالای آستانه بیشینه هدایت انتقالی، ترانزیستور JL-Si/$Si_{1-x}Ge_x$ در مقایسه با ترانزیستور JL-Si بیشتر است. شکل (۷) میدان الکتریکی را در امتداد ضخامت بدنه A-A' در شکل (۱) ساختارهای مدل‌سازی شده مقایسه می‌کند. در این شکل تنها نیمی از ضخامت بدنه ۵ نانومتر نشان داده شده است، زیرا میدان الکتریکی از گیت بالا تا گیت پایین یکسان است. همان‌گونه که مشاهده می‌شود میدان الکتریکی در کانال ترانزیستور JL-Si/$Si_{1-x}Ge_x$ نسبت به ترانزیستور JL-Si بیشتر است. در

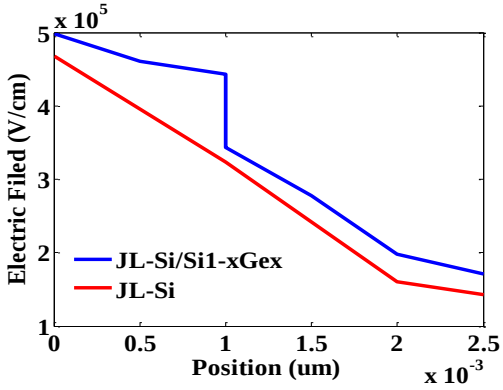


نتیجه، سرعت حرکت الکترون در کانال ترانزیستور JL-Si/$Si_{1-x}Ge_x$ نسبت به ترانزیستور JL-Si بیشتر است.

شکل ۶- هدایت انتقالی ترانزیستورهای مدل‌سازی شده به‌عنوان تابعی از V_{GS}. شرایط بایاس V_{DS}=1V است.

شکل ۷- میدان الکتریکی در امتداد ضخامت بدنه (A-A' در شکل ۲)، برای ترانزیستورهای مدل‌سازی شده. مدل‌سازی برای شرایط بایاس بیشینه هدایت انتقالی انجام شده است.

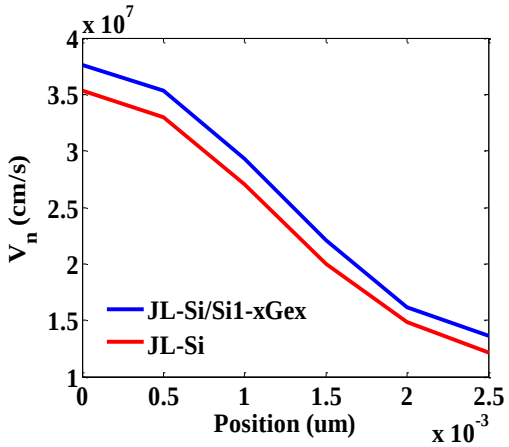
همان‌گونه که در شکل (۸) نشان داده شده است، سرعت حرکت الکترون در سیلیکون تحت کرنش[30] ترانزیستور JL-Si/$Si_{1-x}Ge_x$ بزرگ‌تر از این مقدار در Si بدون کرنش در ترانزیستور JL-Si است. در واقع حذف پراکندگی بین دره‌ای مابین دره‌های Δ_2 و Δ_4 سبب افزایش سرعت حرکت الکترون شده است. این موضوع سبب افزایش بیشینه هدایت انتقالی ترانزیستور JL-Si/$Si_{1-x}Ge_x$ نسبت به



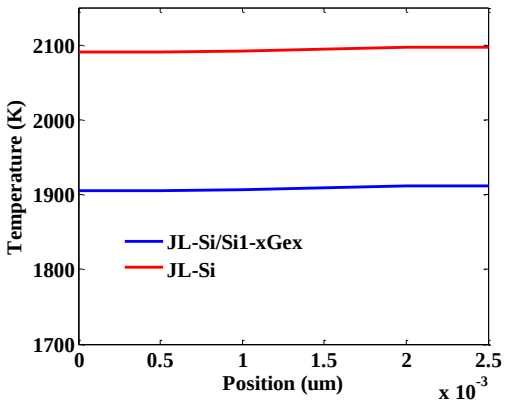
ترانزیستور JL-Si شده است [۲۴و۲۵]. شکل (۹) دمای الکترون در محل بیشینه عبورجریان برای افزاره‌های شبیه سازی شده در شرایط بایاس G_{mmax} نشان می‌دهد. چنانچه دیده می شود دمای الکترون در محل بیشینه عبور جریان در ساختار JL-Si/$Si_{1-x}Ge_x$ نسبت به ساختار JL-Si کمتر

[30] Strained Si

است. در نتیجه، پراکندگی فوفونی الکترون در کانال برای ساختار JL-Si/$Si_{1-x}Ge_x$ نسبت به ساختار JL-Si کاهش یافته است، و باعث افزایش سرعت حرکت الکترون در کانال ساختار JL-Si/$Si_{1-x}Ge_x$ نسبت به JL-Si شده است.

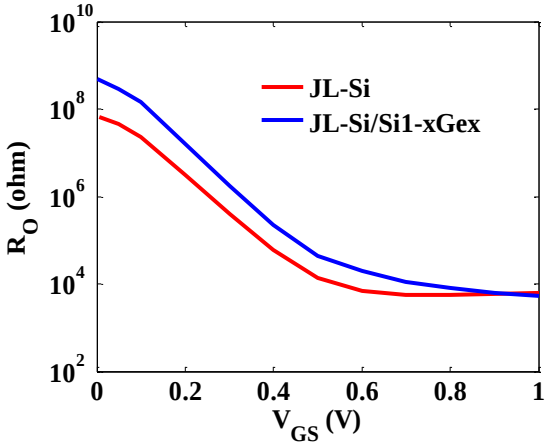


شکل ۸- سرعت الکترون‌ها در امتداد ضخامت بدنه (A-A' در شکل ۱)، برای ترانزیستورهای مدل‌سازی شده. مدل‌سازی برای شرایط بایاس بیشینه هدایت انتقالی انجام شده است.



شکل۹: دمای الکترون در محل بیشینه عبورجریان برای افزاره های شبیه سازی شده. شبیه‌سازی برای شرایط بایاس G_{mmax} انجام شده است.

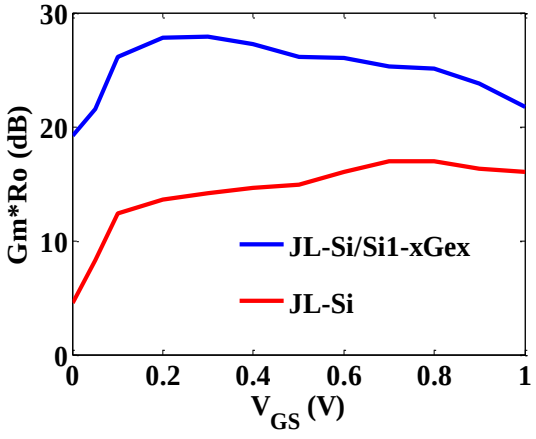
نسبت هدایت انتقالی به جریان درین, G_m/I_D[۳۱]، که تحت عنوان TGF[۳۲] نیز نامیده می‌شود یکی دیگر از پارامترهای شایستگی مهم در طراحی مدارهای آنالوگ در ناحیه زیر آستانه است[۲۶]. درشکل (۱۰)، منحنی هدایت انتقالی به جریان درین ترانزیستورهای JL-Si/$Si_{1-x}Ge_x$ و JL-Si را در V_{DS} برابر یک ولت و برحسب V_{GS} نشان می‌دهد. همان‌طور که در شکل (۱۰) مشاهده می‌شود، مقدار TGF ترانزیستور JL-Si/$Si_{1-x}Ge_x$ در مقایسه با ترانزیستور JL-Si در ناحیه زیرآستانه بیشتر است. مقادیر TGF برای ترانزیستورهای JL-Si/$Si_{1-x}Ge_x$ و JL-Si در V_{GS} برابر ۰٫۲ ولت به ترتیب برابر با $۲۹٫۴V^{-1}$ و $۱۸٫۹V^{-1}$ است. درواقع جریان نشتی کوچک‌تر ترانزیستور JL-Si/$Si_{1-x}Ge_x$ در مقایسه با ترانزیستورJL-Si منجر به افزایش قابل‌توجه مقدار TGF افزاره JL-Si/$Si_{1-x}Ge_x$ شده است.



شکل ۱۰-نسبت هدایت انتقالی به جریان درین برای ترانزیستورهای مدل‌سازی شده به‌عنوان تابعی ازV_{GS} شرایط بایاس V_{DS}=1 V است.

از حاصل‌ضرب هدایت انتقالی درمقاومت خروجی بهره ذاتی[۳۳] ترانزیستور به دست می‌آید [۲۷]:

$$A_{V0}=G_mR_O \qquad (۷)$$

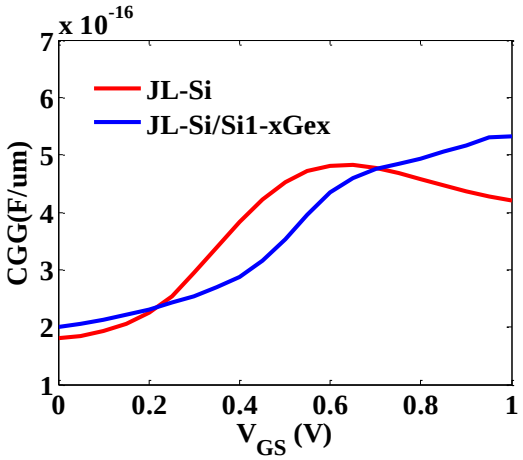


شکل ۱۱-بهره ذاتی ترانزیستورهای مدل‌سازی شده برحسب V_{GS} در V_{DS}=1V.

شکل (۱۱) بهره ذاتی ترانزیستورهای JL-Si/$Si_{1-x}Ge_x$ و JL-Si را بر حسب V_{GS} و در V_{DS} برابر یک ولت نشان می‌دهد. همان‌گونه که مشاهده می‌شود برای ناحیه بالای

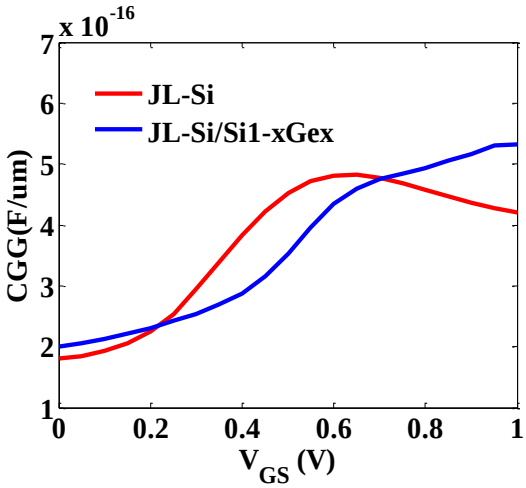
[31] Transconductance-to-current ratio
[32] Transconductance generation factor (TGF)
[33] AV0

آستانه بهره ذاتی ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ نسبت به ترانزیستور JL-Si بیشتر است. افزایش بهره ذاتی ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si را علاوه بر بهبود هدایت انتقالی می‌توان به افزایش مقاومت خروجی ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ نسبت داد. در شکل (۱۲) به‌وضوح مشاهده می‌شود مقاومت خروجی ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si بزرگ‌تر است. نتایج مدل‌سازی نشان می‌دهد منحنی I_D-V_{DS} ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ شیب کوچک‌تری در مقایسه با ترانزیستور پایه دارد، بر این اساس مقاومت خروجی بسیار بزرگ‌تری دارد. در ناحیه بالای آستانه بیشینه بهره ذاتی[34] ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$، برابر ۲۵ دسی‌بل است که نسبت به بیشینه بهره ذاتی ترانزیستور JL-Si، که برابر ۱۶ دسی‌بل است، افزایش چشمگیری داشته است.



شکل ۱۲- مقاومت خروجی ترانزیستورهای مدل‌سازی شده برحسب V_{GS} در V_{DS}=1V.

شکل (۱۳) خازن کل گیت-گیت[35] ترانزیستورهای مدل‌سازی شده را برحسب V_{GS}در V_{DS}برابر یک ولت نشان می‌دهد. همان‌گونه که مشاهده می‌شود در ناحیه زیر آستانه خازن کل گیت-گیت ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si کمتر است. بر اساس نتایج مدل‌سازی، در ناحیه زیر آستانه عرض ناحیه تخلیه ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si بیشتر است. به‌وضوح مشاهده می‌شود درناحیه بالای آستانه‌ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ درمقایسه با ترانزیستور JL-Si بیشتر است. نتایج مدل‌سازی نشان می‌دهد در ناحیه بالای آستانه فاصله حرکت الکترون از گیت در کانال ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه بافاصله حرکت الکترون از گیت در کانال ترانزیستور JL-Si کمتر است.



شکل ۱۳- خازن کل گیت-گیت ترانزیستورهای مدل‌سازی شده برحسب V_{GS}. برای محاسبه خازن کل گیت-گیت فرض شده است V_{DS}برابر یک ولت و ولتاژ گیت بین صفر ولت و یک ولت در فرکانس یک مگاهرتز جاروب شده است.

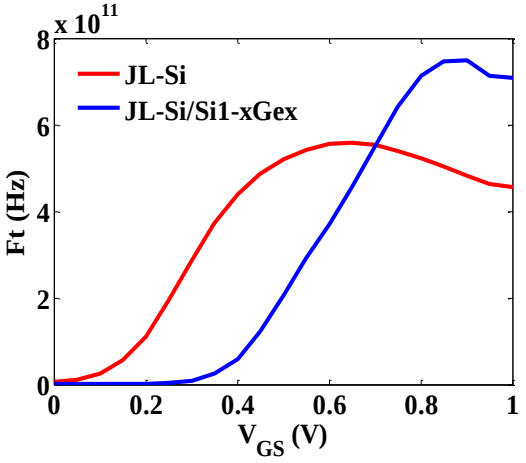
شکل (۱۴) فرکانس قطع بهره واحد ترانزیستورهای مدل‌سازی شده را برحسب V_{GS} در V_{DS}برابر یک ولت را نشان می‌دهد. فرکانس قطع بهره واحد، f_T، یک ترانزیستور توسط رابطه ۸ قابل محاسبه است [۲۷]:

$$f_T = \frac{G_m}{2\pi C_{gg}} \qquad (۸)$$

همان‌گونه که در شکل (۱۴) مشاهده می‌شود بیشینه فرکانس قطع بهره واحد ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si بیشتر است. درواقع حذف پراکندگی بین دره‌ای، بین دره‌های Δ_2 و Δ_4 منجر به بهبود چشمگیر هدایت انتقالی ترانزیستور JL-Si/Si$_{1-x}$G$_x$ در ناحیه بالای آستانه شده و به دنبال آن فرکانس قطع بهره واحد ترانزیستور JL-Si/Si$_{1-x}$Gex در مقایسه با ترانزیستور JL-Si افزایش چشمگیری داشته است. در ناحیه بالای آستانه بیشینه فرکانس قطع بهره واحد ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ برابر ۷۴۸ گیگاهرتز است، که نسبت به بیشینه فرکانس قطع بهره واحد افزاره JL-Si برابر ۵۵۰ گیگاهرتز است، بهبود چشمگیری را نشان می‌دهد.

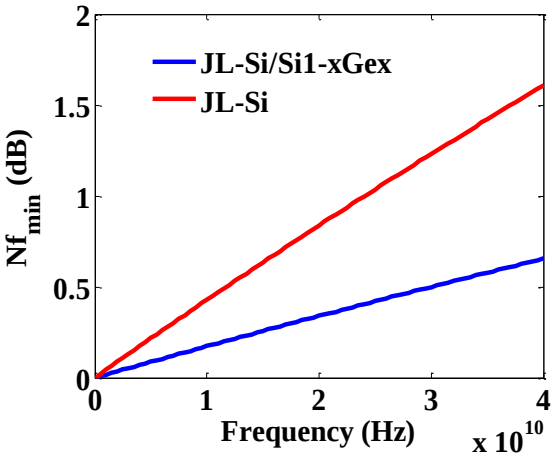
[34] A_{V0max}

[35] Total gate-to-gate capacitance (C_{GG})



شکل ۱۴- فرکانس قطع بهره واحد ترانزیستورهای مدل‌سازی شده برحسب V_{GS}

شکل (۱۵) بیشینه فرکانس نوسان افزاره‌های JL-Si/$Si_{1-x}Ge_x$ و JL-Si را به ازای تغییرات V_{GS} و در V_{DS} برابر یک ولت را نشان می‌دهد. زمانی که بهره توان یک‌طرفه[۳۶]U، مساوی با یک شود، U(f_{max})=۱، بیشینه فرکانس نوسان به دست می‌آید. نتایج مدل‌سازی‌ها برای افزاره JL-Si/$Si_{1-x}Ge_x$، بیشینه فرکانس نوسان ۲,۰۶۶ تراهرتز را نشان می‌دهد، درحالی‌که برای افزاره JL-Si بیشینه فرکانس نوسان برابر با ۱,۵۵۶ تراهرتز است.



شکل۱۵- عدد نویز کمینه ترانزیستورهای مدل‌سازی شده برحسب فرکانس

۳- مدل‌سازی نویز فرکانس بالا

نوسانات تصادفی ولتاژ و جریان در اتصالات یک ترانزیستور باعث ایجاد نویز می‌شود. بر اساس مدل دراد[۳۷] نویز در پایانه یک ترانزیستور به دلیل نوسانات وابسته به زمان در سرعت رانش و چگالی الکترون‌ها است [۳۱]. در این مقاله چگالی طیف نوسانات جریان درین S_{Id}[۳۸]، چگالی طیف نوسانات جریان گیت S_{Ig}[39]، و همچنین همبستگی متقابل آن‌ها S_{IgId}[۴۰] با شبیه‌ساز نویز دوبعدی به‌دست‌آمده است[۲۸]. برای مدل‌سازی نویز فرکانس بالای ترانزیستورهای پیشنهادی از مدل پاسل[۴۱] استفاده‌شده است[۱۱، ۳۲- ۳۴]. پارامترهای شایستگی نویز فرکانس بالا در ترانزیستورهای اثر میدان شامل مقاومت نویز معادل[۴۲]، عدد نویز کمینه[۴۳]، بهره در دسترس[۴۴]و دامنه و فاز ضریب انعکاس بهینه[۴۵]می‌باشند. پارامترهای نرمالیزه نویز در جهت محاسبه پارامترهای شایستگی نویز فرکانس بالا می‌بایست محاسبه شوند[۱۱، ۲۹- ۳۱]. بر اساس مدل پاسل پارامترهای نرمالیزه نویزP، R و Cمی‌باشند. در واقع R نویز در پایانه گیت، P نویز درپایانه درین و C ضریب همبستگی نرمالیزه بین منابع نویز جریان درین و گیت است. پارامترهای نرمالیزه نویز از روابط ۹ تا ۱۱ محاسبه می‌شوند[۱۱، ۲۹- ۳۱]:

$$P = \frac{S_{Id}}{4K_B T|Y_{21}|} \quad (۹)$$

$$R = \frac{S_{Ig}|Y_{21}|}{4K_B T|Y_{11}|^2} \quad (۱۰)$$

$$C = \frac{Im[S_{IgId}]}{\sqrt{S_{Ig}S_{Id}}} \quad (۱۱)$$

که در آن K_B ثابت بولتزمن و T دما برحسب کلوین است. Y_{21} و Y_{11} پارامترهای ادمیتانس اتصال کوتاه ترانزیستورهای مدل‌سازی شده، می‌باشند. پارامترهای شایستگی نویز فرکانس بالای ترانزیستورهای اثر میدان با استفاده از روابط ۱۲ تا ۱۵ محاسبه می‌شود[۱۱، ۲۹- ۳۱]:

[36] Unilateral power gain
[37] Drude model
[38] Spectrum density of drain current(S_{Id})
[39] Spectrum density of gate current(S_{Ig})
[40] Cross-correlation
[41] Pucel's model
[42] Noise resistance (R_n)
[43] Minimum noise figure(Nf_{min})
[44] Available associated gain (G_{ass})
[45] Γ_{opt}

$$Nf_{min} = 1 + 2f/f_t\sqrt{PR(1-C^2)} \quad (۱۲)$$

$$G_{ass} = \frac{f_t}{f}\frac{\sqrt{1-C^2}}{C}\frac{(C_{gs}+C_{gd})}{C_{gd}} \quad (۱۳)$$

$$R_n = \frac{P}{g_m} \quad (۱۴)$$

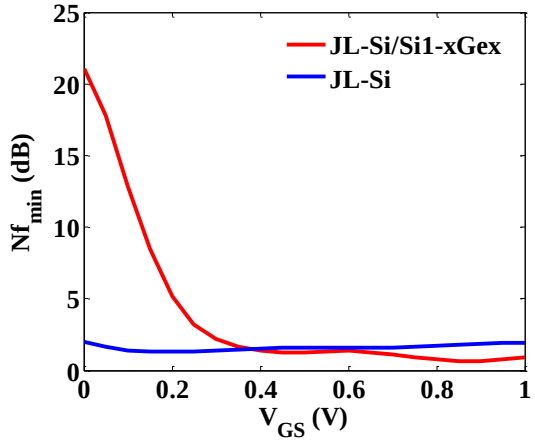
$$\Gamma_{opt} = \frac{1-Y_{opt}}{1+Y_{opt}} \quad (۱۵)$$

که در آن Y_{opt} ادمیتانس نرمالیزه بهینه منبع نویز[۴۶] است. عرض گیت برای ترانزیستورهای مدل‌سازی شده ۱۰۰ میکرومتردر نظر گرفته شده است [۱۱]. V_{GS} متناظر با حداقل مقدار عدد نویز کمینه در طراحی تقویت‌کننده‌های کم نویز، اهمیت ویژه‌ای دارد [۱۱].

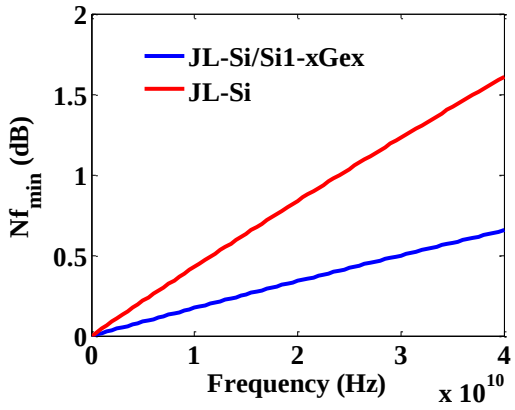
شکل (۱۶) عدد نویز کمینه ترانزیستورهای مدل‌سازی شده را بر حسب V_{GS} و در فرکانس ۴۰ گیگاهرتز نمایش می‌دهد.

در ناحیه بالای آستانه، مطابق شکل (۱۶)، عدد نویز کمینه ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ کوچک‌تر از ترانزیستور JL-Si است. ولتاژ آستانه مقدار V_{GS} برای I_D=۱۰$^{-۷}$A/um در نظر گرفته شده است [۱۳]. استفاده از سیلیکون تحت کرنش در ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ منجر به حذف پراکندگی بین دره‌ای مابین دره‌های Δ_2 و Δ_4 شده است. درواقع حذف پراکندگی بین دره‌ای مابین دره‌های Δ_2 و Δ_4 سبب افزایش هدایت انتقالی و به دنبال آن افزایش فرکانس قطع شده است. در نتیجه مطابق با رابطه ۱۲، عدد نویز کمینه ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si به‌طور چشمگیری کاهش‌یافته است. در ناحیه بالای آستانه برای ترانزیستورهای JL-Si/Si$_{1-x}$Ge$_x$ و JL-Si، عدد نویز کمینه به ترتیب در V_{GS} برابر ۰,۹ و۰,۸ ولت، حداقل شده است.

سپس در بایاس گیت متناظر با حداقل مقدار عدد نویز کمینه برای ترانزیستورهای JL-Si/Si$_{1-x}$Ge$_x$ و JL-Si آنالیز فرکانسی انجام‌شده است. شکل‌های (۱۵) تا (۱۹) پارامترهای شایستگی نویز فرکانس بالا را برحسب فرکانس نشان می‌دهند.



شکل ۱۶-عدد نویز کمینه ترانزیستورهای مدل‌سازی شده برحسب V_{GS} در فرکانس ۴۰ گیگاهرتز.



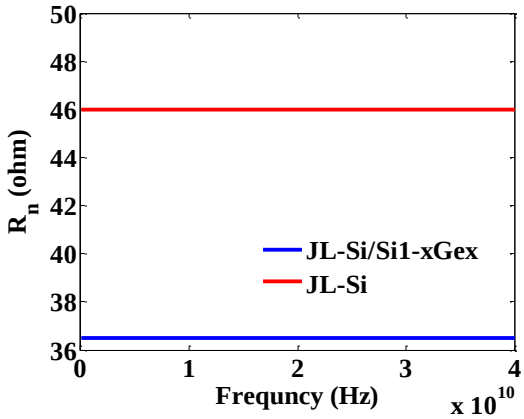
شکل ۱۷- عدد نویز کمینه ترانزیستورهای مدل‌سازی شده برحسب فرکانس

همان‌طور که در شکل (۱۷) مشاهده می‌شود، عدد نویز کمینه ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستورJL-Si به‌طور چشمگیری کاهش‌یافته است. ازنظر فیزیکی، حذف پراکندگی بین دره‌ای مابین دره‌های Δ_2 و Δ_4 در ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستورJL-Si، سبب کاهش نوسانات جریان شده و به دنبال آن عدد نویز مینیمم کاهش پیدا کرده است.

یکی از پارامترهای مهم نویز فرکانس بالا مقاومت نویز است که حساسیت عدد نویز کمینه را نسبت به تغییرات ادمیتانس یا امپدانس منبع اندازه‌گیری می‌کند [۸]. شکل (۱۸)، مقاومت نویز ترانزیستورهای JL-Si/Si$_{1-x}$Ge$_x$ و JL-Si را مقایسه می‌کند. همان‌گونه که مشاهده می‌شود مقاومت نویز ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور

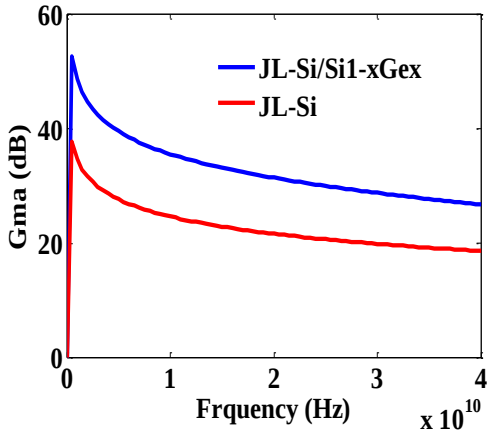
[46] The normalized optimum noise source admittance

JL-Si کمتر است. در رابطه ۸ ملاحظه می‌شود که بهبود چشمگیر هدایت انتقالی ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si منجر به کاهش مقاومت نویز ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ شده است.



شکل ۱۸- مقاومت نویز ترانزیستورهای مدل‌سازی شده برحسب فرکانس

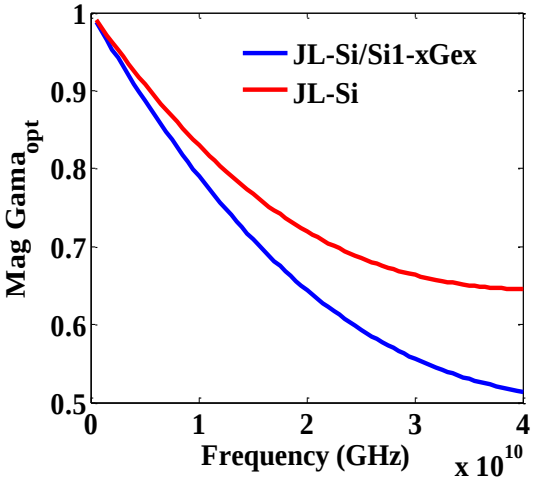
شکل (۱۹) بهره در دسترس را برای ترانزیستورهای مدل‌سازی شده نمایش می‌دهد. نسبت C_{gs}/C_{gd} در جهت محاسبه بهره در دسترس استخراج شده است. نتایج مدل‌سازی نشان می‌دهد، نسبتC_{gs}/C_{gd} ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ اندکی بیشتر از ترانزیستور JL-Si است. بنابراین بهبود بهره در دسترس ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستورJL-Si، علاوه بر بهبود فرکانس قطع ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$، می‌توان به بهبود نسبت C_{gs}/C_{gd} آن نسبت داد.



شکل ۱۹- گین در دسترس ترانزیستورهای مدل‌سازی شده برحسب فرکانس

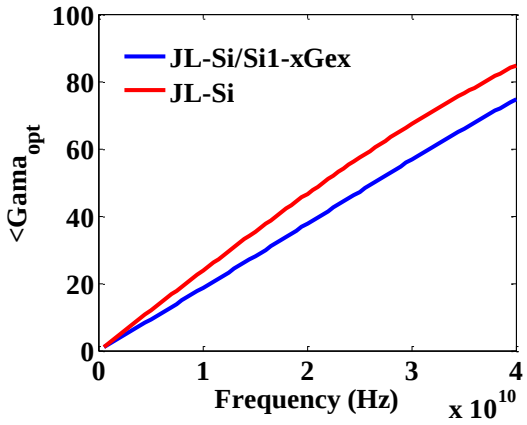
شکل های (۲۰) و (۲۱) اندازه و فاز ضریب انعکاس بهینه را برای ترانزیستورهای JL-Si/Si$_{1-x}$Ge$_x$ و JL-Si مقایسه می‌کنند. برای محاسبه ضریب انعکاس بهینه، لازم است Y_{opt} استخراج شود. همان‌گونه که در شکل (۲۰) مشاهده می‌شود اندازه ضریب انعکاس بهینه ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ کمتر از ترانزیستور JL-Si است. بر اساس معادلات بیان‌شده در مراجع ۳۲ تا ۳۴، فرکانس قطع بزرگ‌تر باعث کاهش Y_{opt} می‌شود و به دنبال آن اندازه ضریب انعکاس بهینه کاهش می‌یابد. بنابراین می‌توان گفت فرکانس قطع بزرگ‌تر ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si منجر به کاهش اندازه ضریب انعکاس بهینه شده است. مقاومت نویز و اندازه ضریب انعکاس بهینه کوچک‌تر ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ در مقایسه با ترانزیستور JL-Si منجر به پهنای باند تطبیق عریض‌تر ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ می‌شود. این موضوع به معنای طراحی راحت‌تر شبکه‌های تطبیق در خروجی و ورودی یک تقویت‌کننده کم نویز[۴۷] با استفاده از ترانزیستور JL-Si/Si$_{1-x}$Ge$_x$ است.

مقایسه پارامترهای شایستگی آنالوگو فرکانس رادیویی ترانزیستور پیشنهادی در مقایسه با مقالات گزارش‌شده در این زمینه در جدول ۲ نشان داده شده است [۱۲ و۱۳ و ۳۵].



شکل ۲۰- اندازه ضریب انعکاس بهینه ترانزیستورهای مدل‌سازی شده برحسب فرکانس

[47] LNA



شکل ۲۱- فاز ضریب انعکاس بهینه ترانزیستورهای مدل‌سازی شده برحسب فرکانس

جدول ۲-مقایسه پارامترهای شایستگی آنالوگ و فرکانس رادیویی ترانزیستور پیشنهادی با مقالات گزارش‌شده

فرکانس قطع بهره واحد (GHz)	بهره ذاتی $G_m \times R_o$ (dB)	هدایت انتقالی (mS)	مراجع
۴۲۳	۲۵,۲	۱,۴	۳۵
۱۰۰	۲۰	۰,۲	۱۲
۱۷۵	۲۰,۵	۱,۴	۱۳
۷۴۸	۲۶	۲,۴۶	این مطالعه

۴- چالش ساخت افزاره پیشنهادی

برای رشد لایه های $Si_{1-x}Ge_x/Si$ روش رونشت پرتو مولکولی[48] پیشنهاد می شود [۳۶]. یکی دیگر از چالش های ساخت رشد عایق گیت Si_3N_4 بر روی نیمه هادی Si می باشد. با روش لایه نشانی اتمی[49] می توان عایق گیت Si_3N_4 بر روی نیمه هادی Si با کیفیت قابل قبول ایجاد کرد[۳۷]. برای ایجاد اتصالات سورس و درین کناری روش Double trench پیشنهاد می شود [۳۸].

۵- نتیجه‌گیری

در ترانزیستورهای بدون پیوند چگالی بالای ناخالصی در کانال موجب کاهش سرعت این ترانزیستورها می‌شود. درنتیجه هدایت انتقالیترانزیستور بدون پیوند کاهش می‌یابد ومتعاقباً کاهش هدایت انتقالی عملکرد ترانزیستور بدون پیوند را برای کاربردهای آنالوگ، فرکانس رادیویی و کاهش نویز فرکانس بالا مختل می‌کند. در این مقاله جهت بهبود پارامتر هدایت انتقالی، عملکرد آنالوگ، فرکانس رادیویی و کاهش نویز فرکانس بالای ترانزیستور بدون پیوند دو گیتی مرسوم، ساختار جدیدی پیشنهاد شد که در آن از ماده نیمه‌هادی $Si_{1-x}Ge_x$ در کانال ترانزیستور به‌صورت ساختارهای همگون (یعنی X=0یاX=1) و ناهمگون (یعنی $Si_{1-x}Ge_x$) استفاده‌شده است. حذف پراکندگی بین دره‌ای مابین دره‌های Δ_2 و Δ_4 منجر به افزایش سرعت حرکت الکترون در کانال ترانزیستور JL-Si/$Si_{1-x}Ge_x$ می‌شود و در نتیجه هدایت انتقالی افزایش می‌یابد. مدل‌سازی‌های ترانزیستور نشان می‌دهد در فرکانس ۴۰ گیگاهرتز، مقاومت نویز ترانزیستورهای JL-Si/$Si_{1-x}Ge_x$ و JL-Si به ترتیب ۳۶,۵ اهم و ۴۶ اهم است. در نتیجه، در وضعیت حداقل‌عدد نویز کمینه، پهنای باند تطبیق افزاره JL-Si/$Si_{1-x}Ge_x$ عریض‌تر از ترانزیستور JL-Si است. ترانزیستور JL-Si/$Si_{1-x}Ge_x$ پیشنهادی گزینه مناسبی برای استفاده در تقویت‌کننده‌های فرکانس بالا و کم نویز است.

مراجع

[1] R. Muralidhar, I. Lauer, J. Cai, D. J. Frank and P. Oldiges, "Toward Ultimate Scaling of MOSFET", IEEE Transactions on Electron Devices, Vol. 63, NO. 1, 2016, pp. 524-526.

[2] J. P. Colinge, C. W. Lee, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, A. N. Nazarovand , and R. T. Doria, "Reduced electric field in junctionless transistors", Applied Physics Letters, Vol. 96, NO. 7, 2010, pp. 073510.

[۳] علی اصغر اروجی و سارا حیدری، "طراحی و شبیه سازی یک ترانزیستورSOI-MOSFET چند لایه ای برای بهبود اثراتخود گرمائی"، نشریه مدل سازی در مهندسی، دوره ۸، شماره ۲۳، زمستان ۱۳۸۹، صفحه ۱۹-۲۴.

[۴] بهروز عبدی تهنه و علی نادری، "ساختار جدید ترانزیستور اثر میدانی نانو لوله کربنی تونل زنی با دوپینگ خطی در ناحیه درین: شبیه‌سازی عددی کوانتومی"، نشریه مدل سازی در مهندسی، دوره ۱۶، شماره ۵۲، بهار ۱۳۹۷، صفحه ۱۰۹-۱۱۷.

[48] Molecular Beam Epitaxy

[49] Atomic Layer Deposition

[5] A. Kumar, M. M. Tripathiand, and R. Chaujar, "Comprehensive analysis of sub-20 nm black phosphorus based junctionless-recessed channel MOSFET for analog/RF applications", Superlattices and Microstructures, Vol. 116, April 2018, pp. 171-180.

[۶] علی نادری و مریم قدرتی، "بهبود عملکرد ترانزیستوراثر میدانی نانولوله کربنی تونل‌زنی در حضور ناهمپوشان"، نشریه مدلسازی در مهندسی، دوره ۱۷، شماره ۵۹، زمستان ۱۳۹۸، صفحه ۲۲۴-۲۱۵.

[7] M. A Raushan, N. Alam, M. J. Siddiqui, "Performance enhancement of junctionless tunnel field effect transistor using dual-k spacers", Journal of Nanoelectronics and Optoelectronics, Vol. 13, NO. 6, June 2018, pp. 912-920.

[8] A. Baidya, S. Baishyab, T. R. Lenkab, "Impact of thin high-k dielectrics and gate metals on RF characteristics of 3D double gate junctionless transistor", Materials Science in Semiconductor Processing, Vol. 71, 2017, pp. 413-420.

[9] G. A. Kumar, A. Raman, and N. Kumar, "Design and investigation of a novel charge plasma-based core-shell ring-TFET: analog and linearity analysis", IEEE Transactions on Electron Devices, Vol. 66, NO. 8, 2019, pp. 3506-3512.

[10] Y. Kim, J. Lee, Y. Cho, W. J. Lee, and S. Cho, "High-Speed Low-Power Junctionless Field-Effect Transistor with Ultra-Thin Poly-Si Channel for Sub-10-nm Technology Node", Journal of Semiconductor Technology and Science, Vol. 16, NO. 2, April 2016, pp. 159-165.

[11] N. D. Akhavan, I. Ferain, P. Razavi, R. Yu, and J.P. Colinge, "Improvement of carrier ballisticity in junctionless nanowire transistors", Applied Physics Letters, Vol. 98, NO. 10, 2011, pp. 103510.

[12] Y. Chenand, R. Xu, "Analysis of the RF and noise performance of junctionless MOSFETs using Monte Carlo simulation", International Journal of Numerical Modeling: Electronic Networks, Devices and Fields, Vol. 27, NO. 5, September 2014, pp. 822-833.

[13] R. K. Baruah, R. P. Paily, "A dual-material gate junctionless transistor with high-k spacer for enhanced analog performance", IEEE Transactions on electron devices, Vol. 61, NO. 1, January 2014, pp. 123-12.

[14] D. Roy, A. Biswas, "Sidewall spacer layer engineering for improvement of analog/RF performance of nanoscale double-gate junctionless transistors", Microsystem Technologies, Vol. 23, NO. 7, 2017, pp. 2847-2857.

[15] D. Ghosh, A. Kranti, "Impact of channel doping and spacer architecture on analog/RF performance of low power junctionless MOSFETs", Semiconductor Science and Technology, Vol. 30, NO. 1, January 2015, pp. 015002.

[16] M. K. Anvarifard, Z. Ramezani, I. S. Amiri, A. Mahdavi Nejad, "A Nanoscale Modified band energy junctionless transistor with considerable progress on the electrical and frequency issue", Materials Science in Semiconductor Processing , Vol. 107, 2020, pp. 104849.

[17] T. w. Tang, S. Ramaswamy, and J. Nam, "An improved hydrodynamic transport model for silicon", IEEE Transactions on Electron Devices, Vol. 40, NO. 8, August 1993, pp. 1469-1477.

[18] D. Bohm, "Reply to a criticism of a causal re-interpretation of the quantum theory", Physical Review, Vol. 87, NO. 2, 1952, pp. 389.

[19] H. S. Bennett, and C. L. Wilson, "Statistical comparisons of data on band gap narrowing in heavily doped silicon: Electrical and optical measurements", Applied Physics, Vol. 55, NO. 10, 1984, pp. 3582-3587.

[20] C. Lombardi, S. Manzini,A. Saporito, and M. Vanzi, "A physically based mobility model for numerical simulation of nonplanar devices", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 7, NO. 11, 1988, pp. 1164-1171.

[21] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R.Nakane, S. Sugahara, M. Takenaka, and N. Sugiyama, "Carrier-transport-enhanced channel CMOS for improved power consumption and performance", IEEE Transactions on Electron Devices, Vol. 55, NO. 1, 2007, pp. 21-39.

[22] B. Ghosh, P. Mondal, M. W. Akram, P. Bal and A. K. Salimath, "Hetero-gate-dielectric double gate junctionless transistor (HGJLT) with reduced band-to-band tunneling effects in subthreshold regime", Journal of Semiconductors, Vol. 35, NO. 6, 2014, pp. 064001.

[23] T. Mizuno, Y. Moriyama, T. Tezuka, N. Sugiyama, and S. I. Takagi, "Single Source Heterojunction Metal–Oxide– Semiconductor Transistors for Quasi-Ballistic Devices: Optimization of Source Heterostructures and

Electron Velocity Characteristics at Low Temperature", Japanese Journal of Applied Physics, Vol. 50, 2011, pp. 010107.

[24] M. E. Levinshtein, S. L. Rumyantsev, M. S. Shur, Properties of Advanced Semiconductor Materials, GaN, AIN, InN, BN, SiC, SiGe,1st ed.,John Wiley & Sons,Canada, 2001.

[25] S. Takagi, J. L. Hoyt, J. J. Welser, and J. F. Gibbons, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal–oxide–semiconductor field-effect transistors", Journal of Applied Physics, Vol. 80, NO. 3, August 1996, pp. 1567-1577.

[26] J. Welser, J. L. Hoyt, S. Takagi, "Strain dependence of the performance enhancement in strained-Si n-MOSFETs", Proceedings of 1994 IEEE International Electron Devices Meeting, IEEE, San Francisco, CA, USA,1994.

[27] H. Pardeshi, "Analog/RF performance of AlInN/GaN underlap DG MOS-HEMT", Superlattices and Microstructures, Vol. 88, 2015, pp. 508-517.

[28] B. Razavi, Design of analog CMOS integrated circuits, 2nded., McGraw Hill Education, USA, 2017.

[29] M. Lundstrom, "Elementary scattering theory of the Si MOSFET", IEEE Electron Device Letters, Vol. 18, NO. 7, 1997, pp. 361-363.

[30] Atlas User's Manual, Device Simulation Software, SILVACO International, Santa Clara, USA, 2012.

[31] R. A. Pucel, H. A. Haus, S. Hermann, "Signal and noise properties of gallium arsenide microwave field-effect transistors", Advances in Electronics and Electron Physics, Vol. 38, 1975, pp. 195–265.

[32] R. Rengel, J. Mateos, D. Pardo, T. Gonz´alez and M. J. Mart´ın, "Monte Carlo analysis of dynamic and noise performance of submicron MOSFETs at RF and microwave frequencies", Semiconductor Scienceand Technology, Vol. 16, NO. 11, October 2001, pp. 939–946.

[33] G. Dambrine, J. P. Raskin, F. Danneville, D. V. Janvier, J. P. Colinge and A. Cappy, "High-frequency four noise parameters of silicon-on insulator-based technology MOSFET for the design of low-noise RF integrated circuits", IEEE Transactions on Electron Devices, Vol. 46, NO. 8, August 1999, pp. 1733–1741.

[34] S. Cho, K. R. Kim, B.G. Park, and I. M. Kang, "RF performance and small-signal parameter extraction of junctionless silicon nanowire MOSFETs", IEEE Transactions on Electron Devices, Vol. 58, NO. 5, May 2011, pp. 1388–1396.

[35] M. W. Pospieszalski, "Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence", IEEE Transactions on Microwave Theory and Techniques, Vol. 37, NO. 9, September 1989, pp.1340–1350.

[36] A. Garg, B. Singh, and Y. Singh, "A new trench double gate junctionless FET: A device for switching and analog/RF applications" AEU-International Journal of Electronics and Communications, Vol. 118, May 2020, pp. 153140.

[37] M.Glücka, T.Hackbartha, M.Birkb, A. Haasb, E.Kohnb, U.Königa, "Design and fabrication of Si/SiGe n-type MODFETs", Physica E: Low-dimensional Systems and Nanostructures, Vol. 2, NO. 1–4, July 1998, PP. 763-767.

[38] J. W. Klaus, A. W. Ott, A. C . Dillon, S. M. George, "Atomic layer controlled growth of Si3N4 films using sequential surface reactions", Surface Science, Vol. 418, NO. 1, November 1998, pp. L14-L19.

[39] Lee, Sang-Oh, "Method for fabricating side contact in semiconductor device using double trench process", Patent, Vol. 118, NO. 8, Oct 2013.