Journal of Modeling in Engineering 22 (2024) 207-220

Semnan University

Journal of Modeling in Engineering

Journal homepage: https://modelling.semnan.ac.ir/

ISSN: 2783-2538

Research Article

A Low Power CMOS UWB LNA with Sub-1V Supply Voltage and Noise Cancellation Technique

Mehdi Alinejad[a] , Emad Ebrahimi[b,*]

[a] *MSc, Electrical Engineering, Department of Electrical Engineering, Shahrood University of Technology, Shahrood, Iran*
[b] *Assistant Professor of Electrical Engineering, Department of Electrical Engineering, Shahrood University of Technology, Shahrood, Iran.*

PAPER INFO

Paper history:

Received: 12 November 2022
Revised: 31 October 2023
Accepted: 12 December 2023

Keywords:

LNA,
Noise cancellation technique,
Noise figure,
UWB.

ABSTRACT

Low noise amplifiers (LNA) in RF receivers are usually the first block after the antenna that amplify the signal received from the antenna with negligible noise and distortion. The most important desirable characteristics of an LNA are relatively high gain, low power consumption, appropriate matching of input and output impedance, and low noise figure. Using the noise cancelation method, the design and simulation of a new wideband LNA has been discussed in this paper, in which the power consumption has been significantly reduced by using positive feedback as well as sub-1 volt supply voltage. First the proposed circuit was analyzed in this article. Then the proposed amplifier has been implemented in TSMC 0.18µm RF-CMOS technology and simulated using Cadence-IC software. The simulations show that the noise figure of this structure has improved by about 2dB compared to the conventional structure, and its noise figure has reached 3.6dB to 4.5dB in the frequency range of 2GHz to 12GHz. The maximum gain of the LNA is 17.25dB, and its S11 and S22 parameters are less than -9.24dB and -9.74dB, respectively. S12 is also less than -28.5dB. The linearity of this amplifier in term of IIP3 is -3.42dBm. The total power consumption of the circuit is 4.89mW with a supply voltage of 0.8V that results in 70% power consumption reduction. According to the physical layout the circuit occupies only 0.89 mm2 of active area.

DOI: https://doi.org/10.22075/jme.2023.28966.2361

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

*** Corresponding author.**
E-mail address: eebrahimi@shahroodut.ac.ir

How to cite this article:
Alinejad, M., & Ebrahimi, E. (2024). A low power CMOS UWB LNA with sub-1V supply voltage and noise cancellation technique. Journal of Modeling in Engineering, 22(77), 207-220. doi: 10.22075/jme.2023.28966.2361

مقاله پژوهشی

تقویت‌کننده کم‌نویز فراپهن‌باند CMOS با توان مصرفی کم و ولتاژ تغذیه زیر یک ولت با استفاده از روش حذف نویز

مهدی علی‌نژاد[۱]، عماد ابراهیمی[۲،*]

اطلاعات مقاله

دریافت مقاله: ۱۴۰۱/۰۸/۲۱
بازنگری مقاله: ۱۴۰۲/۰۸/۰۹
پذیرش مقاله: ۱۴۰۲/۰۹/۲۱

واژگان کلیدی:
تقویت‌کننده کم‌نویز،
روش حذف نویز،
عدد نویز،
فراپهن‌باند.

چکیده

تقویت‌کننده‌های کم‌نویز در گیرنده‌های رادیویی معمولا اولین بلوک بعد از آنتن هستند و وظیفه آن‌ها تقویت سیگنال دریافتی از آنتن بدون افزودن هرگونه نویز و اعوجاج است. از مهم‌ترین مشخصه‌های مطلوب در یک تقویت‌کننده کم‌نویز می‌توان به بهره نسبتا بالا، توان مصرفی پایین، تطبیق مناسب امپدانس ورودی و خروجی، و عدد نویز کم در آن‌ها اشاره کرد. در این مقاله یک تقویت‌کننده کم‌نویز فراپهن‌باند با استفاده از روش حذف نویز ارائه شده است که در آن با استفاده از فیدبک مثبت در مسیر حذف نویز و ارائه یک ساختار زیرِ یک ولت، توان مصرفی به طرز چشمگیری کاهش داده شده است. مدار پشنهادی در این مقاله مورد تحلیل و شبیه سازی قرار گرفته و پایداری مطلق آن نیز اثبات گردیده است. جانمایی این تقویت‌کننده در فناوری TSMC 0.18µm RF-CMOS با استفاده از نرم‌افزار Cadence-IC رسم و مورد شبیه سازی قرار می‌گیرد. شبیه‌سازی‌ها نشان می‌دهد عدد نویز این ساختار نسبت به ساختار متداولی که آن را توسعه داده‌ایم حدود ۲dB بهبود داشته به طوریکه عدد نویز آن در بازه فرکانسی ۲GHz تا ۱۲GHz به محدوده ۳/۶dB تا ۴/۵dBرسیده است و در کلِ بازه فرکانسی تغییرات بسیار کمی دارد. بهره بیشینه این تقویت‌کننده ۱۷/۲۵ dB است و پارامترهای S_{11} و S_{22} آن به ترتیب کمتر از ۹/۲۴ dB- و از ۹/۷۴ dB- است و S_{12} نیز کمتر از ۲۸/۵ dB- است. هم‌چنین خطسانی این تقویت کننده (IIP3) برابر ۳/۴dBm- است که نسبت به ساختار متداول بهبود مناسبی داشته است. کل توان مصرفی این ساختار با ولتاژ تغذیه ۰/۸ ولتی برابر ۴/۸۹ mW است که نسبت به ساختار متداول ۷۰ درصد کاهش داده شده است. براساس جانمایی انجام شده مساحت اشغالی این مدار برروی تراشه ۰/۸۹ mm^2است.

DOI: https://doi.org/10.22075/jme.2023.28966.2361

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

۱-مقدمه[۱]

تقویت‌کننده کم‌نویز یک بلوک مهم در سیستم گیرنده‌های بی‌سیم است. وظیفه اصلی این بلوک تقویت سیگنالهای دریافتی از آنتن با حداقل نویز اضافی است. یعنی این تقویت کننده نباید نویز زیادی به سیگنال ورودی اضافه نماید. همچنین در این تقویت کننده تطبیق امپدانس ورودی و خروجی از اهمیت بالایی برخوردار است. تاکنون تکنیک-های متعددی برای طراحی تقویت‌کننده کم نویز ارائه شده است که شامل استفاده از پیکره‌بندی‌های گیت-مشترک، تکنیک g_m افزایش‌یافته، تقویت‌کننده‌های سورس-مشترک با فیدبک مقاومتی، تقویت‌کننده‌های با ساختار جریان بازگشتی و ... می‌شود. معمولا در طراحی یک تقویت‌کننده

* پست الکترونیک نویسنده مسئول: eebrahimi@shahroodut.ac.ir
۱. دانش آموخته کارشناسی ارشد الکترونیک، گروه مهندسی برق، دانشکده مهندسی برق، دانشگاه صنعتی شاهرود، شاهرود، ایران.
۲. استادیار گروه مهندسی برق و الکترونیک، آزمایشگاه تحقیقاتی مدارهای مجتمع، دانشکده مهندسی برق، دانشگاه صنعتی شاهرود، شاهرود، ایران.

استناد به این مقاله:
علینژاد، مهدی، و ابراهیمی، عماد. (۱۴۰۳). تقویت‌کننده کم‌نویز فراپهن باند CMOS با توان مصرفی کم و ولتاژ تغذیه زیر یک ولت با استفاده از روش حذف نویز. مدل سازی در مهندسی، ۲۲(۷۷)، ۲۰۷-۲۲۰. doi: 10.22075/jme.2023.28966.2361

کم‌نویز با مصالحه‌های متعددی بین بهره، عدد نویز، توان مصرفی، تطبیق ورودی و پایداری روبه‌رو هستیم که از مهمترین چالش‌های طراحی تقویت کننده کم نویز به شمار می رود. به دلیل وجود مصالحه میان این چالش‌ها، بهبود هم زمان همه مشخصه‌ها بسیار مشکل است. تطبیق امپدانس در ورودی نیز یکی دیگر از عوامل مهم در طراحی یک تقویت‌کننده کم‌نویز است، به طوری که برای دستیابی به حداکثر توان در خروجی آنتن گیرنده، امپدانس ورودی باید در ۵۰ اهم تطبیق شود [۱، ۲]. پیکره‌بندی‌های رایج در طراحی تقویت‌کننده کم‌نویز عبارتند از ساختار گیت-مشترک و سورس-مشترک با فیدبک مقاومتی، که آرایش گیت-مشترک با دارا بودن ویژگی های مناسبی نظیر خطسانی خوب و مجزاسازی ورودی-خروجی زیاد، یکی از آرایش های محبوب در تقویت‌کننده‌های کم‌نویز است. اما در این آرایش به دلیل وابستگی عدد نویز، تطبیق ورودی و بهره به ترارسانایی ترانزیستورهای ورودی (g_m)، دست‌یابی به تطبیق ورودی پهن‌باند می‌تواند عملکرد تقویت کننده کم‌نویز را از نظر عدد نویز و بهره محدود کرده و دسترسی به بهره‌ی مناسب را دشوار کند. بنابراین در این مورد برای رسیدن به بهره مناسب به طبقات دیگری نیاز خواهد بود. تقویت‌کننده سورس-مشترک دارای بهره‌ی بالا و عملکرد نویز بهتری است، که معمولا برای دستیابی به تطبیق امپدانس ورودی در این ساختار از بازخورد مقاومتی استفاده می‌شود که خود موجب افزایش توان مصرفی در مدار خواهد شد. در هر دو ساختار تقویت‌کننده‌های گیت-مشترک و سورس-مشترک با بازخورد مقاومتی اغلب نمی‌توان به عدد نویز خیلی پایینی دست یافت [۳]، بنابراین علاوه بر این ساختارهای رایج بایستی از تکنیک‌های دیگری در کنار آنها استفاده شود تا بتوان عدد نویز را به حد قابل توجهی کاهش داد. یکی از روش‌های کاهش نویز در تقویت کننده‌های کم-نویز استفاده از روش حذف نویز است. با توجه به اینکه نویز ترانزیستورهای طبقات ورودی مدار سهم بیشتری در عدد نویز دارند، بنابراین با استفاده از روش حذف نویز در ساختارهای تقویت‌کننده گیت-مشترک و سورس-مشترک و قراردادن یک مسیر کمکی برای کاهش نویز و ایجاد اختلاف فاز برای ولتاژ نویز در مسیر کمکی، با عبور سیگنال ورودی و ولتاژ نویز حرارتی کانال ترانزیستورهای طبقات ورودی از دو مسیر متفاوت می‌توان این امکان را فراهم کرد که سیگنال دلخواه عبوری از دو مسیر در خروجی مدار با هم جمع شده و ولتاژهای نویز ناشی از ترانزیستورهای طبقه ورودی دو مسیر از هم کم شوند. به این ترتیب سیگنال دلخواه در خروجی افزایش یافته و ولتاژ نویز معادل در خروجی کاهش می‌یابد. در تقویت‌کننده سورس-مشترک جریان نویز کانال باعث ایجاد دو ولتاژ نویز هم فاز در درین و گیت ترانزیستور ورودی سورس-مشترک می شود و با عبور این دو ولتاژ نویز از دو مسیر(مسیر اصلی و مسیر کمکی) سبب می شود این ولتاژهای نویز از هم کم شوند و عدد نویز مدار تحت شرایطی کاهش یابد[۴]. در تقویت‌کننده گیت-مشترک نیز جریان نویز کانال ترانزیستور ورودی باعث ایجاد دو ولتاژ نویز غیر هم‌فاز در درین و سورس ترانزیستور می شود و با عبور این دو منبع نویز از دو مسیر موجب می‌شود که این دو منبع ولتاژ در گره خروجی از هم کم شوند و عدد نویز تحت شرایطی کاهش یابد [۳]. یکی دیگر از روشهای حذف نویز استفاده از ساختار تقویت‌کننده گیت-مشترک تمام تفاضلی و استفاده از مسیرهای فیدبک مثبت چندگانه است که با ایجاد یک درجه آزادی برای انتخاب g_m مناسب ترانزیستور ورودی سبب بهبود بهره تقویت کننده و کاهش عدد نویز مدار می شود. اما این ساختار به دلیل استفاده از فیدبک مثبت، ممکن است پایداری مناسبی نداشته باشد و دارای توان مصرفی بالایی باشد [۵، ۶].

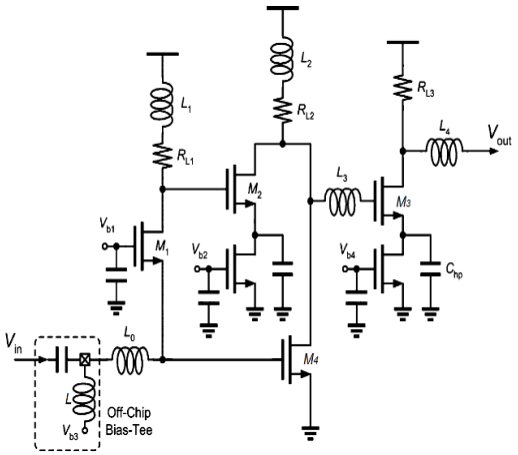
اخیرا در طراحی مدارهای تقویت‌کننده کم نویز از ساختار تقویت‌کننده‌های کسکود نیز استفاده می‌شود که در ازای کاهش سوئینگ به بهره بالا و جریان مصرفی کمتری می توان دست‌یافت [۷]. در [۴، ۸] برای کاهش توان مصرفی از ساختار تقویت کننده کسکود با تکنیک استفاده مجدد از جریان استفاده شده است به طوریکه دو ترانزیستور به صورت کسکود قرار گرفته‌اند و بنابراین هر دو ترانزیستور از یک جریان استفاده می کنند که توان مصرفی به طرز قابل توجهی کاهش می یابد. البته این تکنیک سوئینگ ولتاژ خروجی را نیز کاهش می‌دهد و همچنین به سطح ولتاژ بالایی برای بایاس ترانزیستور کسکود (بالایی) نیاز دارد.

در [۹] با ترکیب دو تکنیک حذف نویز و افزایش بهره از طریق دو مسیر با فاز معکوس شده و غیرمعکوس شده‌ی نویز یک تقویت کننده کم نویز فراپهن باند با ولتاژ تغذیه ۰/۸ ولت ارائه شده است. این تقویت کننده با استفاده از ساختار کسکود در مسیر پیشرو به بهره بیشتر از ۱۱/۱۱dB و عدد نویز کمتر از ۶/۷dB دست یافته است. قابل ذکر است

که استفاده از تکنیک‌های استفاده مجدد از جریان و افزایش دهنده G_m از روش‌های دیگری است که برای کاهش توان مصرفی و افزایش بهره در تقویت کننده های کم نویز باند باریک استفاده می شود[۱۰]. روش دیگری که در [۱۱] برای کاهش عدد نویز و تطبیق پهن‌باند در یک UWB استفاده شده است، بهره‌بردن از شبکه تطبیق فعال ترانزیستوری است. در این ساختار برای رسیدن به بهره و سوئینگ بالا از تکنیک سلف پیک دهنده موازی نیز بهره گرفته شده است و بنابراین عدد نویز تقویت کننده با ترکیبی از تکنیک‌های مختلف بهبود قابل توجهی یافته است.

در[۱۲] یک تقویت کننده کم نویز با ولتاژ تغذیه کم طراحی و شبیه‌سازی شده است. با استفاده از ساختار جریان بازگشتیِ اصلاح شده، تقویت‌کننده کم‌نویز پیشنهادی در [۱۲] می تواند با منبع تغذیه پایین تر از یک ولت کار کند. در [۱۳] نیز برای کاهش ولتاژ تغذیه یک تقویت‌کننده کم نویز از تکنیک کاهش ولتاژ آستانه به روش بایاس مستقیم بالک بهره برده شده است. ولتاژ تغذیه در این تقویت کننده با استفاده همزمان از ساختار جریان بازگشتی و اثر بدنه به زیر یک ولت کاهش داده شده است.

در [۱۴] با به‌کارگیری سلف‌های فعال کسکید یک تقویت-کننده کم نویز تفاضلی پهن‌باند ارائه شده‌است که در آن از هیچ سلف مارپیچی استفاده نشده‌است. در این تقویت‌کننده برای بهبود توان مصرفی و کاهش نویز از تکنیک اتصال-ضربدری خازنها بهره برده شده‌است. تکنیک پیک‌زنی سری و موازی جهت افزایش پهنای باند و بهره‌گیری از تکنیک استفاده مجدد از جریان جهت کاهش توان مصرفی از دیگر روش‌هایی است که به وفور در طراحی تقویت کننده‌های کم‌نویز فراپهن باند مورد استفاده قرار می گیرد [۱۵و۱۶].

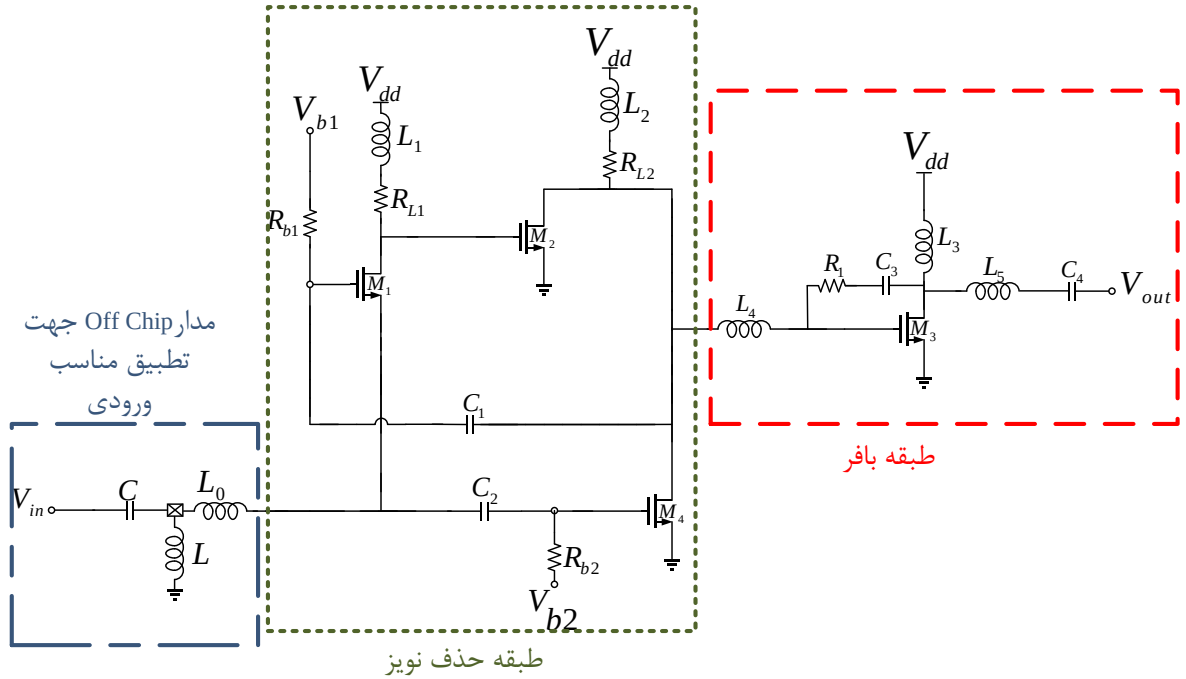


شکل ۱- ساختار حذف نویز متداول [۱۷].

هدف اصلی ما در این مقاله کاهش توان مصرفی یک سیستم جهت افزایش طول عمر باتری است که با استفاده از روش‌هایی مانند روش g_m افزایش‌یافته به این هدف دست یافته‌ایم. همچنین برای کاهش بیشتر توان مصرفی، از کاهش ولتاژ تغذیه مدار نیز استفاده نموده‌ایم. در این مقاله برای کاهش ولتاژ تغذیه در ساختار متداول حذف نویز [۱۷] که در شکل (۱) نیز نشان داده شده است، بایاس طبقات را از هم جدا نموده‌ایم که حداقل ولتاژ تغذیه مدار به میزان قابل توجهی بهبود یافته است. بنابراین با ترکیب همزمان روش‌های مذکور، ولتاژ تغذیه و جریان مصرفی یک ساختار متداول LNA را به خوبی بهبود داده و آن را به یک ساختار مناسب با توان مصرفی و ولتاژ تغذیه پایین تبدیل نموده‌ایم. قابل ذکر است که برای کاهش نویز در ساختار پیشنهادی از ساختار تقویت‌کننده گیت-مشترک استفاده شده است که برای حذف نویز حرارتی کانال آن یک مسیر کمکی نیز در نظر گرفته شده است. طرح کلی این مقاله به صورت زیر است: در بخش دوم مدار تقویت‌کننده کم‌نویز پیشنهادی ارائه می‌شود و سپس بهره و عدد نویز تقویت‌کننده کم‌نویز پیشنهادی مورد تحلیل و بررسی قرار می‌گیرد. در بخش سوم نتایج شبیه سازی در نرم‌افزار کیدنس و مقایسه آن با ساختارهای دیگر ارائه می شود. در نهایت، نتیجه‌گیری در بخش چهارم ارائه خواهد شد.

۲- ساختار تقویت‌کننده کم‌نویز پیشنهادی

ساختار تقویت‌کننده کم‌نویز پیشنهادی در شکل (۲) نشان داده شده است. در این ساختار با اضافه کردن خازن C_1 بین درین ترانزیستور M_4 و گیت ترانزیستور M_1 جهت کاهش توان مصرفی از تکنیک g_m افزایش یافته استفاده شده است. سیگنال ورودی پس از عبور از ترانزیستور M_4 دچار اختلاف فاز می‌شود و با بهره منفی تقویت می‌شود. از آن‌جا که این بهره‌ی منفی به گیت ترانزیستور M_1 وارد می‌شود سبب افزایش ولتاژ v_{gs} می‌گردد که همین امر به خاطر ثابت در نظر گرفتن مقاومت ورودی طبقه گیت مشترک باعث می‌شود تا بتوانیم g_{m1} را کاهش داده و در نتیجه توان مصرفی ساختار را بهبود ببخشیم. در ورودی مدار از شبکه تطبیق T جهت بهبود تطبیق امپدانس ورودی استفاده شده است. جهت افزایش تطبیق امپدانس ورودی پهن باند از ترانزیستور M_1 که به صورت گیت-مشترک است، استفاده شده است و پهنای باند مدار به میزان قابل توجهی افزایش پیدا کرده است.



شکل ۲- تقویت‌کننده کم‌نویز پیشنهادی

در این مدار تکنیک حذف نویز مصالحه‌ی بین تطبیق ورودی و عدد نویز را کاهش می‌دهد و طبقات سورس مشترک M_2 و M_4 به گونه‌ای طراحی شده‌اند که بتوانند نویز ترانزیستور M_1 را حذف کنند. در خروجی تقویت‌کننده کم‌نویز پیشنهادی همانند ساختارهای متداول از یک بافر ولتاژ [۱۸] جهت ایجاد تطبیق خروجی استفاده شده است. برای دستیابی به بهره بالا با توان مصرفی کم از ساختار سورس مشترک به عنوان بافر به همراه تکنیک پیک‌دهنده سری استفاده شده است. این ساختار خطینگی IIP3 را نیز با استفاده از فیدبک موازی-موازی بهبود می دهد.

۲-۱- بهره تقویت‌کننده کم‌نویز پیشنهادی

شکل ۳ ساختار مفهومی تقویت‌کننده پیشنهادی را نشان می‌دهد که در آن از ساختار گیت-مشترک همراه با روش حذف نویز و g_m افزایش‌یافته استفاده شده است. قابل ذکر است که در ساختارهای متداول، طبقه پس‌رو شکل ۳ وجود ندارد و نوآوری اصلی ساختار پیشنهادی ما در همین بخش است. با توجه به بلوک اضافه شده در این ساختار، مقدار v_{GS} ترانزیستور گیت مشترک M_1 به صورت رابطه (۱) محاسبه می‌شود.

$$v_{GS} = -\frac{Av_{in}}{2} - \frac{v_{in}}{2} = -\frac{v_{in}}{2}(A+1) \qquad (۱)$$

از آنجا که اندازه جریان سیگنال-کوچک ترانزیستور M_1 برابر با $i=g_m v_{GS}$ است، از رابطه (۱) می توان به رابطه (۲) دست یافت. همان‌طور که در این رابطه مشاهده می‌شود با ضرب شدن A در ترارسانایی می توان مقدار g_{m1} را کوچک انتخاب نمود و جریان و در نتیجه توان مصرفی مدار را کاهش داد.

$$i = -g_m v_{GS} = -g_{m1}\frac{v_{in}}{2}(A+1) \qquad (۲)$$

از (۲) می‌توان مقدار مقاومت ورودی طبقه گیت-مشترک را به صورت زیر محاسبه کرد.

$$R_S = \frac{1}{g_{m1}(A+1)} \qquad (۳)$$

همچنین بهره‌ی تقویت‌کننده کم‌نویز ساختار پیشنهادی به صورت رابطه (۴) قابل محاسبه است.

$$A_v = \frac{V_{out}}{V_{in}} = \frac{1}{2}((1+A)g_{m1}R_{L1}g_{m2}R_{L2} + g_{m4}R_{L2}) \qquad (۴)$$

که در این رابطه‌ها g_{m1}، g_{m2} و g_{m4} به ترتیب ترارسانایی ترانزیستورهای M_1، M_2 و M_4 است. R_{L1} و R_{L2} نیز مقاومت‌های تلفاتی خودالقاهای L_1 و L_2 است.

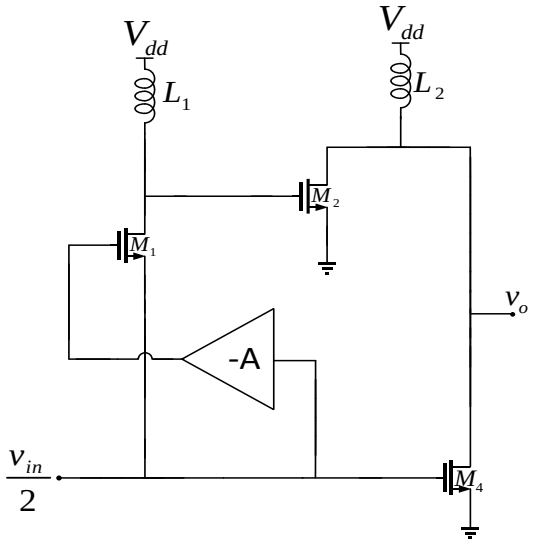
با توجه به بهره طبقه پیش‌رو که برابر با $A=g_{m4}R_{L2}$ است و با توجه به این که نویز ترانزیستور M_1 از یک مسیر توسط ترانزیستورهای M_1 و M_2 و از مسیر دیگر توسط ترانزیستور M_4 با فاز مخالف به خروجی می‌رسد، اگر بهره دو مسیر یکسان باشد نویز ترانزیستور M_1 در خروجی حذف می‌گردد. لذا شرط حذف نویز تقویت‌کننده پیشنهادی به

صورت رابطه (۵) قابل محاسبه است.

$$(1+A)g_{m1}R_{L1}g_{m2}R_{L2} = g_{m4}R_{L2} \qquad (۵)$$

در این صورت می‌توانیم با استفاده از رابطه‌های (۳)، (۴) و (۵) بهره تقویت‌کننده پیشنهادی را به صورت (۶) بازنویسی کنیم.

$$A_v = \frac{V_{out}}{V_{in}} = (1+A)g_{m1}R_{L1}g_{m2}R_{L2} = \frac{R_{L1}g_{m2}R_{L2}}{R_S} \qquad (۶)$$



شکل ۳- ساختار ساده شده تقویت‌کننده پیشنهادی

بنابراین خازن C_1 در مدار پیشنهادی یک مسیر فیدبک را ایجاد نموده است که منجر به بهبود g_m موثر ترانزیستور M_1 با ضریبی برابر با (1+A) می‌شود. یعنی براساس رابطه (۳) و (۴) به ازای g_{m1} کوچکتر و بنابراین توان مصرفی کمتری نسبت به مدار متداول می‌توان به تطبیق امپدانس ورودی و بهره خروجی بالا دست یافت.

۲- ۲- عدد نویز تقویت‌کننده کم نویز پیشنهادی

همانطور که می دانیم عدد نویز هر تقویت‌کننده به صورت رابطه ۷ قابل تعریف است.

$$F = 1 + \frac{1}{4KTR_S}\frac{\overline{V_{n,out}^2}}{A_V^2} \qquad (۷)$$

که عدد ۱ در رابطه (۷) ناشی از نویز مقاومت R_s در خروجی است. $\overline{V_{n,out}^2}$ کل نویز مدار در گره خروجی است و عبارت مخرج $(4KTR_sA_V^2)$ نویز مقاومت ورودی در گره خروجی است. با توجه به این که نویز ترانزیستور M_1 در این ساختار حذف شده است لذا کل نویز خروجی شامل نویز M_2، M_4، R_{L1} و R_{L2} است که به صورت (۸) بیان می‌شود.

$$\overline{V_{n,out}^2} = 4KTR_{L1}g_{m2}^2R_{L2}^2 + 4KTR_{L2} + 4KT\gamma(g_{m2}+g_{m4})R_{L2}^2) \qquad (۸)$$

بنابراین مقدار عدد نویز به صورت رابطه (۹) قابل محاسبه است.

$$F = 1 + (\frac{R_s}{R_{L1}g_{m2}R_{L2}})^2\frac{(4KTR_{L1}g_{m2}^2R_{L2}^2 + 4KTR_{L2} + 4KT\gamma(g_{m2}+g_{m4})R_{L2}^2}{4KTR_s} \qquad (۹)$$

از ساده‌سازی رابطه (۹) داریم:

$$F = 1 + \frac{R_s}{R_{L1}} + \frac{R_s}{R_{L1}^2g_{m2}^2R_{L2}} + \frac{\gamma R_s}{R_{L1}^2g_{m2}} + \frac{\gamma g_{m4}R_s}{R_{L1}^2g_{m2}^2} \qquad (۱۰)$$

که از رابطه (۱۰) و (۵) مقدار عدد نویز ساختار پیشنهادی به صورت رابطه (۱۱) حاصل می‌شود.

$$F = 1 + \frac{g_{m2}}{g_{m4}} + \frac{1}{g_{m4}^2R_sR_{L2}} + \frac{\gamma g_{m2}}{g_{m4}^2R_s} + \frac{\gamma}{g_{m4}R_s} \qquad (۱۱)$$

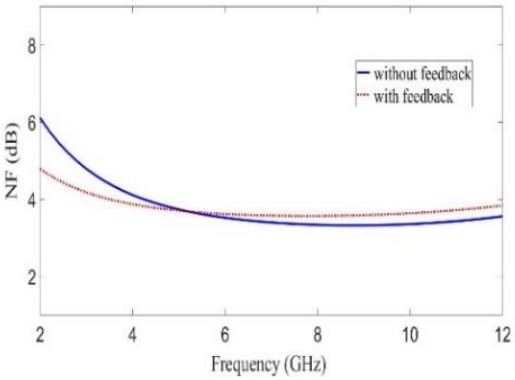
برای این که نشان دهیم نویزی که توسط مدار فیدبک به ورودی سیستم اعمال می‌گردد تاثیر بسیار کمی دارد ابتدا مجددا نویز خروجی را طبق رابطه (۱۲) محاسبه نموده،

$$\overline{V_{n,out}^2} = \frac{4KT\gamma}{g_{m4}}g_{m4}^2R_{L2}^2(\frac{R_{L1}g_{m2}}{2R_s})^2 + 4KTR_{L1}g_{m2}^2R_{L2}^2 + 4KTR_{L2} + 4KT\gamma(g_{m2}+g_{m4})R_{L2}^2 \qquad (۱۲)$$

که از آن، مقدار عدد نویز تقویت‌کننده برابر است با:

$$F = 1 + \frac{\gamma g_{m4}R_{L2}^2}{4R_s} + \frac{g_{m2}}{g_{m4}} + \frac{1}{g_{m4}^2R_sR_{L2}} + \frac{\gamma g_{m2}}{g_{m4}^2R_s} + \frac{\gamma}{g_{m4}R_s} \qquad (۱۳)$$

با مقایسه رابطه (۱۳) و (۱۱) مشاهده می‌شود که عبارت ایجاد شده ناشی از مدار فیدبک بسیار کوچک است زیرا مقدار R_s در مخرج بسیار بزرگتر از عبارات صورت است و لذا تاثیر نویز مدار فیدبک بر نویز کل مدار بسیار اندک است. درشکل (۴) عدد نویز تقویت کننده با و بدون فیدبک رسم شده است که همانطور که ملاحظه می شود اثر نویز فیدبک در فرکانس های میانی به بالا ظاهر می شود و تاثیر مخرب آن بر عدد نویز بسیار ناچیز است. البته وجود این فیدبک مزایای خود مانند دستیابی به بهره بالاتر و کاهش توان مصرفی را در برخواهد داشت. قابل ذکر است چون در مدار پیشنهادی همه ترانزیستورها در ناحیه بالای آستانه بایاس شده اند بنابراین همه تحلیل های ارائه شده برای نویز و ... نیز مربوط به همین ناحیه است.



شکل ۴. عدد نویز تقویت کننده با و بدون فیدبک.

۳- نتایج شبیه‌سازی تقویت‌کننده پیشنهادی

با توجه به این که در LNA متداول [۱۷] (شکل ۱)، ولتاژ بایاس الگاگر L (یعنی V_{b3}) باید به نحوی تعیین شود که ترانزیستور M_4 روشن شود، یعنی $V_{b3}>V_{T4}$ باشد، پس سورس ترانزیستور M_1 نیز از نظر DC در ولتاژی بالاتر از زمین قرار دارد. بنابراین ولتاژ تغذیه و V_{b1} برای روشن ماندن ترانزیستور M_1 باید بزرگتر از $V_{T1}+V_{T4}$ باشد که خود عامل محدودکننده‌ای برای کاهش حداقل ولتاژ تغذیه مورد نیاز و کاهش توان مصرفی است. بدین منظور برای بهبود عملکرد مدار، کاهش توان مصرفی و کارکرد صحیح مدار با منابع تغذیه زیر یک ولت، در مدار پیشنهادی شکل ۲ با قرار دادن یک خازن (C_2) ولتاژ بایاس ترانزیستور M_4 را از M_1 جدا می‌کنیم تا بتوانیم ولتاژ سورس M_1 را از M_4 ایزوله نموده و در ولتاژ پایین‌تری بایاس کنیم. بدین ترتیب می توان ولتاژ بایاس و تغذیه مورد نیاز برای M_1 را نسبت به ساختار پایه کاهش دهیم. همان‌طور که در شکل ۲ نشان داده شده است علاوه بر ساختار حذف نویز که سبب حذف نویز ترانزیستور M_1 شده است استفاده از روش g_m افزایش یافته سبب کاهش جریان مصرفی تقویت‌کننده می‌شود و جداسازی بایاس طبقات سبب می‌شود تا بتوانیم ولتاژ تغذیه مدار را نیزکاهش دهیم.

۳-۱- نتایج شبیه‌سازی شماتیک ساختار پیشنهادی

جهت بررسی و تایید عملکرد مدار پیشنهادی از نرم افزار کیدنس استفاده شده است. با توجه به اینکه در این نرم‌افزار علاوه بر تحلیل شماتیک مدار امکان رسم جانمایی فیزیکی و استخراج المان‌های پارازیتیک و تحلیل‌های متنوع مانند مونت کارلو و تحلیل گوشه‌های تکنولوژی و دما وجود دارد، نتایج حاصل از آن بسیار نزدیک به نتایج ساخت و اندازه گیری خواهد بود. البته واضح است که همواره در نتایج ساخت ممکن است تفاوت‌هایی نسبت به نتایج شبیه‌سازی ملاحظه شود. البته در این مقاله سعی شده است که با تحلیل‌های متنوع، رسم جانمایی و استخراج المان‌های پارازیتیک میزان خطا به حداقل برسد. لازم به ذکر است در این شبیه‌سازی‌ها اثرات کانال کوتاه نیز درنظر گرفته می شود.

مدار پیشنهادی در این مقاله برای پهنای باند ۲GHz تا ۱۲GHz و با منبع تغذیه ۰/۸ ولت در فناوری TSMC 0.18µm CMOS طراحی و با ابعاد ارائه شده در جدول ۱ شبیه‌سازی گردیده است.

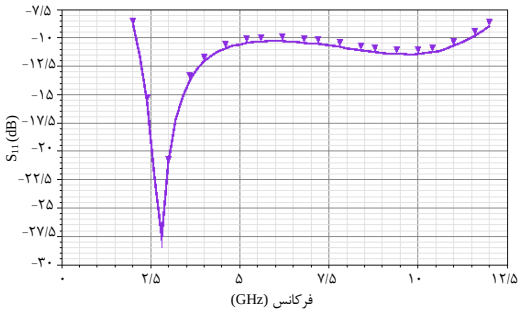
جدول۱- مقادیر المان‌ها و ابعاد ترانزیستورهای تقویت‌کننده‌ی پیشنهادی

نام قطعه	مقدار	نام قطعه	مقدار
$(W/L)_1$	15/0.18 µm/µm	L_1 Spiral-sym.	1.22nH nr=2 rad=81.27
$(W/L)_2$	14.7/0.18 µm/µm	L_2 Spiral-sym.	5.24nH nr=4 rad=93.94
$(W/L)_3$	143.2/0.18 µm/µm	L_3 Spiral-sym.	1.43nH nr=2 rad=81.75
$(W/L)_4$	144/0.18 µm/µm	C_1 MIM	20.28fF Lt=4µm Wt=4µm
C_2 MIM	951fF Lt=30µm Wt=30µm	C_3 MIM	20.28fF Lt=4µm Wt=4µm

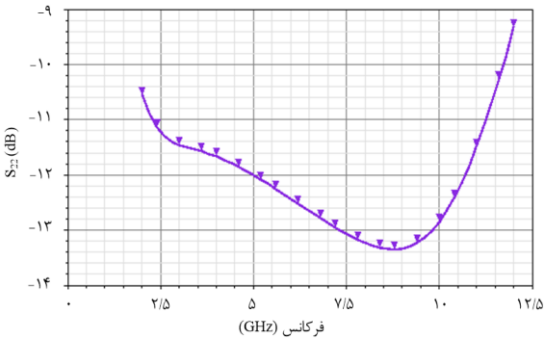
کاهش ولتاژ تغذیه در این مدار سبب کاهش توان مصرفی تقویت‌کننده کم‌نویز به ۴/۸۹mW شده است. همچنین مدار بافر این ساختار برای ولتاژ تغذیه ۱V طراحی شده است و توان مصرفی آن ۷/۹۳ mW است.

برای بررسی تطبیق ورودی تقویت‌کننده پیشنهادی پارامتر S_{11} آن در بازه فرکانسی مورد نظر شبیه‌سازی و در شکل ۵ نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود در تمام محدوده فرکانسی (۲GHz تا ۱۲GHz) پارامتر S_{11} این تقویت‌کننده بهتر از ۹/۲۴ dB- است که حاکی از تطبیق قابل قبول ورودی است.

جهت بررسی تطبیق خروجی در تقویت‌کننده پیشنهادی، نمودار S_{22} حاصل از شبیه‌سازی در شکل ۶ نشان داده شده است. همان‌طور که مشاهده می‌شود مقدار این پارامتر نیز در کل محدوده فرکانسی کمتر از ۹/۷۴ dB- است.

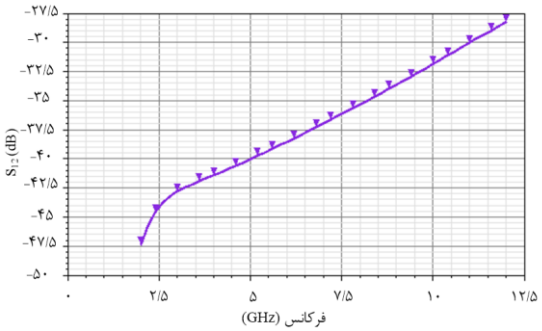


شکل ۵- اندازه S_{11} تقویت‌کننده پیشنهادی.



شکل۶- اندازه S_{22} ساختار پیشنهادی.

هم‌چنین مقدار ایزولاسیون برگشتی (S_{12}) تقویت‌کننده پیشنهادی مطابق شکل (۷) می‌باشد که همواره کمتر از ۲۷dB- است.

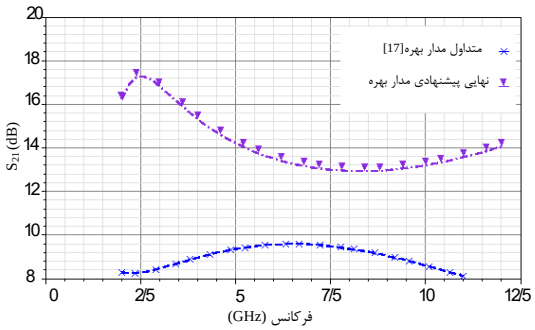


شکل۷- اندازه S_{12} مربوط به مدار تقویت‌کننده پیشنهادی.

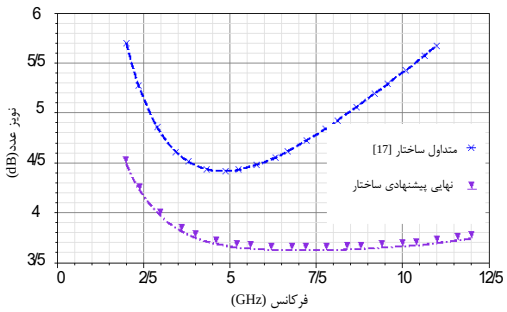
برای مقایسه میزان بهره تقویت‌کننده پیشنهادی نهایی با ساختار متداول [۱۷] پارامتر S_{21} هر دو تقویت‌کننده در شکل ۸ نشان داده شده است. همان‌طور که در این شکل نشان داده شده است بهره ساختار پیشنهادی نسبت به ساختار متداول حداقل ۴/۲dB و حداکثر ۹dB افزایش داشته است.

پس از بررسی بهره تقویت‌کننده پیشنهادی، حال نوبت به مقایسه عدد نویز تقویت‌کننده پیشنهادی با تقویت‌کننده ساختار متداول می‌رسد. نمودار عدد نویز مربوط به ساختار متداول و ساختار پیشنهادی به صورت شکل ۹ حاصل شده است. همان‌طور که مشاهده می‌شود مقدار عدد نویز تقویت‌کننده پیشنهادی تغییر چشم‌گیری نسبت به حالت متداول داشته است.

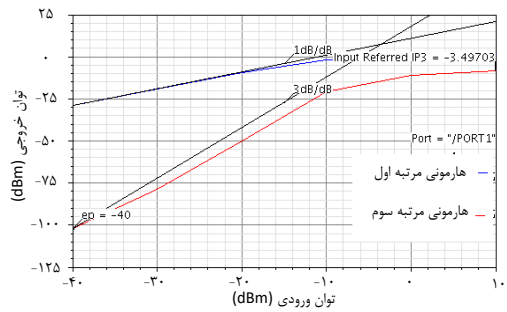
برای محاسبه میزان خطینگی تقویت‌کننده پیشنهادی و بررسی رفتار آن با استفاده از تست دو تن، دو تن با فرکانس‌های ۷/۴GHz و ۷/۴۸GHz به ورودی اعمال و توان آن دو در بازه ۴۰dBm- تا ۱۰dBm جاروب گردید و توان مولفه اول و هارمونی سوم در شکل (۱۰) ترسیم گردید.



شکل۸- بهره (S_{21}) مدار متداول و تقویت‌کننده پیشنهادی.



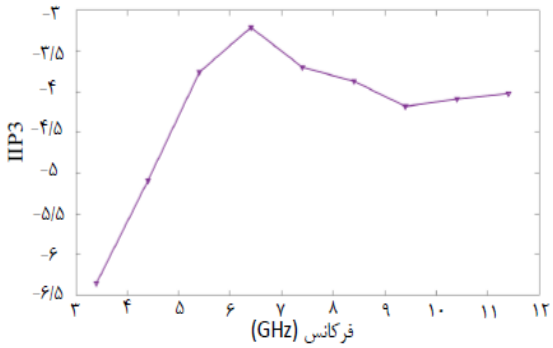
شکل ۹- مقایسه عدد نویز تقویت‌کننده پیشنهادی و ساختار متداول.



شکل ۱۰- خطینگی ساختار تقویت‌کننده پیشنهادی در ۷GHz.

میزان IIP3 حاصل از شبیه‌سازی ساختار پیشنهادی در شکل (۱۰) نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود مقدار IIP3 مدار پیشنهادی در فرکانس ۷/۴ GHz برابر ۳/۴۹ dBm- شده است که نسبت به ساختار متداول حدود ۳/۳ dB بهبود داشته است.

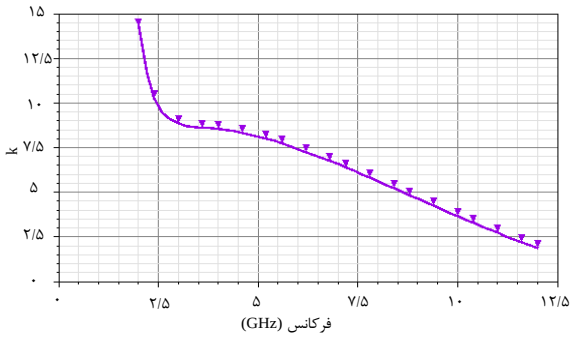
به منظور بررسی میزان تغییرات IIP3 در کل بازه فرکانسی، IIP3 چند نقطه دیگر در بازه پهنای باند مورد نظر شبیه‌سازی گردید و در شکل (۱۱) رسم شده است. همان‌طور که در این شکل ملاحظه می‌شود حداکثر تغییرات IIP3 در کل بازه پهنای باند کمتر از ۳/۴ dBm است.



شکل ۱۱- خطینگی ساختار تقویت‌کننده پیشنهادی در کل بازه فرکانسی.

همان‌طور که قبلا نیز اشاره شد به منظور عملکرد صحیح مدار پیشنهادی در کل بازه فرکانسی می‌بایست مدار پیشنهادی در کل بازه فرکانسی پایدار باشد. برای رسیدن به این هدف می‌بایست ضریب k همواره بزرگتر از ۱ باشد.

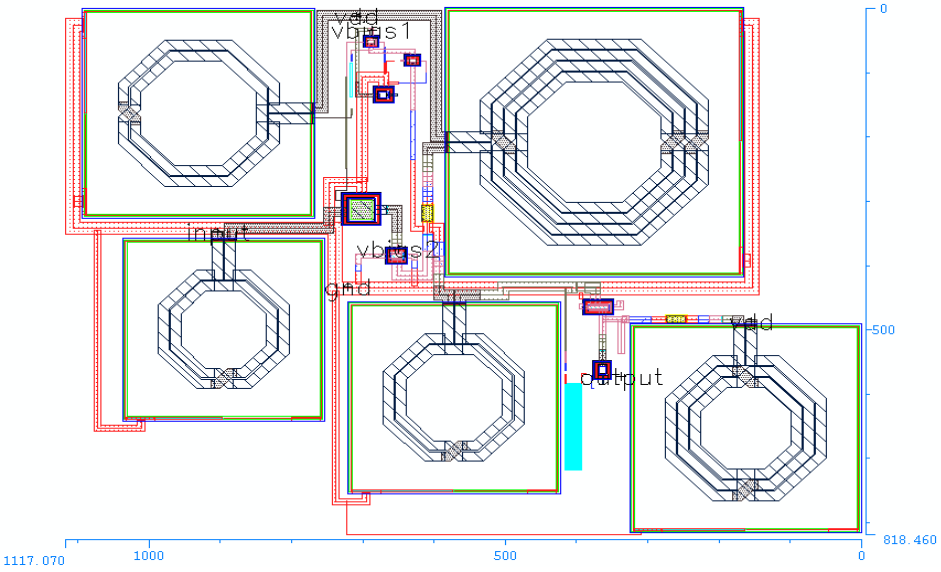
بنابراین ضریب k حاصل از شبیه‌سازی در شکل (۱۲) حاکی از پایداری بدون قید و شرط ساختار پیشنهادی است.



شکل ۱۲- پایداری ساختار تقویت‌کننده پیشنهادی در کل بازه فرکانسی.

۲-۳- نتایج شبیه‌سازی پس از جانمایی تقویت‌کننده پیشنهادی

به منظور تایید صحت عملکرد مدار پیشنهادی، تقویت‌کننده مذکور در شبیه‌ساز Cadence-IC با پارامترهای جدول ۲ جانمایی گردید. شکل حاصل از جانمایی این مدار در شکل (۱۳) نشان داده شده است. با توجه به اینکه عناصر پارازیتی و نحوه جانمایی و مسیرهای مدار در نتایج شبیه سازی پس از جانمایی موثر است، برای دستیابی به نتایج مطلوب ابعاد برخی از افزاره های مداری در جانمایی نسبت به ابعاد شماتیک تغییر داده شد تا همچنان همان نتایج مطلوب حاصل از شبیه سازی قبل از جانمایی به دست آید.



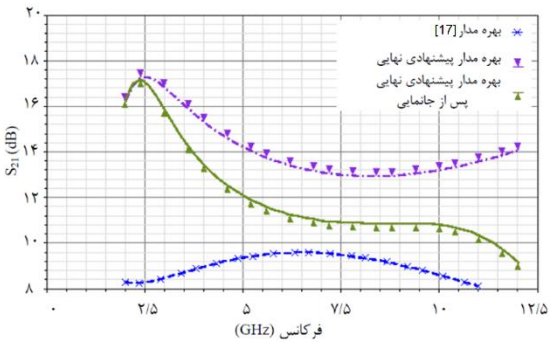
شکل ۱۳- جانمایی ساختار تقویت‌کننده کم‌نویز پیشنهادی.

جدول ۲- مقادیر المان‌ها و ابعاد ترانزیستورهای تقویت‌کننده پیشنهادی پس از جانمایی

نام قطعه	مقدار	نام قطعه	مقدار
$(W/L)_1$	15/0.18 µm/µm	L_1	1.22nH (nr=2 rad=81.27)
$(W/L)_2$	10.5/0.18 µm/µm	L_2	5.24nH (nr=4 rad=93.94)
$(W/L)_3$	244.8/0.18 µm/µm	L_3	19.8nH (nr=3 rad=63.54)
$(W/L)_4$	144/0.18 µm/µm	C_1 MIM	20.28fF (Lt=4µm Wt=4µm)
C_2 MIM	951fF (Lt=30µm Wt=30µm)	C_3 MIM	20.28fF (Lt=4µm Wt=4µm)

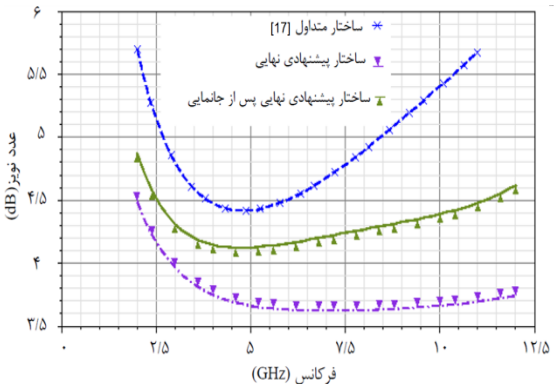
با توجه به شکل (۱۳) تقویت‌کننده مذکور سطحی برابر با ۰/۸۹ mm^2را بر روی تراشه اشغال خواهد کرد. پس از انجام جانمایی و استخراج مدار حاصل از جانمایی به همراه المان‌های پارازیتی، مدار حاصل تحت شبیه‌سازی بعد از جانمایی قرار گرفت و پارامترهای مهم تقویت‌کننده برای هر دو حالت قبل و بعد از جانمایی ترسیم و با ساختار متداول مقایسه گردید.

بهره ولتاژ و عدد نویز تقویت کننده پیش و پس از جانمایی به ترتیب در شکل (۱۴) و (۱۵) رسم و با ساختار متداول مقایسه شده است. با بررسی شکل (۱۴) واضح است که بهره مدار پس از جانمایی حداکثر ۳dB نسبت به قبل از جانمایی کاهش یافته است اما همچنان به میزان قابل قبولی بهتر از ساختار متداول است.



شکل ۱۴- بهره تقویت‌کننده متداول در مقایسه با ساختار پیشنهادی قبل و بعد از جانمایی.

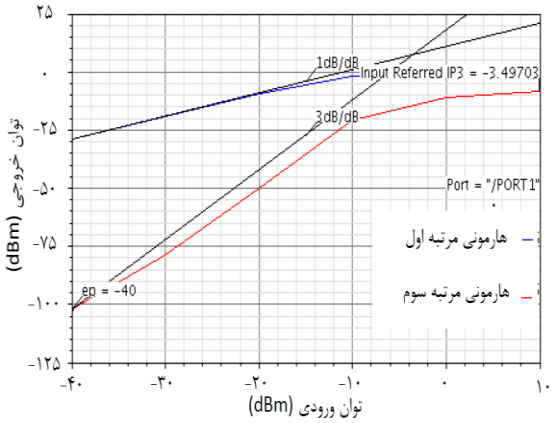
نمودار عدد نویز مربوط به ساختار متداول و ساختار پیشنهادی قبل و بعد از جانمایی به صورت شکل (۱۵) حاصل شده است.



شکل ۱۵- عدد نویز ساختار متداول در مقایسه با ساختار پیشنهادی قبل و بعد از جانمایی.

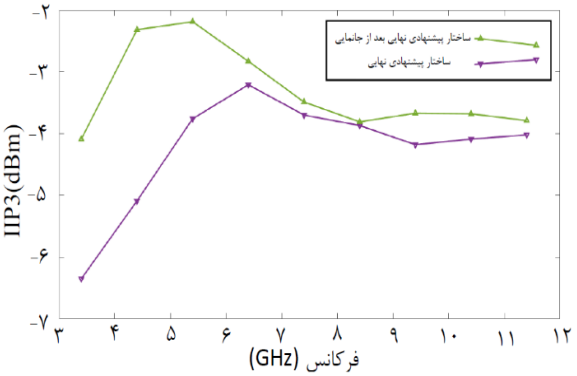
اگرچه نتایج بعد از جانمایی حاکی از افزایش عدد نویز تا ۰/۷dB است، اما همچنان عدد نویز این ساختار نسبت به ساختار متداول بهتر است.

به منظور بررسی خطینگی تقویت‌کننده پیشنهادی پس از جانمایی دو تن با فرکانس‌های ۷/۴ GHz و ۷/۴۸GHz به ورودی اعمال و توان آن دو در بازه ۴۰dBm- تا ۱۰dBm جاروب گردید و توان مولفه اول و هارمونی سوم خروجی در شکل (۱۶) ترسیم گردید.

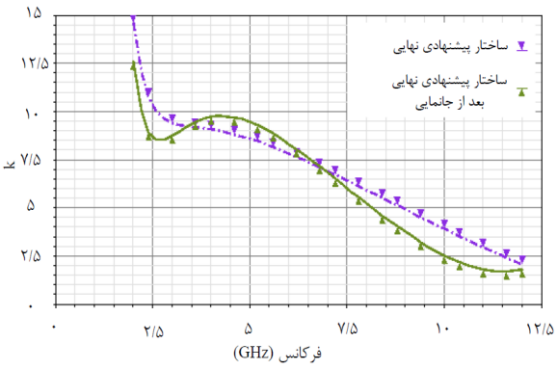


شکل ۱۶-خطینگی ساختار پیشنهادی پس از جانمایی.

همان‌طور که ملاحظه می‌شود مقدار IIP3 مدار پیشنهادی نهایی در فرکانس ۷/۴GHz برابر ۳/۴۹dBm- شده است که نسبت به ساختار متداول حدود ۳/۳dB بهبود داشته است. به منظور بررسی میزان IIP3 در کل بازه فرکانسی همان نقاط قبلی مجددا شبیه‌سازی گردید که تغییرات IIP3 در کل بازه در شکل (۱۷) رسم شده است. همان‌طور که در این شکل ملاحظه می‌شود تغییرات IIP3 در کل بازه به میزان خوبی بهبود داشته است.



شکل ۱۷- خطینگی تقویت‌کننده پیشنهادی قبل و بعد از جانمایی.



شکل ۱۸-پایداری تقویت‌کننده پیشنهادی نهایی قبل و بعد از جانمایی.

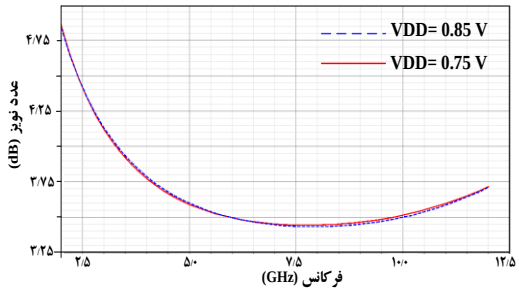
مقدار k نیز پس از جانمایی در شکل (۱۸) نشان داده شده است که مقدار آن همواره بزرگتر از ۱ است. لذا مدار پیشنهادی پس از جانمایی نیز از نظر پایداری مشکلی نخواهد داشت.

برای بررسی عملکرد مدار پیشنهادی در گوشه های فرآیند ساخت و دما، نتایج شبیه‌سازی مدار در جدول ۳ ارائه شده است که حاکی از عملکرد صحیح مدار در گوشه‌ها است. همچنین نتایج شبیه‌سازی عدد نویز نسبت به تغییرات منبع تغذیه در شکل (۱۹) نشان داده شده است. همانطور که در این شکل ملاحظه می شود حساسیت مدار به تغییرات منبع تغذیه بسیار کم است.

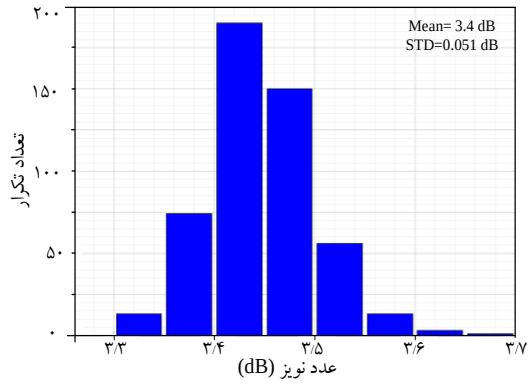
جدول ۳. عملکرد بهره و عدد نویز مدار در گوشه ها.

Corner/Temperature(°C)	S21(dB)	NF(dB)
FF/-20	17.16	3.25
FF/85	12	4.11
SF/-20	16.1	3.14
SF/85	18.7	2.6
SS/-20	15.97	3.25
SS/85	12.5	4.18
FS/-20	19.5	2.65
FS/85	16.8	3.16

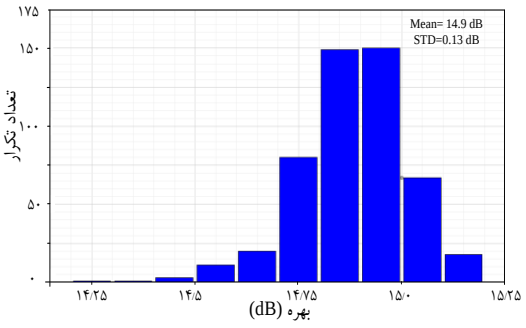
با توجه به اینکه تغییرات و خطاهای فرآیند ساخت ممکن است بر روی عملکرد مدار تاثیرگذار باشد شبیه سازی مونت کارلو با ۵۰۰ تکرار در شکل ۲۰ نشان داده شده است. شبیه سازی‌های مونت کارلو نشان می دهد که بهره و عدد نویز تقویت کننده دارای توزیع گوسی به ترتیب با میانگین ۱۴/۹dB و ۳/۴dB است.



شکل ۱۹- عملکرد عدد نویز مدار در ولتاژهای تغذیه ۰/۷۵ و ۰/۸۵ ولت.



(الف)



(ب)

شکل ۲۰- نتایج شبیه‌سازی مونت کارلو برای (الف) عدد نویز و (ب) بهره تقویت کننده.

در جدول ۴ به مقایسه عملکرد ساختار پیشنهادی با تعدادی از تقویت‌کننده‌های کم‌نویز ارائه شده در مقالات قبل پرداخته شده است. به منظور مقایسه عملکرد کلی تقویت‌کننده‌های کم‌نویز ضریب شایستگی‌های متفاوتی تعریف می‌شود که دو ضریب شایستگی متداول به صورت

رابطه‌های (۱۴) و (۱۵) است. در یکی از این ضریب شایستگی‌ها (FOM1) که در رابطه (۱۴) نشان داده شده است فقط مقدار بهره، پهنای باند، توان مصرفی و عدد نویز بر هم نرمالیزه شده است و در دیگری (رابطه (۱۵)) اثر خطینگی نیز لحاظ شده است.

$$FOM1 = \frac{Gain(abs) * BW(GHz)}{Power(mW) * (F_{\min} - 1)} \quad (۱۴)$$

$$FOM2 = \frac{IIP3(mW) * Gain(abs) * BW(GHz)}{Power(mW) * (F_{\min} - 1)} \quad (۱۵)$$

در این دو رابطه Gain اندازه بهره توان تقویت‌کننده، BW پهنای باند تقویت‌کننده بر حسب گیگاهرتز، Power توان مصرفی بر حسب میلی وات، F_{min} کمترین مقدارضریب نویز و IIP3 مقدار خطینگی ساختار بر حسب میلی وات است. قابل توجه است که علی‌رغم مساحت نسبتا زیاد و قابل مقایسه ساختار پیشنهادی در این مقاله (به همراه بافر) با برخی از کارهای گذشته، مدار پیشنهادی دارای توان مصرفی پایین و ضرایب شایستگی بسیار خوبی است که نشان دهنده عملکرد مناسب آن است.

جدول۴- مقایسه عملکرد تقویت‌کننده کم‌نویز پیشنهادی با کارهای گذشته.

Ref.	[17]	[19]	[18]	[20]	[21]	[22]	[11]	Proposed (Schematic)	Proposed (Post layout)
Sim. /Meas.	Meas.	Meas.	Meas.	Meas.	Sim.	Sim.	Sim.	Sim.	Sim.
Tech. (µm)	0.18	0.18	0.18	0.18	0.09	0.13	0.18	0.18	0.18
Freq. (GHz)	1.2-11.9	3.1-10.6	3.1-10.6	3.1-10.6	2.4-10.4	2.35-9.37	2.5-10.6	2-12	2-12
Area (mm^2)	0.59	0.39	0.91	-	-	0.39	0.86	-	0.89
Power(mW)	20	16.2	11	3.76	14.8	9.97	10	4.89	4.42
S_{21} (dB)	9.7	15	13.2	10.1	9.5	10.3	15	17.49	17.2
S_{11} (dB)	<-11	<-11	<-10.3	<-9.4	<-11.2	<-8	<-10	<-9.24	<-9
NF (dB)	4.5	3.5	3.33	4.14	3.5	3.68	3.5	3.59	4.18
FOM1	2.85	5.97	7.8	12.63	4.14	5.43	20.6	27.82	24.04
FOM2	0.65	4.49	5.7	6.12	79.4	2.25	N/A	34.08	32.85

۴- نتیجه‌گیری

در این مقاله به معرفی یک تقویت‌کننده کم‌نویز فراپهن‌باند در بازه فرکانسی ۲GHz تا ۱۲GHz با استفاده از روش حذف نویز پرداخته شده است. در این تقویت‌کننده جهت کاهش توان مصرفی ابتدا از روش g_m افزایش یافته و فیدبک مثبت استفاده شد و سپس با تغییر در مدار بایاس ترانزیستورها، ولتاژ تغذیه مدار به زیریک ولت کاهش داده و توان مصرفی تقویت کننده بهبود داده شد. رفتار مدار از نظر عدد نویز و بهره مورد بررسی تحلیلی قرار گرفت و برای تایید بهبود عملکرد مدار پیشنهادی، جانمایی مدار در فن‌آوری CMOS رسم و شبیه سازی‌های بعد از جانمایی انجام شد. شبیه‌سازی‌ها نشان داد که توان مصرفی ساختار پیشنهادی با ولتاژ تغذیه ۰/۸V، برابر با ۴/۸۹mW است و در این حالت مقدار عدد نویز تقویت‌کننده پیشنهادی بین ۴/۲dB تا ۴/۸dB است. مقدار بهره ماکزیمم نیز در این ساختار برابر ۱۷/۲dB است. در ادامه به منظور بررسی پایداری مدار پیشنهادی، ضریب k در پهنای باند مورد نظر شبیه‌سازی و پایداری مطلق آن تایید شد. همچنین شبیه سازی مونت کارلو و گوشه های پروسه حاکی از رفتار مقاوم مدار در برابر تغییرات و خطای های ساخت بود.

مراجع

[1] Qin, P. and Xue, Q. “Compact wideband LNA with gain and input matching bandwidth extensions by transformer.” IEEE Microwave Wireless Component Letter, 27 (2017): 657-659.

[2] Li, Z. “Low-noise and high-gain wideband LNA with gm-boosting technique.” Electronics Letters, 49 (2013): 1126-1128.

[3] Tarighat, A. P. and Yargholi, M. “Low power active shunt feedback CMOS low noise amplifier for wideband wireless systems.” Integration, 69 (2019): 189-197.

[4] Bozorg, A. and Staszewski, B. “A 0.02–4.5-GHz LN(T)A in 28-nm CMOS for 5G exploiting noise reduction and current reuse.” IEEE Journal of Solid-State Circuits, 56 (2020): pp. 404-415.

[5] Sobhy, E and et al., “A 2.8-mW sub-2-dB noise-figure inductorless wideband CMOS LNA employing multiple feedback.” IEEE Transactions on Microwave Theory and Techniques, 59 (2011): 3154-3161.

[6] Liscidini, A., Brandolini, M., Sanzogni, D., and Castello, R. “A 0.13 μm CMOS front-end, for DCS1800/UMTS/802.11b-g with Multiband positive feedback low-noise amplifier.” IEEE Journal of Solid-State Circuits, 41 (2006): 981–989.

[7] Asgaran, S., Deen, M. J., and Chen, C.-H. “A 4-mW monolithic CMOS LNA at 5.7 GHZ with the gate resistance used for input matching.” IEEE Microwave Wireless Component Letter, 16 (2006): 188–190.

[8] Daryabari, F. and et al. “Low-power ultra-wideband LNA employing CS–CD current-reuse and gain-controller resistor technique in 0.180-μm CMOS technology.” Analog Integrated Circuits and Signal Processing, 101 (2019): 187–199.

[9] Donyaran1, P., and Heidari, B. “Assessing a Noise Reduction Method for a Low-Noise Amplifier.” Tabriz Journal of Electrical Engineering (TJEE), 51 (2021): 195-203.

[10] Chaqaei, J., Jalali, A., and Mazloum, J. "Inductor-less differential low-noise amplifier design with active and passive Gm enhancement for radiology", Tabriz Journal of Electrical Engineering (TJEE), 50 (2019): 85-76. (In Persian)

[11] Bijari, B., and Sheykhi, M. “1.3 to 10.6 GHz ultra-wideband low-noise amplifier with new input matching network.” Tabriz Journal of Electrical Engineering (TJEE), 49 (2020): 518-529. (In Persian)

[12] Liu, B., Wang, C., Ma, M., and Guo, S. “An ultra-low-voltage and ultra-low-power 2.4 GHz LNA design.” Radioengineering, 18 (2009): 527-531.

[13] Chang, C., Chen, J., and Wang, Y. “A fully integrated 5 GHz low-voltage LNA using forward body bias technology.” IEEE Microwave and Wireless Components Letters, 19 (2009): 176-178.

[14] Mazidabadi Farahani, M., Mazloum, J., and Fouladian, M. “An ultra-wideband low noise amplifier with cascaded flipped-active inductor for cognitive radio applications.” Elsevier Integration, 93 (2023).

[15] Bekaran, M., Taskhiri, M., and Asayesh, S. A. "UWB low noise amplifier using inverting technique with inductive peaking." Scientific Journal of Applied Electromagnetics, 10 (2022): 109-120. (In Persian)

[16] Saraslani, S., and Golmkani, A. "Ultra wide band low noise amplifier using resistive feedback and current reuse structure", Journal of Iranian Association of Electrical and Electronics Engineers, 20 (2023): 97-104. (In Persian)

[17] Liao, C.-F. and Liu, S.-I. “A broadband noise-canceling CMOS LNA for 3.1–10.6-GHz UWB receivers.” IEEE Journal of Solid-State Circuits, 42 (2007): 329–339.

[18] Hsu, M.T., Chang, Y. C., and Huang, Y.Z. “Design of low power UWB LNA based on common source topology with current-reused technique.” Microelectronics Journal, 44 (2013): 1223–1230.

[19] Galal, A., Pokharel, R., Kanaya, H., and Yoshida, K. “High linearity technique for ultra-wideband low noise amplifier in 0.18μm CMOS technology.” AEU-International Journal of Electronics and Communications, 66 (2012): 12-17.

[20] Wu, C. H., Lin, Y.S., and Wang, C. C. “A 3.1–10.6-GHz current-reused CMOS ultra-wideband low-noise amplifier using self-forward body bias and forward combining techniques.” Microwave and Optical Technology Letters, 55 (2013): 2296–2302.

[21] Jafari, B. M., and Yavari, M. “A UWB CMOS low-noise amplifier with noise reduction and linearity

improvement techniques.” Microelectronics journal, 46 (2015): 198–206, 2015.

[22] Arshad, S., Ramzan, R., Muhammad, K., and Wahab, Q. “A sub-10 mW, noise cancelling, wideband LNA for UWB applications.” AEU-International Journal of Electronics and Communications, 69 (2015): 109–118.