



Semnan University

# Journal of Modeling in Engineering

Journal homepage: <https://modelling.semnan.ac.ir/>

ISSN: 2783-2538



## Research Article

# A Low Power CMOS UWB LNA with Sub-1V Supply Voltage and Noise Cancellation Technique

Mehdi Alinejad<sup>a</sup>, Emad Ebrahimi<sup>b,\*</sup>

<sup>a</sup> MSc, Department of Electrical Engineering, Shahrood University of Technology, Shahrood, Iran

<sup>b</sup> Assistant Professor, Department of Electrical Engineering, Shahrood University of Technology, Shahrood, Iran.

## PAPER INFO

### Paper history:

Received: 12 November 2022

Revised: 31 October 2023

Accepted: 12 December 2023

### Keywords:

LNA,  
Noise cancellation  
technique,  
Noise figure,  
UWB.

## ABSTRACT

Low noise amplifiers (LNA) in RF receivers are usually the first block after the antenna that amplify the signal received from the antenna with negligible noise and distortion. The most important desirable characteristics of an LNA are relatively high gain, low power consumption, appropriate matching of input and output impedance, and low noise figure. Using the noise cancellation method, the design and simulation of a new wideband LNA has been discussed in this paper, in which the power consumption has been significantly reduced by using positive feedback as well as sub-1 volt supply voltage. First, the proposed circuit was analyzed in this article. Then, the proposed amplifier has been implemented in TSMC 0.18 $\mu$ m RF-CMOS technology and simulated using Cadence-IC software. The simulations show that the noise figure of this structure has improved by about 2dB compared to the conventional structure, and its noise figure has reached 3.6dB to 4.5dB in the frequency range of 2GHz to 12GHz. The maximum gain of the LNA is 17.25dB, and its S11 and S22 parameters are less than -9.24dB and -9.74dB, respectively. S12 is also less than -28.5dB. The linearity of this amplifier in term of IIP3 is -3.42dBm. The total power consumption of the circuit is 4.89mW with a supply voltage of 0.8V that results in 70% power consumption reduction. According to the physical layout the circuit occupies only 0.89 mm<sup>2</sup> of active area.

DOI: <https://doi.org/10.22075/jme.2023.28966.2361>

© 2024 Published by Semnan University Press.

This is an open access article under the CC-BY 4.0 license. (<https://creativecommons.org/licenses/by/4.0/>)

\* Corresponding Author.

E-mail address: [eebrahimi@shahroodut.ac.ir](mailto:eebrahimi@shahroodut.ac.ir)

## How to cite this article:

Alinejad, M., & Ebrahimi, E. (2024). A low power CMOS UWB LNA with sub-1V supply voltage and noise cancellation technique. *Journal of Modeling in Engineering*, 22(77), 207-220. doi: 10.22075/jme.2023.28966.2361

# تقویت کننده کم نویز فرایه‌ن باند CMOS با توان مصرفی کم و ولتاژ تغذیه زیر یک ولت با استفاده از روش حذف نویز

مهدی علی نژاد<sup>۱</sup>، عماد ابراهیمی<sup>۲\*</sup>

اطلاعات مقاله	چکیده
دریافت مقاله: ۱۴۰۱/۰۸/۲۱	تقویت کننده‌های کم نویز در گیرنده‌های رادیویی معمولاً اولین بلوک بعد از آنتن هستند و وظیفه آن‌ها تقویت سیگنال دریافتی از آنتن بدون افزودن هرگونه نویز و اعوجاج است. از مهم‌ترین مشخصه‌های مطلوب در یک تقویت کننده کم نویز می‌توان به بهره نسبتاً بالا، توان مصرفی پایین، تطبیق مناسب امپدانس ورودی و خروجی، و عدد نویز کم در آن‌ها اشاره کرد. در این مقاله یک تقویت کننده کم نویز فرایه‌ن باند با استفاده از روش حذف نویز ارائه شده است که در آن با استفاده از فیدبک مثبت در مسیر حذف نویز و ارائه یک ساختار زیر یک ولت، توان مصرفی به طرز چشمگیری کاهش داده شده است. مدار پیشنهادی در این مقاله مورد تحلیل و شبیه سازی قرار گرفته و پایداری مطلق آن نیز اثبات گردیده است. جانمایی این تقویت کننده در فناوری TSMC 0.18μm RF-CMOS با استفاده از نرم افزار Cadence-IC رسم و مورد شبیه سازی قرار می‌گیرد. شبیه سازی‌ها نشان می‌دهد عدد نویز این ساختار نسبت به ساختار متداولی که آن را توسعه داده ایم حدود ۲dB بهبود داشته به طوری که عدد نویز آن در بازه فرکانسی ۲GHz تا ۱۲GHz به محدوده ۳/۶dB تا ۴/۵dB رسیده است و در کل بازه فرکانسی تغییرات بسیار کمی دارد. بهره بیشینه این تقویت کننده ۱۷/۲۵ dB است و پارامترهای S <sub>11</sub> و S <sub>22</sub> آن به ترتیب کمتر از -۹/۲۴ dB و -۹/۷۴ dB است و S <sub>12</sub> نیز کمتر از -۲۸/۵ dB است. هم چنین خطسانی این تقویت کننده (IIP3) برابر ۳/۴dBm است که نسبت به ساختار متداول بهبود مناسبی داشته است. کل توان مصرفی این ساختار با ولتاژ تغذیه ۰/۸ ولتی برابر ۴/۸۹ mW است که نسبت به ساختار متداول ۷۰ درصد کاهش داده شده است. براساس جانمایی انجام شده مساحت اشغالی این مدار بر روی تراشه ۰/۸۹ mm <sup>2</sup> است.
بازنگری مقاله: ۱۴۰۲/۰۸/۰۹	
پذیرش مقاله: ۱۴۰۲/۰۹/۲۱	
<b>واژگان کلیدی:</b> تقویت کننده کم نویز، روش حذف نویز، عدد نویز، فرایه‌ن باند.	

DOI: <https://doi.org/10.22075/jme.2023.28966.2361>

© 2024 Published by Semnan University Press.

This is an open access article under the CC-BY 4.0 license. (<https://creativecommons.org/licenses/by/4.0/>)

## ۱- مقدمه<sup>۱</sup>

خروجی از اهمیت بالایی برخوردار است. تاکنون تکنیک‌های متعددی برای طراحی تقویت کننده کم نویز ارائه شده است که شامل استفاده از پیکره بندی‌های گیت-مشترک، تکنیک gm افزایش یافته، تقویت کننده‌های سورس-مشترک با فیدبک مقاومتی، تقویت کننده‌های با ساختار جریان بازگشتی و ... می‌شود. معمولاً در طراحی یک تقویت کننده

تقویت کننده کم نویز یک بلوک مهم در سیستم گیرنده‌های بی سیم است. وظیفه اصلی این بلوک تقویت سیگنال‌های دریافتی از آنتن با حداقل نویز اضافی است. یعنی این تقویت کننده نباید نویز زیادی به سیگنال ورودی اضافه نماید. همچنین در این تقویت کننده تطبیق امپدانس ورودی و

\* پست الکترونیک نویسنده مسئول: ebrahimi@shahroodut.ac.ir

۱. کارشناس ارشد، گروه مهندسی برق، دانشکده مهندسی برق، دانشگاه صنعتی شاهرود، شاهرود، ایران

۲. استادیار، آزمایشگاه تحقیقاتی مدارهای مجتمع، دانشکده مهندسی برق، دانشگاه صنعتی شاهرود، شاهرود، ایران

استناد به این مقاله:

هم جمع شده و ولتاژهای نویز ناشی از ترانزیستورهای طبقه ورودی دو مسیر از هم کم شوند. به این ترتیب سیگنال دلخواه در خروجی افزایش یافته و ولتاژ نویز معادل در خروجی کاهش می‌یابد. در تقویت‌کننده سورس-مشترک جریان نویز کانال باعث ایجاد دو ولتاژ نویز هم‌فاز در درین و گیت ترانزیستور ورودی سورس-مشترک می‌شود و با عبور این دو ولتاژ نویز از دو مسیر (مسیر اصلی و مسیر کمکی) سبب می‌شود این ولتاژهای نویز از هم کم شوند و عدد نویز مدار تحت شرایطی کاهش یابد [۴]. در تقویت‌کننده گیت-مشترک نیز جریان نویز کانال ترانزیستور ورودی باعث ایجاد دو ولتاژ نویز غیر هم‌فاز در درین و سورس ترانزیستور می‌شود و با عبور این دو منبع نویز از دو مسیر موجب می‌شود که این دو منبع ولتاژ در گره خروجی از هم کم شوند و عدد نویز تحت شرایطی کاهش یابد [۳]. یکی دیگر از روشهای حذف نویز استفاده از ساختار تقویت‌کننده گیت-مشترک تمام تفاضلی و استفاده از مسیره‌های فیدبک مثبت چندگانه است که با ایجاد یک درجه آزادی برای انتخاب  $g_m$  مناسب ترانزیستور ورودی سبب بهبود بهره تقویت‌کننده و کاهش عدد نویز مدار می‌شود. اما این ساختار به دلیل استفاده از فیدبک مثبت، ممکن است پایداری مناسبی نداشته باشد و دارای توان مصرفی بالایی باشد [۵، ۶].

اخیرا در طراحی مدارهای تقویت‌کننده کم نویز از ساختار تقویت‌کننده‌های کسکود نیز استفاده می‌شود که در ازای کاهش سوئینگ به بهره بالا و جریان مصرفی کمتری می‌توان دست‌یافت [۷]. در [۴، ۸] برای کاهش توان مصرفی از ساختار تقویت‌کننده کسکود با تکنیک استفاده مجدد از جریان استفاده شده است به طوری که دو ترانزیستور به صورت کسکود قرار گرفته‌اند و بنابراین هر دو ترانزیستور از یک جریان استفاده می‌کنند که توان مصرفی به طرز قابل توجهی کاهش می‌یابد. البته این تکنیک سوئینگ ولتاژ خروجی را نیز کاهش می‌دهد و همچنین به سطح ولتاژ بالایی برای بایاس ترانزیستور کسکود (بالایی) نیاز دارد.

در [۹] با ترکیب دو تکنیک حذف نویز و افزایش بهره از طریق دو مسیر با فاز معکوس شده و غیرمعکوس شده نویز یک تقویت‌کننده کم نویز فرآپهن باند با ولتاژ تغذیه ۰/۸ ولت ارائه شده است. این تقویت‌کننده با استفاده از ساختار کسکود در مسیر پیشرو به بهره بیشتر از ۱۱/۱۱ dB و عدد نویز کمتر از ۶/۷ dB دست یافته است. قابل ذکر است

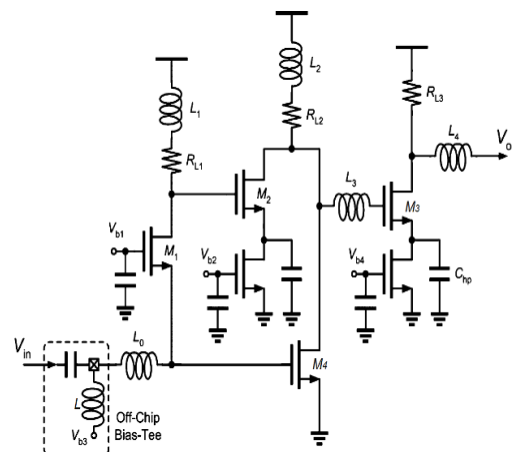
کم‌نویز با مصالحه‌های متعددی بین بهره، عدد نویز، توان مصرفی، تطبیق ورودی و پایداری روبه‌رو هستیم که از مهمترین چالش‌های طراحی تقویت‌کننده کم نویز به شمار می‌رود. به دلیل وجود مصالحه میان این چالش‌ها، بهبود هم زمان همه مشخصه‌ها بسیار مشکل است. تطبیق امپدانس در ورودی نیز یکی دیگر از عوامل مهم در طراحی یک تقویت‌کننده کم‌نویز است، به طوری که برای دستیابی به حداکثر توان در خروجی آنتن گیرنده، امپدانس ورودی باید در ۵۰ اهم تطبیق شود [۱، ۲]. پیکره‌بندی‌های رایج در طراحی تقویت‌کننده کم‌نویز عبارتند از ساختار گیت-مشترک و سورس-مشترک با فیدبک مقاومتی، که آرایش گیت-مشترک با دارا بودن ویژگی‌های مناسبی نظیر خطسانی خوب و مجزاسازی ورودی-خروجی زیاد، یکی از آرایش‌های محبوب در تقویت‌کننده‌های کم‌نویز است. اما در این آرایش به دلیل وابستگی عدد نویز، تطبیق ورودی و بهره به ترانسانایی ترانزیستورهای ورودی ( $g_m$ )، دستیابی به تطبیق ورودی پهن‌بند می‌تواند عملکرد تقویت‌کننده کم‌نویز را از نظر عدد نویز و بهره محدود کرده و دسترسی به بهره‌ی مناسب را دشوار کند. بنابراین در این مورد برای رسیدن به بهره مناسب به طبقات دیگری نیاز خواهد بود. تقویت‌کننده سورس-مشترک دارای بهره‌ی بالا و عملکرد نویز بهتری است، که معمولا برای دستیابی به تطبیق امپدانس ورودی در این ساختار از بازخورد مقاومتی استفاده می‌شود که خود موجب افزایش توان مصرفی در مدار خواهد شد. در هر دو ساختار تقویت‌کننده‌های گیت-مشترک و سورس-مشترک با بازخورد مقاومتی اغلب نمی‌توان به عدد نویز خیلی پایینی دست یافت [۳]، بنابراین علاوه بر این ساختارهای رایج بایستی از تکنیک‌های دیگری در کنار آنها استفاده شود تا بتوان عدد نویز را به حد قابل توجهی کاهش داد. یکی از روش‌های کاهش نویز در تقویت‌کننده‌های کم-نویز استفاده از روش حذف نویز است. با توجه به اینکه نویز ترانزیستورهای طبقات ورودی مدار سهم بیشتری در عدد نویز دارند، بنابراین با استفاده از روش حذف نویز در ساختارهای تقویت‌کننده گیت-مشترک و سورس-مشترک و قراردادن یک مسیر کمکی برای کاهش نویز و ایجاد اختلاف فاز برای ولتاژ نویز در مسیر کمکی، با عبور سیگنال ورودی و ولتاژ نویز حرارتی کانال ترانزیستورهای طبقات ورودی از دو مسیر متفاوت می‌توان این امکان را فراهم کرد که سیگنال دلخواه عبوری از دو مسیر در خروجی مدار با

هدف اصلی ما در این مقاله کاهش توان مصرفی یک سیستم جهت افزایش طول عمر باتری است که با استفاده از روش هایی مانند روش gm افزایش یافته به این هدف دست یافته ایم. همچنین برای کاهش بیشتر توان مصرفی، از کاهش ولتاژ تغذیه مدار نیز استفاده نموده ایم. در این مقاله برای کاهش ولتاژ تغذیه در ساختار متداول حذف نویز [۱۷] که در شکل (۱) نیز نشان داده شده است، بایاس طبقات را از هم جدا نموده ایم که حداقل ولتاژ تغذیه مدار به میزان قابل توجهی بهبود یافته است. بنابراین با ترکیب همزمان روش های مذکور، ولتاژ تغذیه و جریان مصرفی یک ساختار متداول LNA را به خوبی بهبود داده و آن را به یک ساختار مناسب با توان مصرفی و ولتاژ تغذیه پایین تبدیل نموده ایم. قابل ذکر است که برای کاهش نویز در ساختار پیشنهادی از ساختار تقویت کننده گیت-مشترک استفاده شده است که برای حذف نویز حرارتی کانال آن یک مسیر کمکی نیز در نظر گرفته شده است. طرح کلی این مقاله به صورت زیر است: در بخش دوم مدار تقویت کننده کم نویز پیشنهادی ارائه می شود و سپس بهره و عدد نویز تقویت کننده کم نویز پیشنهادی مورد تحلیل و بررسی قرار می گیرد. در بخش سوم نتایج شبیه سازی در نرم افزار کیدنس و مقایسه آن با ساختارهای دیگر ارائه می شود. در نهایت، نتیجه گیری در بخش چهارم ارائه خواهد شد.

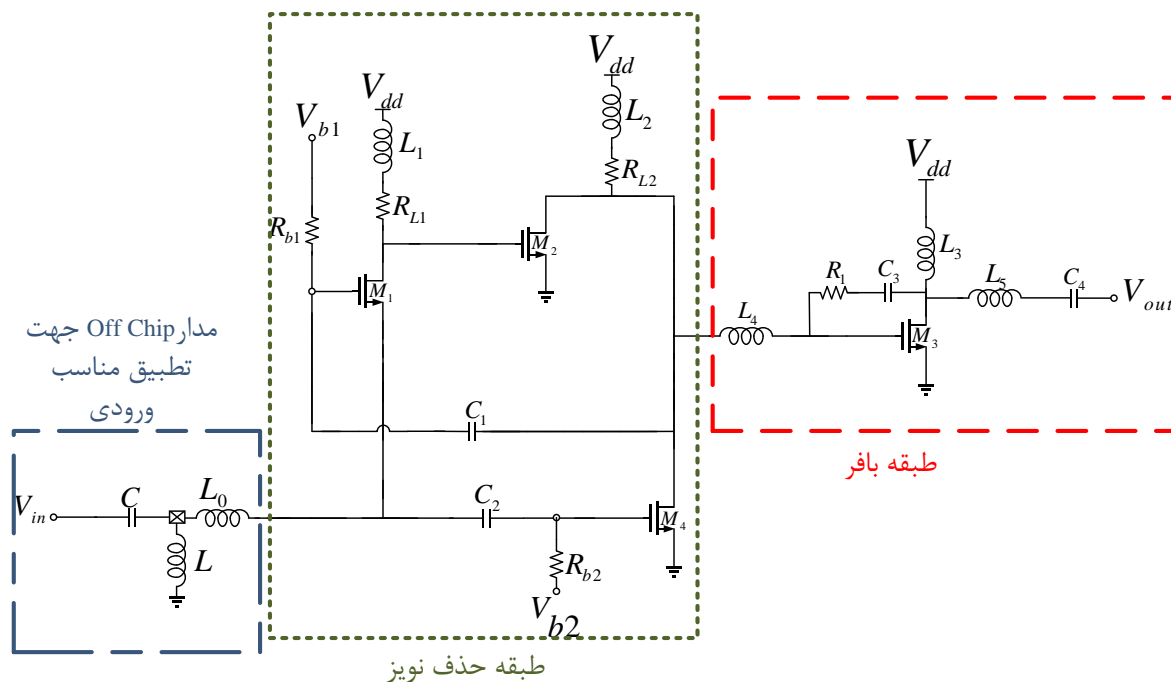
## ۲- ساختار تقویت کننده کم نویز پیشنهادی

ساختار تقویت کننده کم نویز پیشنهادی در شکل (۲) نشان داده شده است. در این ساختار با اضافه کردن خازن  $C_1$  بین درین ترانزیستور  $M_4$  و گیت ترانزیستور  $M_1$  جهت کاهش توان مصرفی از تکنیک gm افزایش یافته استفاده شده است. سیگنال ورودی پس از عبور از ترانزیستور  $M_4$  دچار اختلاف فاز می شود و با بهره منفی تقویت می شود. از آن جا که این بهره منفی به گیت ترانزیستور  $M_1$  وارد می شود سبب افزایش ولتاژ  $V_{gs}$  می گردد که همین امر به خاطر ثابت در نظر گرفتن مقاومت ورودی طبقه گیت مشترک باعث می شود تا بتوانیم  $g_{m1}$  را کاهش داده و در نتیجه توان مصرفی ساختار را بهبود بخشیم. در ورودی مدار از شبکه تطبیق T جهت بهبود تطبیق امپدانس ورودی استفاده شده است. جهت افزایش تطبیق امپدانس ورودی پهن باند از ترانزیستور  $M_1$  که به صورت گیت-مشترک است، استفاده شده است و پهنای باند مدار به میزان قابل توجهی افزایش پیدا کرده است.

که استفاده از تکنیک های استفاده مجدد از جریان و افزایش دهنده  $G_m$  از روش های دیگری است که برای کاهش توان مصرفی و افزایش بهره در تقویت کننده های کم نویز باند باریک استفاده می شود [۱۰]. روش دیگری که در [۱۱] برای کاهش عدد نویز و تطبیق پهن باند در یک UWB استفاده شده است، بهره بردن از شبکه تطبیق فعال ترانزیستوری است. در این ساختار برای رسیدن به بهره و سوئینگ بالا از تکنیک سلف پیک دهنده موازی نیز بهره گرفته شده است و بنابراین عدد نویز تقویت کننده با ترکیبی از تکنیک های مختلف بهبود قابل توجهی یافته است. در [۱۲] یک تقویت کننده کم نویز با ولتاژ تغذیه کم طراحی و شبیه سازی شده است. با استفاده از ساختار جریان بازگشتی اصلاح شده، تقویت کننده کم نویز پیشنهادی در [۱۲] می تواند با منبع تغذیه پایین تر از یک ولت کار کند. در [۱۳] نیز برای کاهش ولتاژ تغذیه یک تقویت کننده کم نویز از تکنیک کاهش ولتاژ آستانه به روش بایاس مستقیم بالک بهره برده شده است. ولتاژ تغذیه در این تقویت کننده با استفاده همزمان از ساختار جریان بازگشتی و اثر بدنه به زیر یک ولت کاهش داده شده است. در [۱۴] با به کارگیری سلف های فعال کسکید یک تقویت کننده کم نویز تفاضلی پهن باند ارائه شده است که در آن از هیچ سلف مارپیچی استفاده نشده است. در این تقویت کننده برای بهبود توان مصرفی و کاهش نویز از تکنیک اتصال-ضربدری خازن ها بهره برده شده است. تکنیک پیک زنی سری و موازی جهت افزایش پهنای باند و بهره گیری از تکنیک استفاده مجدد از جریان جهت کاهش توان مصرفی از دیگر روش هایی است که به وفور در طراحی تقویت کننده های کم نویز فراپهن باند مورد استفاده قرار می گیرد [۱۵ و ۱۶].



شکل ۱- ساختار حذف نویز متداول [۱۷].



شکل ۲- تقویت کننده کم نویز پیشنهادی

دست یافت. همان طور که در این رابطه مشاهده می شود با ضرب شدن  $A$  در ترانساینپی می توان مقدار  $g_{m1}$  را کوچک انتخاب نمود و جریان و در نتیجه توان مصرفی مدار را کاهش داد.

$$i = -g_m v_{GS} = -g_{m1} \frac{v_{in}}{2} (A+1) \quad (2)$$

از (۲) می توان مقدار مقاومت ورودی طبقه گیت-مشترک را به صورت زیر محاسبه کرد.

$$R_s = \frac{1}{g_{m1}(A+1)} \quad (3)$$

همچنین بهره ی تقویت کننده کم نویز ساختار پیشنهادی به صورت رابطه (۴) قابل محاسبه است.

$$A_v = \frac{V_{out}}{V_{in}} = \frac{1}{2} ((1+A)g_{m1}R_{L1}g_{m2}R_{L2} + g_{m4}R_{L2}) \quad (4)$$

که در این رابطه ها  $g_{m1}$ ،  $g_{m2}$  و  $g_{m4}$  به ترتیب ترانساینپی ترانزیستورهای  $M_1$ ،  $M_2$  و  $M_4$  است.  $R_{L1}$  و  $R_{L2}$  نیز مقاومت های تلفاتی خود القاهای  $L_1$  و  $L_2$  است.

با توجه به بهره طبقه پیش رو که برابر با  $A = g_{m4}R_{L2}$  است و با توجه به این که نویز ترانزیستور  $M_1$  از یک مسیر توسط ترانزیستورهای  $M_1$  و  $M_2$  و از مسیر دیگر توسط ترانزیستور  $M_4$  با فاز مخالف به خروجی می رسد، اگر بهره دو مسیر یکسان باشد نویز ترانزیستور  $M_1$  در خروجی حذف می گردد. لذا شرط حذف نویز تقویت کننده پیشنهادی به

در این مدار تکنیک حذف نویز مصالحه ی بین تطبیق ورودی و عدد نویز را کاهش می دهد و طبقات سورس مشترک  $M_2$  و  $M_4$  به گونه ای طراحی شده اند که بتوانند نویز ترانزیستور  $M_1$  را حذف کنند. در خروجی تقویت کننده کم نویز پیشنهادی همانند ساختارهای متداول از یک بافر ولتاژ [۱۸] جهت ایجاد تطبیق خروجی استفاده شده است. برای دستیابی به بهره بالا با توان مصرفی کم از ساختار سورس مشترک به عنوان بافر به همراه تکنیک پیک دهنده سری استفاده شده است. این ساختار خطینگی IIP3 را نیز با استفاده از فیدبک موازی-موازی بهبود می دهد.

### ۲-۱- بهره تقویت کننده کم نویز پیشنهادی

شکل ۳ ساختار مفهومی تقویت کننده پیشنهادی را نشان می دهد که در آن از ساختار گیت-مشترک همراه با روش حذف نویز و  $g_m$  افزایش یافته استفاده شده است. قابل ذکر است که در ساختارهای متداول، طبقه پس رو شکل ۳ وجود ندارد و نوآوری اصلی ساختار پیشنهادی ما در همین بخش است. با توجه به بلوک اضافه شده در این ساختار، مقدار  $v_{GS}$  ترانزیستور گیت مشترک  $M_1$  به صورت رابطه (۱) محاسبه می شود.

$$v_{GS} = -\frac{A v_{in}}{2} - \frac{v_{in}}{2} = -\frac{v_{in}}{2} (A+1) \quad (1)$$

از آنجا که اندازه جریان سیگنال-کوچک ترانزیستور  $M_1$  برابر با  $i = g_m v_{GS}$  است، از رابطه (۱) می توان به رابطه (۲)

صورت رابطه (۵) قابل محاسبه است.

$$(1+A)g_{m1}R_{L1}g_{m2}R_{L2} = g_{m4}R_{L2} \quad (۵)$$

در این صورت می توانیم با استفاده از رابطه های (۳)، (۴) و (۵) بهره تقویت کننده پیشنهادی را به صورت (۶) بازنویسی کنیم.

$$A_v = \frac{V_{out}}{V_{in}} = (1+A)g_{m1}R_{L1}g_{m2}R_{L2} = \frac{R_{L1}g_{m2}R_{L2}}{R_s} \quad (۶)$$

و  $R_{L2}$  است که به صورت (۸) بیان می شود.

$$\overline{V_{n,out}^2} = 4KTR_{L1}g_{m2}^2R_{L2}^2 + 4KTR_{L2} + 4KT\gamma(g_{m2} + g_{m4})R_{L2}^2 \quad (۸)$$

بنابراین مقدار عدد نویز به صورت رابطه (۹) قابل محاسبه است.

$$F = 1 + \frac{R_s}{R_{L1}g_{m2}R_{L2}} \frac{(4KTR_{L1}g_{m2}^2R_{L2}^2 + 4KTR_{L2} + 4KT\gamma(g_{m2} + g_{m4})R_{L2}^2)}{4KTR_s} \quad (۹)$$

از ساده سازی رابطه (۹) داریم:

$$F = 1 + \frac{R_s}{R_{L1}} + \frac{R_s}{R_{L1}^2g_{m2}^2R_{L2}} + \frac{\gamma R_s}{R_{L1}^2g_{m2}} + \frac{\gamma g_{m4}R_s}{R_{L1}^2g_{m2}^2} \quad (۱۰)$$

که از رابطه (۱۰) و (۵) مقدار عدد نویز ساختار پیشنهادی به صورت رابطه (۱۱) حاصل می شود.

$$F = 1 + \frac{g_{m2}}{g_{m4}} + \frac{1}{g_{m4}R_sR_{L2}} + \frac{\gamma g_{m2}}{g_{m4}R_s} + \frac{\gamma}{g_{m4}R_s} \quad (۱۱)$$

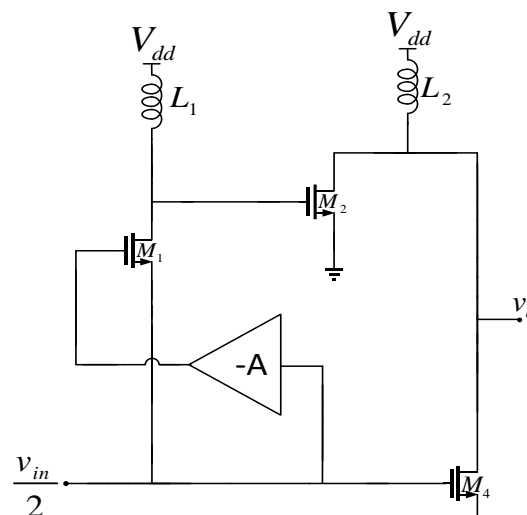
برای این که نشان دهیم نویزی که توسط مدار فیدبک به ورودی سیستم اعمال می گردد تاثیر بسیار کمی دارد ابتدا مجدداً نویز خروجی را طبق رابطه (۱۲) محاسبه نموده،

$$\overline{V_{n,out}^2} = \frac{4KT\gamma}{g_{m4}} g_{m4}R_{L2}^2 \left( \frac{R_{L1}g_{m2}}{2R_s} \right)^2 + 4KTR_{L1}g_{m2}^2R_{L2}^2 + 4KTR_{L2} + 4KT\gamma(g_{m2} + g_{m4})R_{L2}^2 \quad (۱۲)$$

که از آن، مقدار عدد نویز تقویت کننده برابر است با:

$$F = 1 + \frac{\gamma g_{m4}R_{L2}^2}{4R_s} + \frac{g_{m2}}{g_{m4}} + \frac{1}{g_{m4}R_sR_{L2}} + \frac{\gamma g_{m2}}{g_{m4}R_s} + \frac{\gamma}{g_{m4}R_s} \quad (۱۳)$$

با مقایسه رابطه (۱۳) و (۱۱) مشاهده می شود که عبارت ایجاد شده ناشی از مدار فیدبک بسیار کوچک است زیرا مقدار  $R_s$  در مخرج بسیار بزرگتر از عبارات صورت است و لذا تاثیر نویز مدار فیدبک بر نویز کل مدار بسیار اندک است. در شکل (۴) عدد نویز تقویت کننده با و بدون فیدبک رسم شده است که همانطور که ملاحظه می شود اثر نویز فیدبک در فرکانس های میانی به بالا ظاهر می شود و تاثیر مخرب آن بر عدد نویز بسیار ناچیز است. البته وجود این فیدبک مزایای خود مانند دستیابی به بهره بالاتر و کاهش توان مصرفی را در برخواهد داشت. قابل ذکر است چون در مدار پیشنهادی همه ترانزیستورها در ناحیه بالای آستانه بایاس شده اند بنابراین همه تحلیل های ارائه شده برای نویز و ... نیز مربوط به همین ناحیه است.



شکل ۳- ساختار ساده شده تقویت کننده پیشنهادی

بنابراین خازن  $C_1$  در مدار پیشنهادی یک مسیر فیدبک را ایجاد نموده است که منجر به بهبود  $g_m$  موثر ترانزیستور  $M_1$  با ضریبی برابر با  $(1+A)$  می شود. یعنی براساس رابطه (۳) و (۴) به ازای  $g_{m1}$  کوچکتر و بنابراین توان مصرفی کمتری نسبت به مدار متداول می توان به تطبیق امپدانس ورودی و بهره خروجی بالا دست یافت.

## ۲-۲- عدد نویز تقویت کننده کم نویز پیشنهادی

همانطور که می دانیم عدد نویز هر تقویت کننده به صورت رابطه  $\gamma$  قابل تعریف است.

$$F = 1 + \frac{1}{4KTR_s} \frac{\overline{V_{n,out}^2}}{A_v^2} \quad (۷)$$

که عدد ۱ در رابطه (۷) ناشی از نویز مقاومت  $R_s$  در خروجی است.  $\overline{V_{n,out}^2}$  کل نویز مدار در گره خروجی است و عبارت مخرج  $(4KTR_sA_v^2)$  نویز مقاومت ورودی در گره خروجی است. با توجه به این که نویز ترانزیستور  $M_1$  در این ساختار حذف شده است لذا کل نویز خروجی شامل نویز  $M_4, M_2, M_1, R_{L1}$

ساخت ممکن است تفاوت‌هایی نسبت به نتایج شبیه‌سازی ملاحظه شود. البته در این مقاله سعی شده است که با تحلیل‌های متنوع، رسم جانمایی و استخراج المان‌های پارازیتیک میزان خطا به حداقل برسد. لازم به ذکر است در این شبیه‌سازی‌ها اثرات کانال کوتاه نیز در نظر گرفته می‌شود.

مدار پیشنهادی در این مقاله برای پهنای باند ۲GHz تا ۱۲GHz و با منبع تغذیه ۰/۸ ولت در فناوری TSMC 0.18μm CMOS طراحی و با ابعاد ارائه شده در جدول ۱ شبیه‌سازی گردیده است.

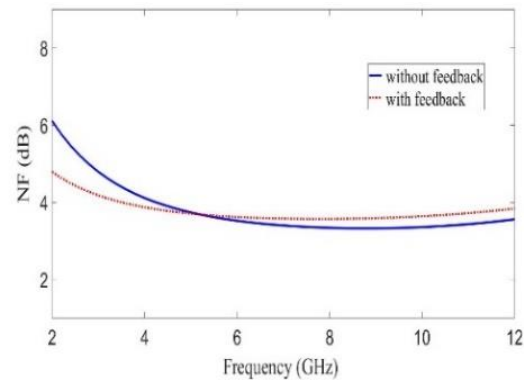
جدول ۱- مقادیر المان‌ها و ابعاد ترانزیستورهای تقویت‌کننده‌ی پیشنهادی

نام قطعه	مقدار	نام قطعه	مقدار
(W/L) <sub>1</sub>	15/0.18 μm/μm	L <sub>1</sub> Spiral-sym.	1.22nH nr=2 rad=81.27
(W/L) <sub>2</sub>	14.7/0.18 μm/μm	L <sub>2</sub> Spiral-sym.	5.24nH nr=4 rad=93.94
(W/L) <sub>3</sub>	143.2/0.18 μm/μm	L <sub>3</sub> Spiral-sym.	1.43nH nr=2 rad=81.75
(W/L) <sub>4</sub>	144/0.18 μm/μm	C <sub>1</sub> MIM	20.28fF Lt=4μm Wt=4μm
C <sub>2</sub> MIM	951fF Lt=30μm Wt=30μm	C <sub>3</sub> MIM	20.28fF Lt=4μm Wt=4μm

کاهش ولتاژ تغذیه در این مدار سبب کاهش توان مصرفی تقویت‌کننده کم‌نویز به ۴/۸۹mW شده است. همچنین مدار بافر این ساختار برای ولتاژ تغذیه ۱V طراحی شده است و توان مصرفی آن ۷/۹۳ mW است.

برای بررسی تطبیق ورودی تقویت‌کننده پیشنهادی پارامتر S<sub>11</sub> آن در بازه فرکانسی مورد نظر شبیه‌سازی و در شکل ۵ نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود در تمام محدوده فرکانسی (۲GHz تا ۱۲GHz) پارامتر S<sub>11</sub> این تقویت‌کننده بهتر از -۹/۲۴ dB است که حاکی از تطبیق قابل قبول ورودی است.

جهت بررسی تطبیق خروجی در تقویت‌کننده پیشنهادی، نمودار S<sub>22</sub> حاصل از شبیه‌سازی در شکل ۶ نشان داده شده است. همان‌طور که مشاهده می‌شود مقدار این پارامتر نیز در کل محدوده فرکانسی کمتر از -۹/۷۴ dB است.



شکل ۴. عدد نویز تقویت‌کننده با و بدون فیدبک.

### ۳- نتایج شبیه‌سازی تقویت‌کننده پیشنهادی

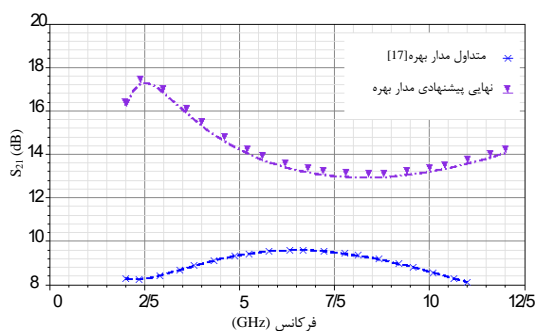
با توجه به این که در LNA متداول [۱۷] (شکل ۱)، ولتاژ بایاس القاگر L (یعنی V<sub>b3</sub>) باید به نحوی تعیین شود که ترانزیستور M<sub>4</sub> روشن شود، یعنی V<sub>b3</sub> > V<sub>T4</sub> باشد، پس سورس ترانزیستور M<sub>1</sub> نیز از نظر DC در ولتاژی بالاتر از زمین قرار دارد. بنابراین ولتاژ تغذیه و V<sub>b1</sub> برای روشن ماندن ترانزیستور M<sub>1</sub> باید بزرگتر از V<sub>T1</sub>+V<sub>T4</sub> باشد که خود عامل محدودکننده‌ای برای کاهش حداقل ولتاژ تغذیه مورد نیاز و کاهش توان مصرفی است. بدین منظور برای بهبود عملکرد مدار، کاهش توان مصرفی و کارکرد صحیح مدار با منابع تغذیه زیر یک ولت، در مدار پیشنهادی شکل ۲ با قرار دادن یک خازن (C<sub>2</sub>) ولتاژ بایاس ترانزیستور M<sub>4</sub> را از M<sub>1</sub> جدا می‌کنیم تا بتوانیم ولتاژ سورس M<sub>1</sub> را از M<sub>4</sub> ایزوله نموده و در ولتاژ پایین‌تری بایاس کنیم. بدین ترتیب می‌توان ولتاژ بایاس و تغذیه مورد نیاز برای M<sub>1</sub> را نسبت به ساختار پایه کاهش دهیم. همان‌طور که در شکل ۲ نشان داده شده است علاوه بر ساختار حذف نویز که سبب حذف نویز ترانزیستور M<sub>1</sub> شده است استفاده از روش gm افزایش یافته سبب کاهش جریان مصرفی تقویت‌کننده می‌شود و جداسازی بایاس طبقات سبب می‌شود تا بتوانیم ولتاژ تغذیه مدار را نیز کاهش دهیم.

### ۳-۱- نتایج شبیه‌سازی شماتیک ساختار پیشنهادی

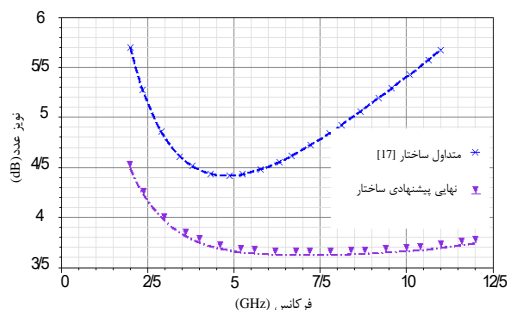
جهت بررسی و تایید عملکرد مدار پیشنهادی از نرم افزار کیدنس استفاده شده است. با توجه به اینکه در این نرم‌افزار علاوه بر تحلیل شماتیک مدار امکان رسم جانمایی فیزیکی و استخراج المان‌های پارازیتیک و تحلیل‌های متنوع مانند مونت کارلو و تحلیل گوشه‌های تکنولوژی و دما وجود دارد، نتایج حاصل از آن بسیار نزدیک به نتایج ساخت و اندازه‌گیری خواهد بود. البته واضح است که همواره در نتایج

متداول و ساختار پیشنهادی به صورت شکل ۹ حاصل شده است. همان طور که مشاهده می شود مقدار عدد نویز تقویت کننده پیشنهادی تغییر چشم گیری نسبت به حالت متداول داشته است.

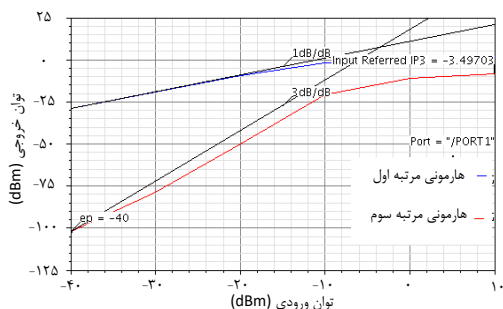
برای محاسبه میزان خطیگی تقویت کننده پیشنهادی و بررسی رفتار آن با استفاده از تست دو تن، دو تن با فرکانس های ۷/۴GHz و ۷/۸GHz به ورودی اعمال و توان آن دو در بازه -۴۰dBm تا ۱۰dBm جاروب گردید و توان مولفه اول و هارمونی سوم در شکل (۱۰) ترسیم گردید.



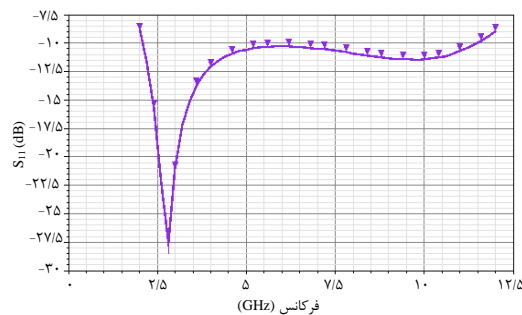
شکل ۸- بهره (S<sub>21</sub>) مدار متداول و تقویت کننده پیشنهادی.



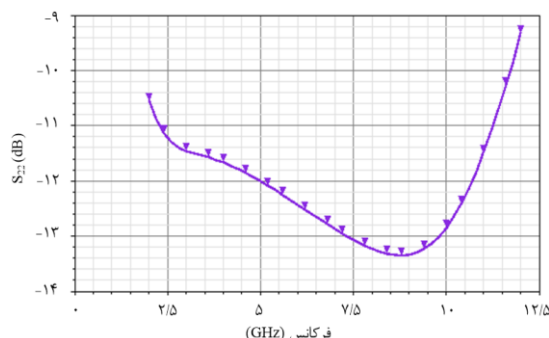
شکل ۹- مقایسه عدد نویز تقویت کننده پیشنهادی و ساختار متداول.



شکل ۱۰- خطیگی ساختار تقویت کننده پیشنهادی در ۷GHz.

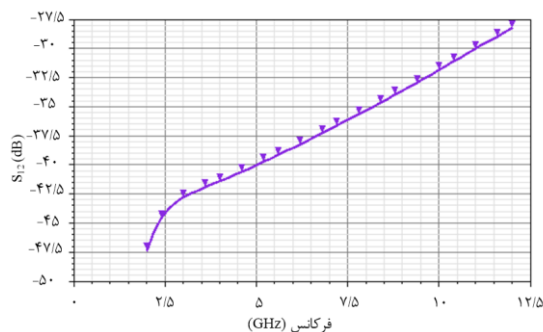


شکل ۵- اندازه S<sub>11</sub> تقویت کننده پیشنهادی.



شکل ۶- اندازه S<sub>22</sub> ساختار پیشنهادی.

هم چنین مقدار ایزولاسیون برگشتی (S<sub>12</sub>) تقویت کننده پیشنهادی مطابق شکل (۷) می باشد که همواره کمتر از -۲۷dB است.



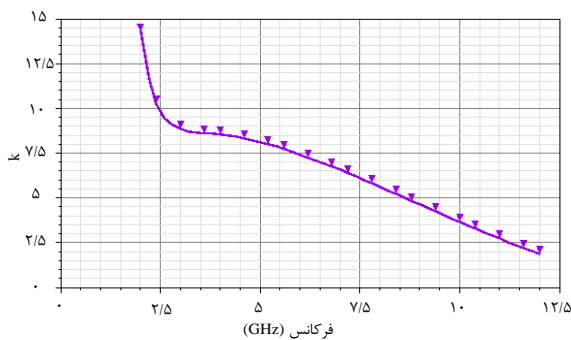
شکل ۷- اندازه S<sub>12</sub> مربوط به مدار تقویت کننده پیشنهادی.

برای مقایسه میزان بهره تقویت کننده پیشنهادی نهایی با ساختار متداول [۱۷] پارامتر S<sub>21</sub> هر دو تقویت کننده در شکل ۸ نشان داده شده است. همان طور که در این شکل نشان داده شده است بهره ساختار پیشنهادی نسبت به ساختار متداول حداقل ۴/۲dB و حداکثر ۹dB افزایش داشته است.

پس از بررسی بهره تقویت کننده پیشنهادی، حال نوبت به مقایسه عدد نویز تقویت کننده پیشنهادی با تقویت کننده ساختار متداول می رسد. نمودار عدد نویز مربوط به ساختار



بنابراین ضریب  $k$  حاصل از شبیه‌سازی در شکل (۱۲) حاکی از پایداری بدون قید و شرط ساختار پیشنهادی است.

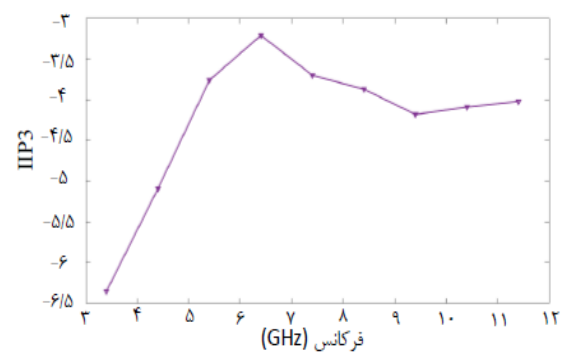


شکل ۱۲- پایداری ساختار تقویت‌کننده پیشنهادی در کل بازه فرکانسی.

### ۳-۲- نتایج شبیه‌سازی پس از جانمایی تقویت‌کننده پیشنهادی

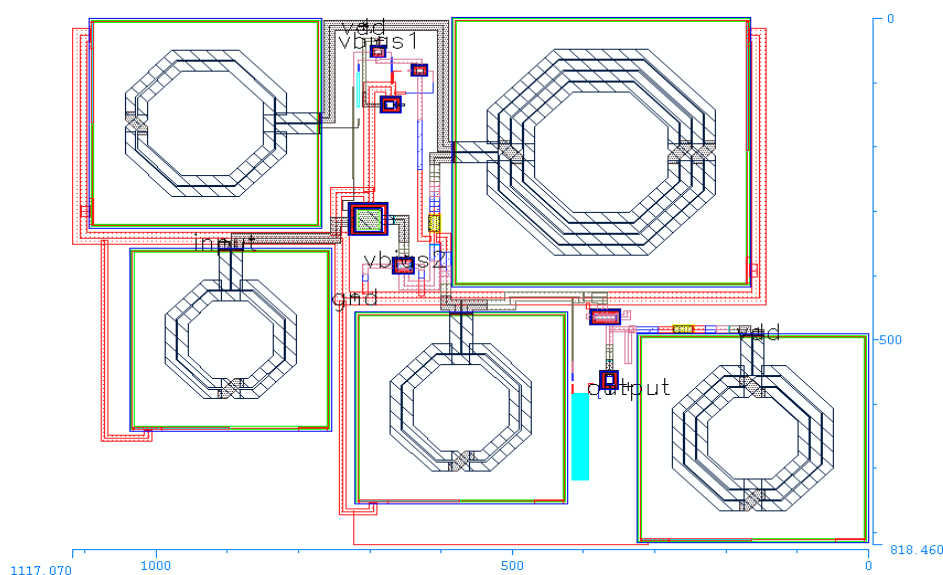
به منظور تایید صحت عملکرد مدار پیشنهادی، تقویت‌کننده مذکور در شبیه‌ساز Cadence-IC با پارامترهای جدول ۲ جانمایی گردید. شکل حاصل از جانمایی این مدار در شکل (۱۳) نشان داده شده است. با توجه به اینکه عناصر پارازیتی و نحوه جانمایی و مسیرهای مدار در نتایج شبیه‌سازی پس از جانمایی موثر است، برای دستیابی به نتایج مطلوب ابعاد برخی از افزاره‌های مداری در جانمایی نسبت به ابعاد شماتیک تغییر داده شد تا همچنان همان نتایج مطلوب حاصل از شبیه‌سازی قبل از جانمایی به دست آید.

میزان  $IIP3$  حاصل از شبیه‌سازی ساختار پیشنهادی در شکل (۱۰) نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود مقدار  $IIP3$  مدار پیشنهادی در فرکانس  $7/4$  GHz برابر  $-3/49$  dBm شده است که نسبت به ساختار متداول حدود  $3/3$  dB بهبود داشته است. به منظور بررسی میزان تغییرات  $IIP3$  در کل بازه فرکانسی،  $IIP3$  چند نقطه دیگر در بازه پهنای باند مورد نظر شبیه‌سازی گردید و در شکل (۱۱) رسم شده است. همان‌طور که در این شکل ملاحظه می‌شود حداکثر تغییرات  $IIP3$  در کل بازه پهنای باند کمتر از  $3/4$  dBm است.

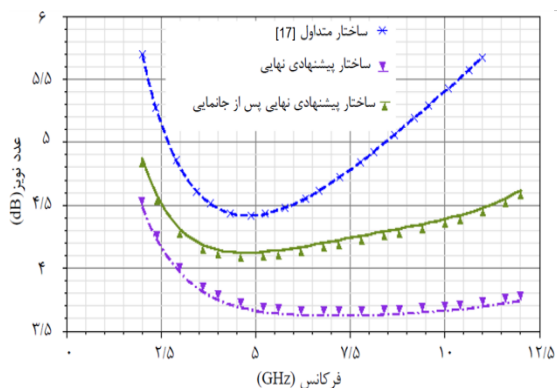


شکل ۱۱- خطینگی ساختار تقویت‌کننده پیشنهادی در کل بازه فرکانسی.

همان‌طور که قبلاً نیز اشاره شد به منظور عملکرد صحیح مدار پیشنهادی در کل بازه فرکانسی می‌بایست مدار پیشنهادی در کل بازه فرکانسی پایدار باشد. برای رسیدن به این هدف می‌بایست ضریب  $k$  همواره بزرگتر از ۱ باشد.



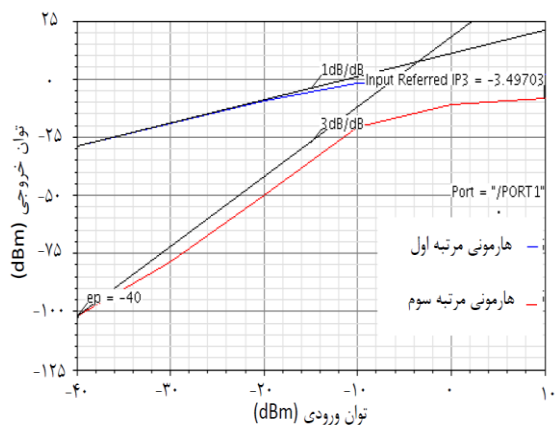
شکل ۱۳- جانمایی ساختار تقویت‌کننده کم‌نویز پیشنهادی.



شکل ۱۵- عدد نویز ساختار متداول در مقایسه با ساختار پیشنهادی قبل و بعد از جانمایی.

اگرچه نتایج بعد از جانمایی حاکی از افزایش عدد نویز تا  $0.7 \text{ dB}$  است، اما همچنان عدد نویز این ساختار نسبت به ساختار متداول بهتر است.

به منظور بررسی خطینگی تقویت کننده پیشنهادی پس از جانمایی دو تن با فرکانس های  $7/4 \text{ GHz}$  و  $7/48 \text{ GHz}$  به ورودی اعمال و توان آن دو در بازه  $-40 \text{ dBm}$  تا  $10 \text{ dBm}$  جاروب گردید و توان مولفه اول و هارمونی سوم خروجی در شکل (۱۶) ترسیم گردید.



شکل ۱۶- خطینگی ساختار پیشنهادی پس از جانمایی.

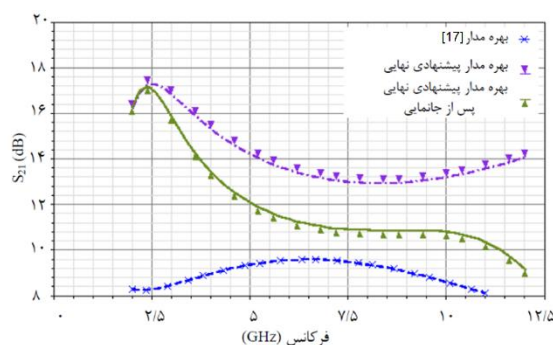
همان طور که ملاحظه می شود مقدار  $IIP3$  مدار پیشنهادی نهایی در فرکانس  $7/4 \text{ GHz}$  برابر  $-3/49 \text{ dBm}$  شده است که نسبت به ساختار متداول حدود  $3/3 \text{ dB}$  بهبود داشته است. به منظور بررسی میزان  $IIP3$  در کل بازه فرکانسی همان نقاط قبلی مجدداً شبیه سازی گردید که تغییرات  $IIP3$  در کل بازه در شکل (۱۷) رسم شده است. همان طور که در این شکل ملاحظه می شود تغییرات  $IIP3$  در کل بازه به میزان خوبی بهبود داشته است.

جدول ۲- مقادیر المان ها و ابعاد ترانزیستورهای تقویت کننده

پیشنهادی پس از جانمایی			
مقدار	نام قطعه	مقدار	نام قطعه
$1.22 \text{ nH}$ ( $n_r=2$ $\text{rad}=81.27$ )	$L_1$	$15/0.18 \mu\text{m}/\mu\text{m}$	$(W/L)_1$
$5.24 \text{ nH}$ ( $n_r=4$ $\text{rad}=93.94$ )	$L_2$	$10.5/0.18 \mu\text{m}/\mu\text{m}$	$(W/L)_2$
$19.8 \text{ nH}$ ( $n_r=3$ $\text{rad}=63.54$ )	$L_3$	$244.8/0.18 \mu\text{m}/\mu\text{m}$	$(W/L)_3$
$20.28 \text{ fF}$ ( $L_t=4 \mu\text{m}$ $W_t=4 \mu\text{m}$ )	$C_1$	$144/0.18 \mu\text{m}/\mu\text{m}$	$(W/L)_4$
$20.28 \text{ fF}$ ( $L_t=4 \mu\text{m}$ $W_t=4 \mu\text{m}$ )	$C_3$	$951 \text{ fF}$ ( $L_t=30 \mu\text{m}$ $W_t=30 \mu\text{m}$ )	$C_2$
	MIM		MIM

با توجه به شکل (۱۳) تقویت کننده مذکور سطحی برابر با  $10/89 \text{ mm}^2$  را بر روی تراشه اشغال خواهد کرد. پس از انجام جانمایی و استخراج مدار حاصل از جانمایی به همراه المان های پارازیتی، مدار حاصل تحت شبیه سازی بعد از جانمایی قرار گرفت و پارامترهای مهم تقویت کننده برای هر دو حالت قبل و بعد از جانمایی ترسیم و با ساختار متداول مقایسه گردید.

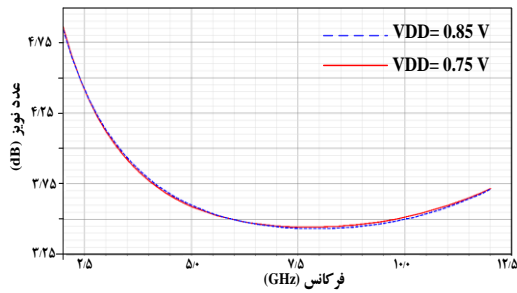
بهره ولتاژ و عدد نویز تقویت کننده پیش و پس از جانمایی به ترتیب در شکل (۱۴) و (۱۵) رسم و با ساختار متداول مقایسه شده است. با بررسی شکل (۱۴) واضح است که بهره مدار پس از جانمایی حداکثر  $3 \text{ dB}$  نسبت به قبل از جانمایی کاهش یافته است اما همچنان به میزان قابل قبولی بهتر از ساختار متداول است.



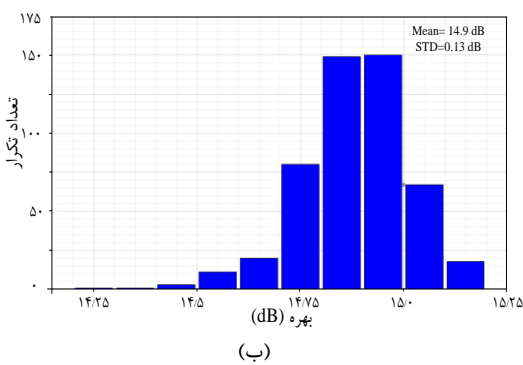
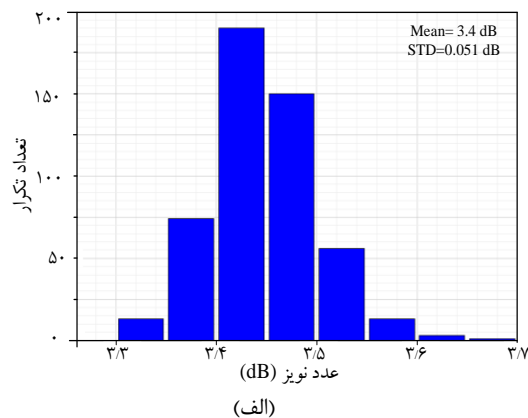
شکل ۱۴- بهره تقویت کننده متداول در مقایسه با ساختار پیشنهادی قبل و بعد از جانمایی.

نمودار عدد نویز مربوط به ساختار متداول و ساختار پیشنهادی قبل و بعد از جانمایی به صورت شکل (۱۵) حاصل شده است.

با توجه به اینکه تغییرات و خطاهای فرآیند ساخت ممکن است بر روی عملکرد مدار تاثیرگذار باشد شبیه سازی مونت کارلو با ۵۰۰ تکرار در شکل ۲۰ نشان داده شده است. شبیه سازی‌های مونت کارلو نشان می دهد که بهره و عدد نویز تقویت کننده دارای توزیع گوسی به ترتیب با میانگین ۱۴/۹dB و ۳/۴dB است.

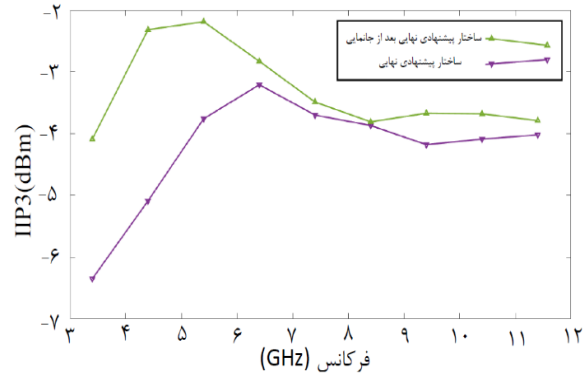


شکل ۱۹- عملکرد عدد نویز مدار در ولتاژهای تغذیه ۰/۷۵ و ۰/۸۵ ولت.

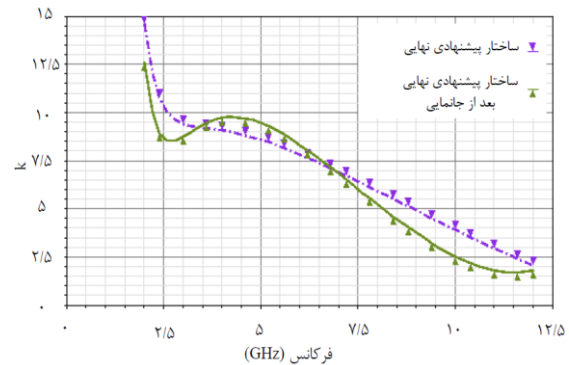


شکل ۲۰- نتایج شبیه‌سازی مونت کارلو برای (الف) عدد نویز و (ب) بهره تقویت کننده.

در جدول ۴ به مقایسه عملکرد ساختار پیشنهادی با تعدادی از تقویت‌کننده‌های کم‌نویز ارائه شده در مقالات قبل پرداخته شده است. به منظور مقایسه عملکرد کلی تقویت‌کننده‌های کم‌نویز ضریب شایستگی‌های متفاوتی تعریف می‌شود که دو ضریب شایستگی متداول به صورت



شکل ۱۷- خطینگی تقویت‌کننده پیشنهادی قبل و بعد از جانمایی.



شکل ۱۸- پایداری تقویت‌کننده پیشنهادی قبل و بعد از جانمایی.

مقدار  $k$  نیز پس از جانمایی در شکل (۱۸) نشان داده شده است که مقدار آن همواره بزرگتر از ۱ است. لذا مدار پیشنهادی پس از جانمایی نیز از نظر پایداری مشکلی نخواهد داشت.

برای بررسی عملکرد مدار پیشنهادی در گوشه‌های فرآیند ساخت و دما، نتایج شبیه‌سازی مدار در جدول ۳ ارائه شده است که حاکی از عملکرد صحیح مدار در گوشه‌ها است. همچنین نتایج شبیه‌سازی عدد نویز نسبت به تغییرات منبع تغذیه در شکل (۱۹) نشان داده شده است. همانطور که در این شکل ملاحظه می‌شود حساسیت مدار به تغییرات منبع تغذیه بسیار کم است.

جدول ۳. عملکرد بهره و عدد نویز مدار در گوشه‌ها.

Corner/Temperature(°C)	S21(dB)	NF(dB)
FF/-20	17.16	3.25
FF/85	12	4.11
SF/-20	16.1	3.14
SF/85	18.7	2.6
SS/-20	15.97	3.25
SS/85	12.5	4.18
FS/-20	19.5	2.65
FS/85	16.8	3.16

در این دو رابطه Gain اندازه بهره توان تقویت کننده، BW پهنای باند تقویت کننده بر حسب گیگاهرتز، Power توان مصرفی بر حسب میلی وات،  $F_{min}$  کمترین مقدار ضریب نویز و IIP3 مقدار خطینگی ساختار بر حسب میلی وات است. قابل توجه است که علی رغم مساحت نسبتا زیاد و قابل مقایسه ساختار پیشنهادی در این مقاله (به همراه بافر) با برخی از کارهای گذشته، مدار پیشنهادی دارای توان مصرفی پایین و ضرایب شایستگی بسیار خوبی است که نشان دهنده عملکرد مناسب آن است.

رابطه های (۱۴) و (۱۵) است. در یکی از این ضرایب شایستگی ها (FOM1) که در رابطه (۱۴) نشان داده شده است فقط مقدار بهره، پهنای باند، توان مصرفی و عدد نویز بر هم نرمالیزه شده است و در دیگری (رابطه (۱۵)) اثر خطینگی نیز لحاظ شده است.

$$FOM1 = \frac{Gain(abs) * BW(GHz)}{Power(mW) * (F_{min} - 1)} \quad (14)$$

$$FOM2 = \frac{IIP3(mW) * Gain(abs) * BW(GHz)}{Power(mW) * (F_{min} - 1)} \quad (15)$$

جدول ۴- مقایسه عملکرد تقویت کننده کم نویز پیشنهادی با کارهای گذشته.

Ref.	[17]	[19]	[18]	[20]	[21]	[22]	[11]	Proposed (Schematic)	Proposed (Post layout)
Sim. /Meas.	Meas.	Meas.	Meas.	Meas.	Sim.	Sim.	Sim.	Sim.	Sim.
Tech. ( $\mu m$ )	0.18	0.18	0.18	0.18	0.09	0.13	0.18	0.18	0.18
Freq. (GHz)	1.2-11.9	3.1-10.6	3.1-10.6	3.1-10.6	2.4-10.4	2.35-9.37	2.5-10.6	2-12	2-12
Area ( $mm^2$ )	0.59	0.39	0.91	-	-	0.39	0.86	-	0.89
Power(mW)	20	16.2	11	3.76	14.8	9.97	10	4.89	4.42
$S_{21}$ (dB)	9.7	15	13.2	10.1	9.5	10.3	15	17.49	17.2
$S_{11}$ (dB)	<-11	<-11	<-10.3	<-9.4	<-11.2	<-8	<-10	<-9.24	<-9
NF (dB)	4.5	3.5	3.33	4.14	3.5	3.68	3.5	3.59	4.18
FOM1	2.85	5.97	7.8	12.63	4.14	5.43	20.6	27.82	24.04
FOM2	0.65	4.49	5.7	6.12	79.4	2.25	N/A	34.08	32.85

از جانمایی انجام شد. شبیه سازی ها نشان داد که توان مصرفی ساختار پیشنهادی با ولتاژ تغذیه ۰/۸V، برابر با ۴/۸۹mW است و در این حالت مقدار عدد نویز تقویت کننده پیشنهادی بین ۴/۲dB تا ۴/۸dB است. مقدار بهره ماکزیمم نیز در این ساختار برابر ۱۷/۲dB است. در ادامه به منظور بررسی پایداری مدار پیشنهادی، ضریب k در پهنای باند مورد نظر شبیه سازی و پایداری مطلق آن تایید شد. همچنین شبیه سازی مونت کارلو و گوشه های پروسه حاکی از رفتار مقاوم مدار در برابر تغییرات و خطای های ساخت بود.

#### ۴- نتیجه گیری

در این مقاله به معرفی یک تقویت کننده کم نویز فرایهین باند در بازه فرکانسی ۲GHz تا ۱۲GHz با استفاده از روش حذف نویز پرداخته شده است. در این تقویت کننده جهت کاهش توان مصرفی ابتدا از روش gm افزایش یافته و فیدبک مثبت استفاده شد و سپس با تغییر در مدار بایاس ترانزیستورها، ولتاژ تغذیه مدار به زیریک ولت کاهش داده و توان مصرفی تقویت کننده بهبود داده شد. رفتار مدار از نظر عدد نویز و بهره مورد بررسی تحلیلی قرار گرفت و برای تایید بهبود عملکرد مدار پیشنهادی، جانمایی مدار در فن آوری CMOS رسم و شبیه سازی های بعد

## مراجع

- [1] P. Qin, and Q. Xue. "Compact wideband LNA with gain and input matching bandwidth extensions by transformer." *IEEE Microwave Wireless Component Letter*, 27 (2017): 657-659.
- [2] Z. Li. "Low-noise and high-gain wideband LNA with gm-boosting technique." *Electronics Letters*, 49 (2013): 1126-1128.
- [3] A.P. Tarighat, and M.Yargholi. "Low power active shunt feedback CMOS low noise amplifier for wideband wireless systems." *Integration*, 69 (2019): 189-197.
- [4] A. Bozorg, and B. Staszewski. "A 0.02–4.5-GHz LN(T)A in 28-nm CMOS for 5G exploiting noise reduction and current reuse." *IEEE Journal of Solid-State Circuits*, 56 (2020): pp. 404-415.
- [5] E.A. Sobhy, A.A. Helmy, S. Hoyos, K. Entesari, and E. Sánchez-Sinencio. "A 2.8-mW sub-2-dB noise-figure inductorless wideband CMOS LNA employing multiple feedback." *IEEE Transactions on Microwave Theory and Techniques* 59, no. 12 (2011): 3154-3161.
- [6] A. Liscidini, M. Brandolini, D. Sanzogni, and R. Castello. "A 0.13  $\mu\text{m}$  CMOS front-end, for DCS1800/UMTS/802.11b-g with Multiband positive feedback low-noise amplifier." *IEEE Journal of Solid-State Circuits*, 41 (2006): 981–989.
- [7] S. Asgaran, M.J. Deen, and C.H. Chen. "A 4-mW monolithic CMOS LNA at 5.7 GHz with the gate resistance used for input matching." *IEEE Microwave Wireless Component Letter*, 16 (2006): 188–190.
- [8] F. Daryabari, , A. Zahedi, A. Rezaei, and M. Hayati. "Low-power ultra-wideband LNA employing CS–CD current-reuse and gain-controller resistor technique in 0.180- $\mu\text{m}$  CMOS technology." *Analog Integrated Circuits and Signal Processing* 101, no. 2 (2019): 187-199.
- [9] P. Donyaran<sup>1</sup>, and B. Heidari. "Assessing a Noise Reduction Method for a Low-Noise Amplifier." *Tabriz Journal of Electrical Engineering (TJEE)*, 51 (2021): 195-203.
- [10] J. Chaqaei, A. Jalali, and J. Mazloum. "Inductor-less differential low-noise amplifier design with active and passive Gm enhancement for radiology." *Tabriz Journal of Electrical Engineering (TJEE)*, 50 (2019): 85-76. (in Persian)
- [11] B. Bijari, and M. Sheykhi. "1.3 to 10.6 GHz ultra-wideband low-noise amplifier with new input matching network." *Tabriz Journal of Electrical Engineering (TJEE)*, 49 (2020): 518-529. (in Persian)
- [12] B. Liu, C. Wang, M. Ma, and S. Guo. "An ultra-low-voltage and ultra-low-power 2.4 GHz LNA design." *Radioengineering*, 18 (2009): 527-531.
- [13] C. Chang, J. Chen, and Y. Wang. "A fully integrated 5 GHz low-voltage LNA using forward body bias technology." *IEEE Microwave and Wireless Components Letters*, 19 (2009): 176-178.
- [14] M. Mazidabadi Farahani, J. Mazloum, and M. Fouladian. "An ultra-wideband low noise amplifier with cascaded flipped-active inductor for cognitive radio applications." *Elsevier Integration*, 93 (2023).
- [15] M. Bekaran, M. Taskhiri, and S.A. Asayesh. "UWB low noise amplifier using inverting technique with inductive peaking." *Scientific Journal of Applied Electromagnetics*, 10 (2022): 109-120. (in Persian)
- [16] S. Saraslani, and A. Golmkani, "Ultra wide band low noise amplifier using resistive feedback and current reuse structure." *Journal of Iranian Association of Electrical and Electronics Engineers*, 20 (2023): 97-104. (in Persian)
- [17] C.F. Liao, and S.I. Liu. "A broadband noise-canceling CMOS LNA for 3.1–10.6-GHz UWB receivers." *IEEE Journal of Solid-State Circuits*, 42 (2007): 329–339.
- [18] M.T. Hsu, Y.C. Chang, and Y.Z. Huang. "Design of low power UWB LNA based on common source topology with current-reused technique." *Microelectronics Journal*, 44 (2013): 1223–1230.
- [19] A. Galal, R. Pokharel, H. Kanaya, and K.Yoshida. "High linearity technique for ultra-wideband low noise amplifier in 0.18 $\mu\text{m}$  CMOS technology." *AEU-International Journal of Electronics and Communications*, 66 (2012): 12-17.
- [20] C.H. Wu, Y.S. Lin, and C.C. Wang. "A 3.1–10.6-GHz current-reused CMOS ultra-wideband low-noise amplifier using self-forward body bias and forward combining techniques." *Microwave and Optical Technology Letters*, 55 (2013): 2296–2302.

[21] B.M. Jafari, and M. Yavari. "A UWB CMOS low-noise amplifier with noise reduction and linearity improvement techniques." *Microelectronics journal*, 46 (2015): 198–206, 2015.

[22] S. Arshad, R. Ramzan, K. Muhammad, and Q. Wahab. "A sub-10 mW, noise cancelling, wideband LNA for UWB applications." *AEU-International Journal of Electronics and Communications*, 69 (2015): 109–118.