طراحی ترانزیستور اثر میدانی تونلی بدون پیوند ناهمگن همراه شده با فناوری silicon-on-nothing برای بهبود مشخصات DC

امین ونک[1] و امیر امینی[2،*]

اطلاعات مقاله

دریافت مقاله:

پذیرش مقاله:

واژگان کلیدی:

ترانزیستور تونل‌زنی،

نوسانات زیر آستانه،

جریان ambipolar،

ساختار ناهمگن،

چکیده

دراین مقاله، ترانزیستور اثر میدانی تونلی بدون پیوند ناهمگن همراه شده با تکنولوژی silicon-on-nothing (SON HS-JLTFET) پیشنهاد می‌شود. ترانزیستور پیشنهادی در مقایسه با ترانزیستور تونل‌زنی بدون پیوند مرسوم دو مزیت دارد. اولین مزیت، یک دهه افزایش در جریان روشنی و بهبود ۱۰ درصدی نوسانات زیر آستانه است که بخاطر استفاده از InAs در ناحیه‌ی سورس می‌باشد. InAs به دلیل انرژی شکاف باند کمتری که نسبت به Si دارد سبب پهنای سد تونل‌زنی کمتر در پیوند سورس/کانال می‌شود. لذا الکترون های بیشتری از سورس به کانال تونل زنی می کنند.در نتیجه سبب افزایش نرخ تونل‌زنی و بهبود در جریان روشنی و نوسان زیر آستانه می‌شود. مزیت دیگر شامل کاهش جریان ambipolar به کمک تکنیک SON است. در واقع، air به دلیل ثابت دی الکتریک کمتری که نسبت به اکسید SiO_2 دارد میدان الکتریکی را در پیوند درین/کانال کاهش می‌دهد.میدان کاهش یافته سبب پهنای سد بزرگتری می شود. لذا جریان ambipolar را کاهش می‌دهد.

۱-مقدمه[1]

مقیاس‌بندی ترانزیستورهای اثر میدانی با اتصال فلز-اکسید-نیمه‌هادی (MOSFET) به دلایل افزایش توان مصرفی، پیدایش جریان‌های نشتی و آثار کوتاه با مشکل انجام می‌شود [۱– ۴]. غلبه بر این چالش‌ها نیازمند تغییر در مکانیزم انتقال بار و همچنین کاهش نوسانات زیر آستانه (SS) می‌باشد [۴]. نوسانات زیر آستانه بیانگر میزان ولتاژ گیتی است که باعث یک دهه تغییر در جریان درین می‌شود [۱]. ترانزیستور اثر میدانی تونلی (TFET) با مکانیزم تونل‌زنی باند به باند می‌تواند بر محدودیت MOSFET در SS غلبه کند و در دمای اتاق، SS کمتر از ۶۰ mV/dec دارند. برخلاف MOSFET، این ترانزیستورها از ساختار نامتقارن p-i-n تشکیل شده است که در آن الکترون‌ها از سورس به کانال تونل‌زنی می‌کنند. چالش‌هایی برای ترانزیستورهای تونل‌زنی مطرح است عبارتند از:

۱) ایجاد پیوند ناگهانی در محل‌های سورس/کانال و درین/کانال

برای شکل‌دهی پیوند ناگهانی لازم است از تعداد اتم‌های ناخالصی نفوذی از کانال به سورس و همچنین از درین به کانال کاسته شود. ایجاد چنین پروفایل ناخالصی در دمای خیلی بالا امکان‌پذیر است که سبب بالا رفتن هزینه‌ی ساخت افزاره می‌شود [۵]. در مقابل، ترانزیستورهای اثر میدانی تونلی بدون پیوند (JLTFET) توسعه یافتند که این مشکل را برطرف می‌کنند [۶, ۷].

۲) اثر خازن میلر تقویت شده

از آنجایی‌که خازن ناحیه‌ی گیت به درین (C_{gd}) در TFET شامل خازن ناحیه‌ی تخلیه هم است پس C_{gd}

* پست الکترونیک نویسنده مسئول: amini@wtiau.ac.ir

۱.دانشجوی دکتری دانشکده مهندسی برق، دانشگاه آزاد اسلامی تهران غرب

۲.دانشیار دانشکده مهندسی برق، دانشگاه آزاد اسلامی تهران غرب

UNCORRECTED PROOF

بزرگتر از خازن گیت به سورس (C_{gs}) می‌شود که به آن خازن میلر تقویت شده گفته می‌شود [۸]. این اتفاق سبب تاخیر در مدارات دیجیتال می‌شود. دو راه‌کار برای رفع این چالش مطرح شده است که عبارتند از مهندسی مواد و متقارن کردن هندسه‌ی TFET. مهندسی مواد شامل استفاده از مواد با چگالی حالت کم در سورس است [۸]. راه‌کار دومی بهره‌گیری از ساختار JLTFET است که دارای یک نوع اتم ناخالصی در سورس و درین است [۹].

ویژگی‌های ساختار متقارن از نظر یکسان بودن نوع اتم‌های ناخالصی سورس، کانال و درین همچنین عدم وجود پیوند در JLTFET آن‌ها را به افزاره‌ی جذاب برای توسعه تبدیل کرده‌است. این ترانزیستورها مشابه TFET مرسوم چالش‌های افزایش جریان روشنی (I_{ON}) و سرکوب جریان ambipolar (I_{amb}) را دارند. زمانی‌که ولتاژ منفی به گیت اعمال می‌شود الکترون‌ها قادر خواهند بود از کانال به درین تونل‌زنی کنند در نتیجه I_{amb} را می‌سازند. این جریان کاربرد JLTFET را در دیجیتال محدود می‌کند. برای سرکوب این جریان راه‌حل‌های مختلفی مانند استفاده از مواد با شکاف باند بزرگتر از سیلیکن (Si) در کانال و درین [۱۰, ۱۱]، کاشت فلز در اکسید گیت [۷, ۱۲, ۱۳] و استفاده از پروفایل گوسین شکل برای اتم‌های ناخالصی [۶] پیشنهاد شده است.

در این مقاله، درJLTFET با ترکیب دو روش I_{ON} افزایش، SS بهبود و I_{amb} کم می‌شود. راه‌کار افزایش جریان روشنی و بهبود SS شامل به کارگیری ایندیم آرسنایید (InAs) در ناحیه‌ی سورس می‌شود. از طرف دیگر، تکنیک silicon-on-nothing (SON) برای کاهش I_{amb} پیشنهاد می‌شود. تکنیک SON در تحقیقات قبلی برای TFET مرسوم به کار رفته است [۱۴]. فناوری SON با کم کردن تزویج الکتریکی بین گیت و ناحیه‌ی تونل‌زنی سبب کاهش خازن پارازیتی می‌شود و سرعت کلیدزنی بالا با آثار کوتاه کانال بهتر را به ارمغان می‌آورد [۱۵]. اما در این مطالعه، برای اولین بار این تکنیک برای JLTFET بررسی می‌شود. فرآیند ساخت ترانزیستور تونل‌زنی بدون پیوند ناهمگن همراه شده با تکنولوژی SON (SON HS-JLTFET[1]) مشابهSON MOSFET و HS-JLTFET می‌باشد [۹, ۱۶, ۱۷]. ابتدا مشابه فرآیند ساخت HS-JLTFET ماده‌ی نیمه‌هادی InAs در ناحیه‌ی سورس رشد می‌یابد. سپس، طبق فرآیند ساخت SON MOSFET ناحیه‌ی خالی باید در داخل Si شکل بگیرد. برای ایجاد ناحیه‌ی خالی، گازهای هلیوم با چگالی بالا در داخل Si کاشته می‌شوند. بعد از آن، کانتکت گیت بدون هیچ اکسیدی بر روی این ناحیه قرار می‌گیرد. در واقع این ناحیه‌ی خالی نقش اکسید air را در شبیه‌سازی خواهد داشت..

۲- ساختار افزاره و مدل‌های شبیه‌سازی

در شکل (۱)(الف)، (ب) و (ج) به ترتیب ترانزیستور تونل‌زنی معرفی شده در [۶] (JLTFET)، ترانزیستور تونل‌زنی بدون پیوند همراه شده با تکنولوژی SON (SON JLTFET) و ترانزیستور پیشنهادی (SON HS-JLTFET) نشان داده شده است. در هر سه افزاره نواحی سورس، کانال و درین از اتم‌های ناخالصی یکسان n^+ تشکیل شده است. برای مشابه کردن ساختار باند انرژی ترانزیستور JLTFET (n^+-n^+-n^+) به باند انرژی TFET مرسوم (p^+-i-n^+) از مفهوم پلاسمای بار الکتریکی استفاده می‌شود. این بدین معنی است که از گیت‌های قطبی[2] (p-gate) و کنترلی[3] (c-gate) در بالای نواحی سورس و کانال با تابع کار تنظیم شده استفاده می‌شود. انتخاب تابع کار بزرگتر برای p-gate نسبت به c-gate، خمش باند انرژی مشابه TFET مرسوم را برای JLTFET به ارمغان می‌آورد. در SON JLTFET از air به عنوان اکسید گیت استفاده شده است. همچنین، در افزاره‌ی پیشنهادی، InAs به ناحیه‌ی سورس اضافه شده است که به همراه تکنیک SON سبب بهبود پارامترهای DC افزاره می‌شود. بقیه‌ی پارامترهای طراحی افزاره در جدول (۱) داده شده است.

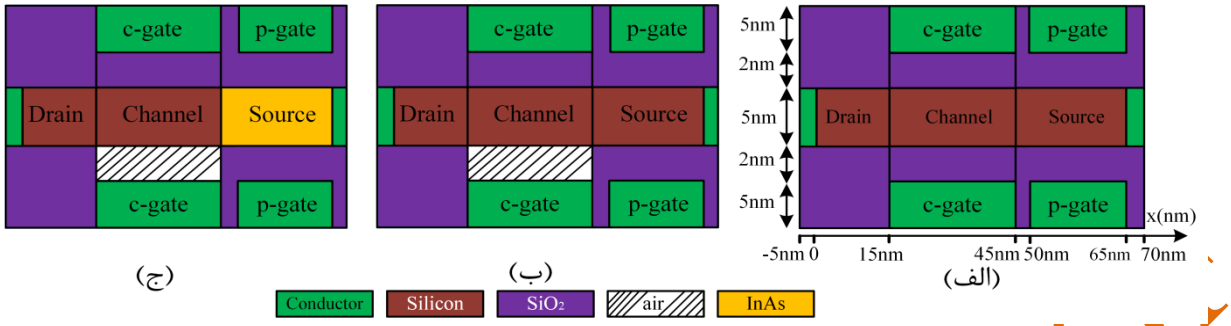
در شبیه‌سازی ترانزیستورها، به دلیل چگالی بالای اتم‌های ناخالصی نواحی سورس، کانال و درین از مدل‌های باریک شدن شکاف باند انرژی[4] (BGN) و باز ترکیب Auger استفاده می‌شود. در فرآیند ساخت ترانزیستورهای تونل‌زنی، تله‌ها و نقص‌هایی در پیوندهای سورس/کانال و درین/کانال به وجود می‌آیند که ممکن است الکترون به

[1] Silicon-on-nothing Hetero Structure JLTFET

[2] Polarity Gate
[3] Control Gate
[4] Band Gap Narrowing

UNCORRECTED PROOF

دلیل گرما از باند ظرفیت به تله منتقل شود و سپس به باند هدایت تونل‌زنی کند. لذا برای لحاظ این پدیده، مدل



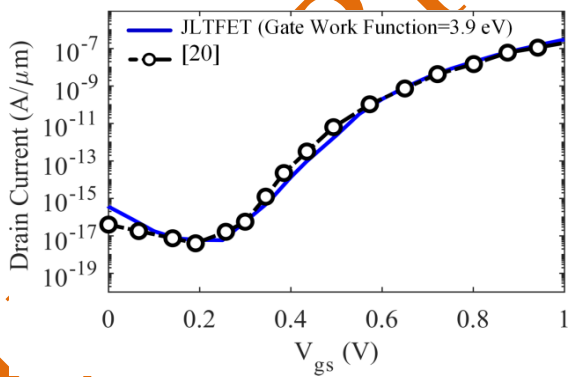
شکل ۱- تصویر برش مقطعی از (الف) JLTFET (ب) SON JLTFET (ج) SON HS-JLTFET.

جدول ۱- پارامترهای طراحی ترانزیستورها.

جزئیات	مقادیر	نمادها	یکاها
چگالی اتم‌های ناخالصی سورس، کانال و درین	$۱۰^{۱۹}$	n^+	cm^{-3}
تابع کار گیت کنترلی	۴.۹	-	eV
تابع کار گیت قطبی	۵.۹۳	-	eV
ضخامت اکسید SiO_2	۲	-	nm
ضخامت air	۲	-	nm

تونل‌زنی به کمک تله‌ها[1] (TAT) فعال شده است [۶]. در نظر گرفتن باز ترکیب ناشی از تله‌ها و نقص‌ها، نیازمند لحاظ مدل بازترکیب شاکلی رید هال[2] (SRH) است. لازم به ذکر است که باز ترکیب SRH سبب افزایش جریان‌های نشتی می‌شود. مدل قابلیت تحرک لامبردی به دلیل تشکیل لایه‌ی معکوس در کانال با CVT فعال شده است که در آن قابلیت تحرک حامل‌ها به دما، چگالی ناخالصی‌ها و میدان الکتریکی وابسته است. با فرض مدل تونل‌زنی غیرمحلی، نرخ تونل‌زنی الکترون‌ها و حفره‌ها وابسته به مشخصات باند انرژی از جمله پهنای سد و پنجره‌ی تونل‌زنی خواهد بود [۱۸, ۱۹]. در این مقاله، برای صحت سنجی از مدل‌های ذکر شده، در شکل (۲) مشخصه‌ی انتقال JLTFET مجدداً با نرم افزار تجاری شبیه ساز ادوات نیمه‌هادی شبیه‌سازی شده و با [۲۰] مقایسه شده است.

در شکل (۳) گام‌های کلیدی در فرآیند ساخت افزاره پیشنهادی نشان داده شده است که مشابه فرآیند ساخت SON TFET و ترانزیستور تونل‌زنی بدون پیوند با ساختار ناهمگن است [۲۱, ۲۲]. در گام (۱)، لایه‌ی فیلم نازک به کمک لایه نشانی بخار شیمیایی آماده می‌شود. سپس، در گام (۲) ناحیه‌ی سورس در داخل فیلم نازک



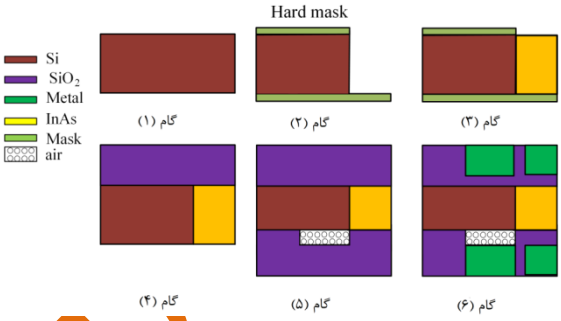
شکل ۲- صحت سنجی مشخصه‌ی انتقالی.

زدایش می‌شود و در گام (۳)، InAs به طریق اپیتکسی برای شکل‌دهی ناحیه‌ی سورس رشد می‌یابد. در ادامه، با لایه نشانی اتم به اتم اکسید SiO_2 در قسمت گیت جلویی بر روی بدنه‌ی افزاره قرار می‌گیرد (گام (۴)). برای ایجاد قسمت SON لازم است که ناحیه‌ی خالی از ماده، در

[1] Trap-assisted Tunneling
[2] Shockley-Read-Hall

CORRECTED PROOF

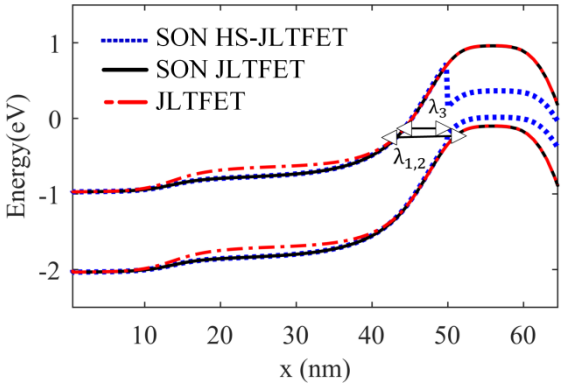
داخل سیلیکن شکل بگیرد. فرم‌دهی ناحیه‌ی خالی با کاشت گازهای هلیم با چگالی بالا در داخل سیلیکن و گرمادهی در محیط نیتروژنی انجام می‌شود. در گام (۵) سیلیکن در قسمت بالای ناحیه‌ی خالی به عنوان قسمت SON برای ساخت SON HS JLTFET به کار می‌رود و در سایر نواحی زدایش و سپس لایه نشانی اکسید SiO_2 انجام می‌شود. در نهایت، فلزات مربوط به گیت کمکی و کنترلی لایه نشانی می‌شوند (گام ۶).



شکل ۳- گام‌های مهم در فرآیند ساخت SON HS JLTFET.

۳-بحث و نتایج

شکل (۴) باندهای انرژی JLTFET، SON JLTFET و SON HS-JLTFET را در امتداد کانال و در حالت روشنی (V_{gs}= 1V و V_{ds}= 1V) نشان می‌دهد. برای هر سه ترانزیستور، زمانی‌که ولتاژ مثبت به گیت-سورس اعمال می‌شود، باند هدایت کانال پایین‌تر از باند ظرفیت سورس قرار می‌گیرد. از طرفی شروط تونل‌زنی بر پایه‌ی مدل تونل‌زنی غیرمحلی یعنی وجود حالت‌های خالی یا دریچه‌ی تونل‌زنی[1] و پهنای سد کم[2] (λ) برقرار است. بنابراین، الکترون‌ها قادر به تونل‌زنی از باند ظرفیت سورس به باند هدایت کانال خواهند بود. مقایسه‌ی JLTFET و SON JLTFET نشان می‌دهد که تکنیک SON در حالت روشنی و در پیوند سورس/کانال، تاثیر چندانی بر روی پهنای سد تونل‌زنی ندارد. در نتیجه این دو ترانزیستور در V_{gs}=1V جریان روشنی یکسانی خواهند داشت. زمانی‌که InAs در سورس SON HS-JLTFET به کار می‌رود مطابق شکل کمترین پهنای سد تونل‌زنی ($\lambda_3<\lambda_{2,1}$) را برای ترانزیستور پیشنهادی به ارمغان می‌آورد. لذا SON HS-JLTFET جریان روشنی بیشتری خواهد داشت.

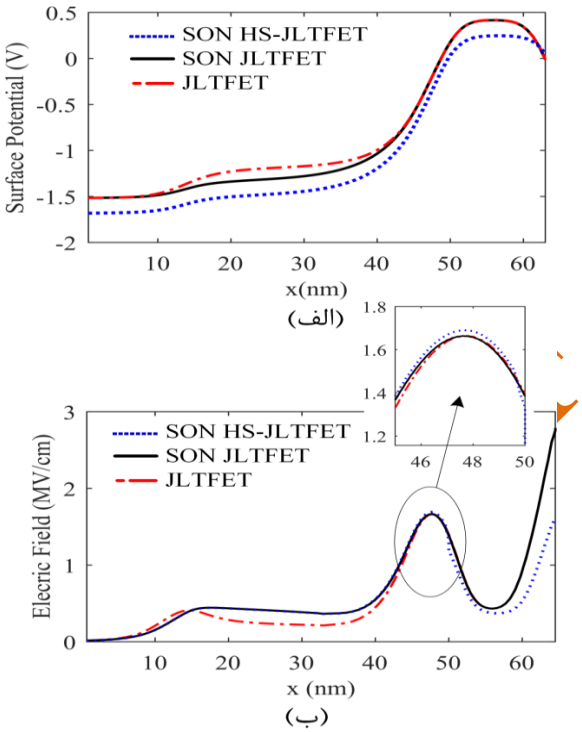


شکل ۴- باندهای هدایت و ظرفیت از JLTFET، SON JLTFET و SON HS-JLTFET در امتداد کانال و در حالت روشنی.

در شکل (۵)(الف) و (ب) برای هر سه افزاره به ترتیب پتانسیل سطحی و میدان الکتریکی در امتداد کانال و در حالت روشنی نشان داده شده است. باید توجه شود که میدان الکتریکی مشتق منحنی پتانسیل است. پس تغییرات زیاد در پتانسیل نزدیک پیوند سورس/کانال SON HS-JLTFET سبب میدان زیاد می‌شود. این میدان افزایش یافته سبب افزایش تزویج بین گیت و محل تونل‌زنی می‌شود که عامل پهنای سد کمی است که برای SON HS-JLTFET بدست آمد.

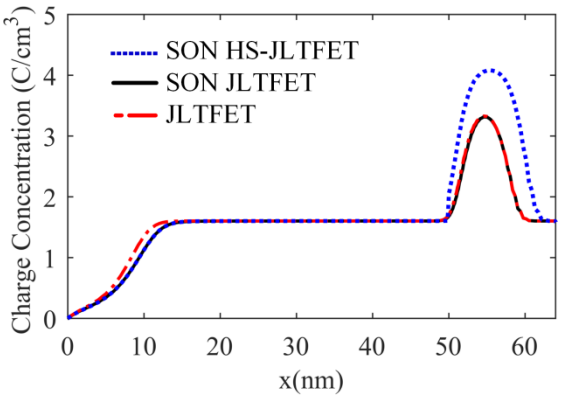
[1] Tunneling Window
[2] Tunneling Barrier Width

UNCORRECTED PROOF



شکل ۵- در هر سه ترانزیستور (الف) پتانسیل سطحی (ب) میدان الکتریکی در امتداد کانال.

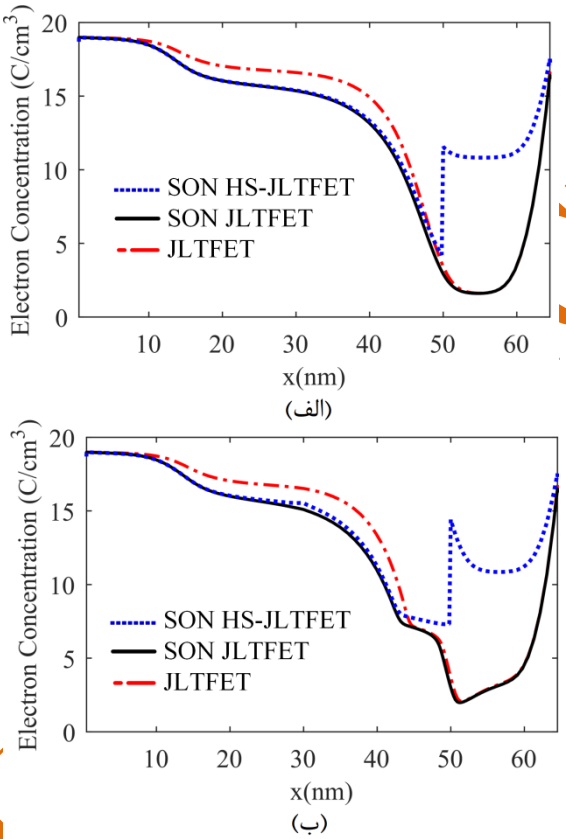
تعداد بارهای آماده برای تونل‌زنی، نقش مهمی در جریان دهی افزاره دارند. به عبارتی افزایش تعداد بار مشارکت کننده، افزایش جریان را نیز به دنبال دارد. در شکل (۶) همانطوریکه نمایش داده شده است در حالت تعادل غلظت بارهای مشارکت کننده در تونل‌زنی برای SON HS-JLTFET در مقایسه با ساختارهای JLTFET و SON JLTFET بیشتر شده است.



شکل ۶- غلظت بارهای مشارکت کننده در تونل‌زنی برای هر سه ساختار.

شکل (۷) (الف) و (ب) به ترتیب تراکم الکترون‌ها را در حالت خاموشی و روشنی برای سه افزاره در امتداد کانال نشان می‌دهد. به وضوح پیداست که InAs در ساختار پیشنهادی تراکم الکترون‌ها را در داخل سورس افزایش می‌دهد. همین امر سبب افزایش نرخ تونل‌زنی می‌شود زیرا که پیوند تیزی بین سورس/کانال شکل می‌گیرد. همچنین، فناوری SON تراکم الکترون‌ها را هم در حالت روشنی و هم در حالت خاموشی در سمت پیوند درین/کانال کم کرده است. لذا تونل‌زنی کمتری در این پیوند اتفاق می‌افتد و I_{amb} کم می‌شود.

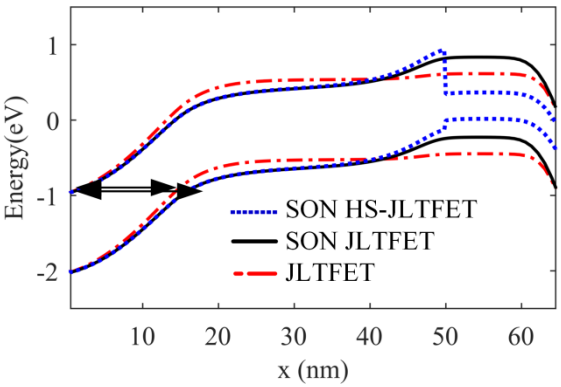
برای بیان رابطه‌ی بین تابع کار گیت کمکی و ضخامت air از یکسان بودن عملکرد افزاره استفاده می‌شود. به این صورت که در شکل (۸)(الف) ابتدا تابع کار گیت کمکی از ۴,۹ eV به ۴.۷ eV کاهش داده شده است که سبب افزایش جریان روشنی می‌شود. حالا برای اینکه عملکرد افزاره تغییر نکند باید ضخامت air بیشتر شود تا از زیاد شدن جریان جلوگیری کند. افزایش ضخامت air سبب افزایش فاصله‌ی بین گیت و ناحیه‌ی تونل‌زنی می‌شود در نتیجه میدان الکتریکی در محل تونل‌زنی کم می‌شود لذا جریان روشنی را کم می‌کند.



شکل ۷- تراکم الکترون‌های سه افزاره (الف) در حالت خاموشی (ب) در حالت روشنی در امتداد کانال.

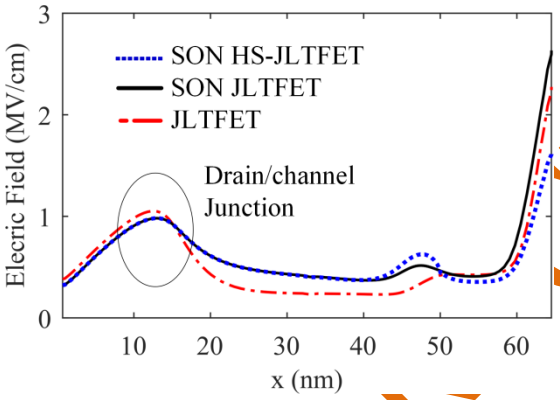
مطابق شکل (۸)(ب) با افزایش ضخامت air از ۲ nm به ۴ nm جریان کم شده است. در نتیجه، برای تابع کارهای کم می‌توان از ضخامت air بزرگتر استفاده کرد.

در پیوند درین/کانال ترانزیستورهای تونل‌زنی هم امکان تونل‌زنی وجود دارد. شکل (۹) بیانگر این است زمانی‌که ولتاژ منفی به گیت اعمال شده باندهای ظرفیت کانال بالاتر از باند هدایت درین قرار گرفته است. این اتفاق سبب شانس تونل‌زنی برای الکترون‌های باند ظرفیت کانال به باند هدایت درین می‌شود و باعث تشکیل I_{amb} می‌شود. طبق شکل (۹)، پهنای سد مقابل الکترون‌های موجود در باند ظرفیت کانال در SON HS-JLTFET و SON JLTFET یکسان است. لذا، جریان I_{amb} یکسانی را در V_{gs}= -0.2 خواهند داشت. از طرفی، پهنای سد در JLTFET کمتر شده در نتیجه سبب افزایش I_{amb} می‌شود.



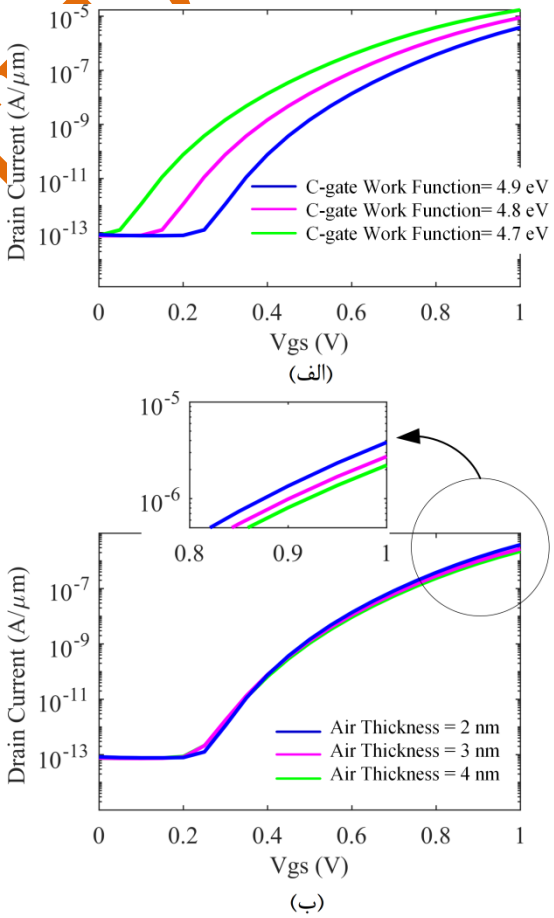
شکل ۹- مقایسه‌ی پهنای سد تونل‌زنی هر سه افزاره در ولتاژ V_{gs}= -0.2 V.

به‌طور مشابه، در شکل (۱۰)، میدان الکتریکی در پیوند درین/کانال برای سه ترانزیستور در V_{gs}= -0.2 V مقایسه شده است. میدان کاهش یافته در این پیوند، سبب پهنای سد بزرگتر در شکل (۹) می‌شود.



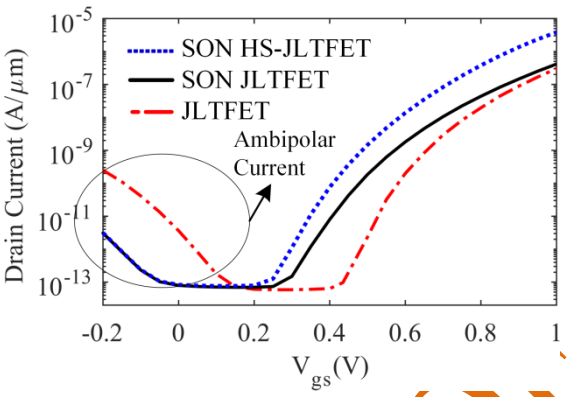
شکل ۱۰- مقایسه‌ی میدان الکتریکی هر سه افزاره در ولتاژ V_{gs}= -0.2 V.

مشخصه‌ی انتقالی برای JLTFET، SON JLTFET و SON HS-JLTFET در شکل (۱۱) رسم شده است. این شکل نشان می‌دهد که ترانزیستور پیشنهادی علاوه براین که مزیت کاهش I_{amb} را از SON JLTFET دارد همچنین جریان روشنی و شیب زیر آستانه را نسبت به JLTFET و SON JLTFET بهبود داده است.



شکل (۸) مشخصه‌ی انتقالی (الف) با تغییر در تابع کار گیت کمکی (ب) در ضخامت مختلف air.

UNCORRECTED PROOF



شکل ۱۱- مقایسه‌ی مشخصه‌ی انتقالی بین JLTFET، SON JLTFET و SON HS-JLTFET.

در جدول (۲) پارامترهای DC مانند I_{ON}، I_{amb} و SS بین ترانزیستور پیشنهاد شده و دیگر ترانزیستورهای تونل‌زنی مشابه مقایسه‌ی شده است. مطابق این جدول، ترانزیستور پیشنهادی دارای بیشترین جریان روشنی است زیرا که InAs به کار رفته در سورس کمترین پهنای سد تونل‌زنی را فراهم می‌کند. لازم به ذکر است که در این جدول حداقل SS برای ترانزیستور تونل‌زنی بدون پیوند با ناخالصی الکتریکی (القا شده به وسیله تابع کار گیت‌ها) همراه شده با تکنیک SON[1] [۱۵] (SON-ED-JLTFET) و همچنین ترانزیستور تونل‌زنی با ناخالصی الکتریکی و حاوی لایه‌ی فلزی در اکسید گیت[2] [۱۲] (MS-ED-TFET) ذکر شده است. حداقل SS به کمترین SS موجود در مشخصه‌ی انتقال گفته می‌شود. این در حالی است که برای سایر ساختارها SS میانگین ذکر شده است. برای محاسبه‌ی SS میانگین معکوس شیب منحنی انتقال را از ولتاژی که جریان شروع به افزایش کرده تا ولتاژی که جریان به مقدار ۱۰۰ نانو امپر برسد بدست می‌آورند. در ساختار Unstrained JLTFET هیچ‌گونه کشش تک محوری به شکاف باند بدنه وارد نشده است [۲۳]. علاوه براین، ترانزیستور تونل‌زنی ساختار ناهمگن با اکسید پشته‌ای (Stacked Gate JLTFET Heterostructure) اخیرا پیشنهاد شده‌اند که به دلیل اینکه شامل اکسید با ثابت دی الکتریک بالا هستند جریان روشنی بالایی دارند [۲۴].

جدول ۲- مقایسه‌ی پارامترهای DC.

ساختارها	I_{ON} (A/**μm**)	I_{amb} (A/**μm**)	SS (mV/dec)
SON HS-JLTFET (This Work)	۸.۳×۱۰$^{-۶}$	۱.۳×۱۰$^{-۱۲}$	۷۰
SON JLTFET	۱.۴×۱۰$^{-۷}$	۱.۳×۱۰$^{-۱۲}$	۹۸
JLTFET [۶]	۳×۱۰$^{-۷}$	۴.۲×۱۰$^{-۱۰}$	۷۸
SON-ED-JLTFET [۱۵]	۱.۶×۱۰$^{-۷}$	-	۱.۱۵
MS-ED-TFET [۱۲]	۶.۹×۱۰$^{-۱۰}$	۸.۴×۱۰$^{-۹}$	۲.۲۳
Unstrained JLTFET [۲۳]	۵.۳×۱۰$^{-۷}$	۱.۲×۱۰$^{-۹}$	۳۲
Heterostructure Stacked Gate JLTFET [۲۴]	۱.۸×۱۰$^{-۴}$	-	۴۲.۳

در جدول (۳) برای چند نمونه از ترانزیستور اثر میدانی تونلی بدون پیوند از جمله ترانزیستور تونل‌زنی بدون پیوند مبتنی بر پلاسمای بار الکتریکی همراه شده با لایه فلزی دوگانه[3] (DMS-CP-JL-TFET) [۱۲]، ترانزیستور تونل‌زنی بدون پیوند با یک نوع فلز در گیت[4] (SMG-JLTFET) [۶] و ترانزیستور تونل‌زنی بدون پیوند با فلز کاشته شده در گیت (Metal Implant JLTFET) [۱۳] مقدار این دو پارامتر با هم مقایسه شده است.

جدول (۳) مقایسه‌ی $SS_{average}$ و SS_{point}.

ساختارها	$SS_{average}$ (mV/dec)	SS_{point} (mV/dec)
DMS-CP-JL-TFET [۱۲]	-	۱۲.۷۴
SMG-JLTFET [۶]	۸۰	۴۰
JLTFET [۲۰]	۷۰	۳۸
Metal Implant JLTFET [۱۳]		۴,۹
SON HS-JLTFET (This work)	۷۰	۴۲

۴-نتیجه‌گیری

در این مطالعه، مشخصه‌ی انتقالی SON HS-JLTFET نسبت به JLTFET به کمک InAs در سورس و تکنیک SON بهبود داده شد. شبیه‌سازی نشان می‌دهد که پهنای سد کمتر و میدان الکتریکی افزایش یافته در پیوند سورس/کانال سبب افزایش جریان روشنی می‌شود. همچنین استفاده از InAs تعداد بارهایی که در تونل‌زنی شرکت می‌کنند را افزایش می‌دهد. علاوه بر این، تکنیک SON میدان الکتریکی را پیوند درین/کانال کاهش می‌دهد که عامل کاهش I_{amb} است

[1] Silicon-on-nothing Electrically Doped JLTFET
[2] Metal Strip Electrically Doped JLTFET
[3] Dual Metal-strip Charge Plasma-based JLTFET
[4] Single Material Gate JLTFET

UNCORRECTED PROOF

مراجع

[۱] بهروز عبدی تهنه و علی نادری، " ساختار جدید ترانزیستور اثر میدانی نانو لوله کربنی تونل زنی با دوپینگ خطی در ناحیه درین شبیه‌سازی عددی کوانتومی"، نشریه مدلسازی در مهندسی، دوره ۱۶، شماره ۵۲، بهار ۱۳۹۷، صفحه ۱۰۹-۱۱۷.

[۲] علی اصغر اروجی، اکرم عنبر حیدری و زینب رمضانی،" ترانزیستور اثر میدان فلز- نیمه هادی با ناحیه بدون ناخالصی در طرف درین برای اصلاح چگالی حامل‌ها و کاربردهای توان بالا"، نشریه مدلسازی در مهندسی، دوره ۱۳، شماره ۴۳، زمستان ۱۳۹۴، صفحه ۱۲۱-۱۲۷.

[3] K. Boucart, and A. M. Ionescu, “Double-gate tunnel FET with high-Gate Dielectric”, IEEE Transactions on Electron Devices, Vol. 54, NO. 7, June 2007, pp. 1725–1733.

[4] A. M. Ionescu, and H. Riel, “Tunnel field-effect transistors as energy-efficient electronic switches”, Nature, Vol. 479, NO. 7373, November 2011, pp. 329–337.

[5] J. P. Colinge, C. W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. Oneill, A. Blake, M. White, and A.M. Kelleher, “Nanowire transistors without junctions”, Nature Nanotechnology, Vol. 5, NO. 3, February 2010, pp. 225-229.

[6] H. Aghandeh, and S. A. S. Ziabari, “Gate engineered heterostructure junctionless TFET with Gaussian doping profile for ambipolar suppression and electrical performance improvement”, Superlattices and Microstructures, Vol. 111, November 2017, pp. 103–114.

[7] B. Venkata, M. Gautami, K. Nigam, D. Sharma, V. A. Tikkiwal, S. Yadav, and S. Kumar, “Impact of a metal-strip on a polarity-based electrically doped TFET for improvement of DC and analog/RF performance”, Journal of Computational Electronics, Vol. 18, NO. 1, November 2018, pp. 76-82.

[8] S. Mookerjea, and R. Krishnan, “On enhanced Miller capacitance effect in interband tunnel transistors”, IEEE Electron Device Letters, Vol. 30, NO. 10, September 2009, pp. 1102–1104.

[9] W. V. Devi, “Optimization of pocket doped junctionless TFET and its application in digital Inverter”, Micro & Nano Letters, Vol. 14, NO. 1, January 2019, pp.69-73.

[10] D. G. Gaas and I. Ge, “Digital performance assessment of the dual-material gate GaAs/InAs/Ge junctionless TFET”, IEEE Transactions on Electron Devices, Vol. 68, NO. 4, February 2021, pp.1986-1991.

[11] V. P. H. Hu and C. T. Wang, “Optimization of III-V heterojunction tunnel FET with non-uniform channel thickness for performance enhancement and ambipolar leakage suppression”, Japanese Journal of Applied Physics, Vol. 57, NO. 4, March 2018, p. 04FD18.

[12] B. Venkata, C. Kaushal, N. Sukeshni, and T. Dheeraj, “Metal-strip approach on junctionless TFET in the presence of positive charge”, Applied Physics A, Vol. 125, NO. 9, August 2019, pp.1-12.

[13] S. Tirkey, D. Sharma, D. S. Yadav, and S. Yadav, “Analysis of a novel metal implant junctionless tunnel FET for better DC and analog/RF electrostatic parameters,” IEEE Transactions on Electron Devices, Vol. 64, NO. 9, August 2017, pp. 3943-3950.

[14] A. Mahajan, D. K. Dash, P. Banerjee, and S. K. Sarkar, “Analytical modeling of triple-metal hetero-dielectric DG SON TFET”, Journal of Materials Engineering and Performance, Vol. 27, NO. 6, February 2018, pp. 2693–2700.

UNCORRECTED PROOF

[15] A. Kaity, S. Singh, and P. N. Kondekar, “Silicon-on-nothing electrostatically doped junctionless tunnel field effect transistor (SON-ED-JLTFET): A short channel effect resilient design,” Silicon, Vol. 13, NO. 1, Jan 2021, pp. 9–23.

[16] W. H. Bu, H. Ru, L. Ming, T. Yu, W. Da-Ke, C. Man-Sun, and W. Yang-Yuan, “Silicon-on-nothing MOSFETs fabricated with hydrogen and helium co-implantation”, Chinese Physics, Vol. 15, NO. 11, April 2006, pp. 2751–2755.

[17] J. Pretet, S. Monfray, S. Cristoloveanu, and T. Skotnicki, “Silicon-on-nothing MOSFETs: performance, short-channel effects, and backgate coupling,” IEEE Transactions on Electron Devices, Vol. 51, NO. 2, January 2004, pp. 240–245.

[18] K. Eyvazi, and M. A. Karami, “Suppressing ambipolar current in UTFET by auxiliary gate”, Iranian Journal of Science and Technology, Transactions of Electrical Engineering, Vol. 45, NO. 2, September 2020, pp. 407-414.

[۱۹] علی نادری و مریم قدرتی، "بهبود عملکرد ترانزیستور اثر میدانی نانولوله کربنی تونلی در حضور ناهمپوشانی"، نشریه مدلسازی در مهندسی، دوره ۱۷، شماره ۵۹، زمستان ۱۳۹۸، صفحه ۲۱۵-۲۲۴.

[20] B. Ghosh and M. W. Akram, “Junctionless tunnel field effect transistor,” IEEE electron device letters, Vol. 34, NO. 5, Apr 2013, pp. 584–586.

[21] K. Eyvazi, and M. A. Karami, “Analytical modeling and simulation of a triple-material double-gate SON TFET with stacked front-gate oxide for low-power applications,” Iranian Journal of Science and Technology, Transactions of Electrical Engineering, May 2-23, pp. 1-14.

[22] W. V. Devi and B. Bhowmick, “Optimisation of pocket doped junctionless TFET and its application in digital inverter,” Micro Nano Lett., Vol. 14, NO. 1, Jan 2019, pp. 69–73.

[23] F. Khorramrouze, S. A. S. Ziabari, and A. Heydari, “Design and realization of a junction-less TFET for analog and digital applications based on strain engineering,” Majlesi Journal of Telecommunication Devices, Vol. 11, NO. 2, Jun 2022, pp. 66–74.

[24] A. Vanak, A. Amir, and S. H. Pishgar, “Improvements in reliability and RF performance of stacked gate JLTFET using p^+ pocket and heterostructure material,” Silicon, Feb 2023, pp. 1-11.

UNCORRECTED PROOF

A new heterostructure junctionless tunnel field effect transistor with silicon-on-nothing technique for DC parameter improvement

Amin Vanak[1], and Amir Amini[1,*]

1. Department of Electrical Engineering, College of Technical and Engineering, West Tehran Branch, Islamic Azad University, Tehran, Iran.

***Corresponding Author: amini@wtiau.ac.ir**

ARTICLE INFO

Keywords: tunnel field effect transistor, Subthreshold swing, Ambipolar current, Heterostructure,

ABSTRACT

In this paper, a novel heterostructure junctionless tunnel field effect transistor with silicon-on-nothing technology (SON HS-JLTFET) is proposed. The proposed device has two advantages over conventional JLTFET. First, one decade of increment in the ON current is achieved and subthreshold swing is improved by 10٪. In this device, InAs is used in the source region of SON HS-JLTFET which has a lower energy band gap than Si to achieve thinner tunneling barrier width. Hence, more electron can tunnel from source to channel. As a result, it provides improvements in drain current and subthreshold swing. The second advantage is that the ambipolar current reduction due to the use of SON technique. In fact, in this technique, air is considered as the gate dielectric which results in decrement in the electric field in the drain/channel junction. This reduced electric field causes increasing the width of the tunneling barrier which results in lower ambipolar current in the drain/channel junction.

UNCORRECTED PROOF