Semnan University

Journal of Modeling in Engineering

Journal homepage: https://modelling.semnan.ac.ir/

ISSN: 2783-2538



Research Article

Design and Analysis of a High-Performance, Low-Power 5-to-2 Compressor Using Carbon Nanotube Field-Effect Transistors

Mehdi Bagherizadeh

Department of Computer Engineering, Raf.C. , Islamic Azad University, Rafsanjan, Iran

UNCORRECTED PROOF

PAPER INFO

Paper history:

Received: .....
Revised: .....
Accepted: .....

Keywords:

5-to-2 Compressor;

CNFET;

Parallel Multiplier;
Low-Power Design.

ABSTRACT

Scaling of complementary metal-oxide-semiconductor (CMOS) technology to the nanoscale introduces many limitations such as significantly increased leakage currents, high power dissipation, and short-channel effects. Carbon nanotube field-effect transistors (CNFETs) have been proposed as an efficient alternative for designing high-performance, low-power circuits. The Multiplication operation is fundamental to many computing systems, including microprocessors and digital signal processors (DSPs), where compressor cells serve as the basic building blocks for accumulating partial products. In this paper, we first review and analyze ten existing 5-to-2 compressor architectures. Subsequently, we propose a novel 5-to-2 compressor design based on CNFET technology. The proposed design was comprehensively simulated under varying environmental conditions using the Synopsys HSPICE tool. Its performance was compared against four state-of-the-art 5:2 compressors in terms of delay, power consumption, and power-delay product (PDP). The simulation results clearly demonstrate the superior performance of the proposed design, consistently achieving a lower PDP compared to all other considered designs.

DOI: https://doi.org/10.22075/jme.2024.31282.2495

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

*** Corresponding author.**
E-mail address: m.bagherizadeh@srbiau.ac.ir

مقاله پژوهشی

طراحی و تحلیل یک فشرده‌ساز پنج–به–دو کم‌مصرف و پربازده مبتنی بر ترانزیستورهای نانولوله‌کربنی

مهدی باقری‌زاده*

*گروه مهندسی کامپیوتر، واحد رفسنجان، دانشگاه آزاد اسلامی، رفسنجان، ایران

اطلاعات مقاله

دریافت مقاله: .....

بازنگری مقاله: .....

پذیرش مقاله: .....

واژگان کلیدی:

فشرده‌ساز پنج-به-دو،

ترانزیستورهای نانولوله کربنی،

ضرب کننده موازی،

مصرف توان پایین.

چکیده

مقیاس‌بندی فناوری ترانزیستور اثر میدان نیمه‌هادی-اکسید فلز (CMOS) به ابعاد نانو، محدودیت‌های شدیدی از قبیل افزایش جریان نشتی، اتلاف توان بالا و تشدید اثرات کانال کوتاه را به همراه دارد. ترانزیستورهای اثر میدان نانولوله کربنی (CNFET) به عنوان جایگزینی کارآمد برای طراحی مدارهای پربازده و کم‌مصرف پیشنهاد شده‌اند. عمل ضرب یکی از عملیات پایه‌ای در سامانه‌های محاسباتی از جمله ریزپردازنده‌ها و پردازنده‌های سیگنال دیجیتال (DSP) است. در این زمینه، سلول‌های فشرده‌ساز به عنوان بلوک‌های بنیادی برای انباشتن حاصل‌ضرب‌های جزئی به کار می‌روند. در این مقاله، نخست ده معماری موجود فشرده‌ساز پنج-به-دو مرور و تحلیل می‌شود. سپس یک معماری نوین برای فشرده‌ساز پنج-به-دو مبتنی بر فناوری CNFET پیشنهاد می‌گردد. طرح پیشنهادی با استفاده از ابزار Synopsys HSPICE تحت شرایط محیطی گوناگون به طور جامع شبیه‌سازی شد. عملکرد آن از نظر تاخیر، مصرف توان و حاصلضرب تاخیر-توان (PDP) با چهار فشرده‌ساز پنج-به-دو پیشرو مقایسه گردید. نتایج شبیه‌سازی، عملکرد برتر طرح پیشنهادی و دستیابی به مقدار PDP کم‌تر را در مقایسه با سایر طرح‌ها به وضوح نشان می‌دهد.

DOI: https://doi.org/10.22075/jme.2024.31282.2495

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

UNCORRECTED PROOF

۱-مقدمه

عمل ضرب[۲] یکی از مهم‌ترین عملیات‌های محاسباتی است و در ریزپردازنده‌ها و کاربردهای پردازش سیگنال دیجیتال (DSP) نقش بنیادی دارد. ریزپردازنده‌ها در واحد محاسبه و منطق (ALU) خود و سیستم‌های DSP در پیاده‌سازی الگوریتم‌های مختلف، به واحدهای ضرب‌کننده کارآمد وابسته‌اند. بنابراین، بهبود کارآیی واحد ضرب، به طور مستقیم بر عملکرد کلی این سیستم‌ها تأثیر می‌گذارد. در یک ضرب‌کننده عملیات ضرب را می توان به سه مرحله

* پست الکترونیک نویسنده مسئول: m.bagherizadeh@srbiau.ac.ir
گروه مهندسی کامپیوتر، واحد رفسنجان، دانشگاه آزاد اسلامی، رفسنجان، ایران

[2] Multiplication Process

*** Corresponding author.**
E-mail address: m.bagherizadeh@srbiau.ac.ir

تقسیم کرد: (۱) تولید حاصل‌ضرب‌های جزئی[1]، (۲) جمع‌آوری این حاصل‌ضرب‌ها[2]، و (۳) جمع نهایی[3]. مرحله دوم یعنی جمع‌آوری حاصل‌ضرب‌های جزئی بیشترین سهم را در تاخیر کل عملیات ضرب دارد [1]. در ضرب‌کننده‌های بزرگ، از تعداد زیادی فشرده‌ساز و شمارنده استفاده می‌شود. سلول‌های فشرده‌ساز، بلوک‌های محاسباتی هستند که در طول فرآیند ضرب، مسئولیت انباشت و کاهش حاصل‌ضرب‌های جزئی را بر عهده دارند. از این‌رو، بهبود کارآیی و کاهش مصرف توان این سلول‌های فشرده‌ساز، مستقیماً به بهبود عملکرد و بهره‌وری کل ضرب‌کننده منجر می‌شود.

مقیاس‌بندی فناوری ترانزیستور اثر میدان نیمه‌هادی-اکسید فلز (CMOS) به ابعاد نانو با چالش‌های اساسی مانند تشدید اثرات کانال کوتاه، کاهش کنترل گیت، افزایش نمایی جریان‌های نشتی بصورت نمایی و اتلاف توان بالای ایستا روبرو شده است. برای فائق آمدن بر این محدودیت‌ها، نیاز به فناوری‌های جایگزین و نوآورانه احساس می‌شود. در این راستا، ترانزیستورهای اثر میدان نانولوله کربنی (CNFET)به عنوان یکی از گزینه‌های پیشرو برای طراحی مدارهای مجتمع با کارایی بالا و مصرف توان پایین مطرح شده‌اند [2] [3].

فشرده ساز پنج-به-دو یکی از اجزای کلیدی در واحدهای ضرب برای کاهش حاصل‌ضرب‌های جزئی است. در این مقاله، نخست ده معماری مختلف از این فشرده‌ساز که در ادبیات موضوع ارائه شده‌اند، معرفی و تحلیل می‌شوند. سپس با بهره‌گیری از فناوری ترانزیستورهای نانو لوله کربنی (CNFET) و طراحی بهینه‌شده گیت‌های XOR سه ورودی و دو ورودی، یک سلول فشرده ساز پنج-به-دو با کارآیی بالا ارائه می‌گردد. عملکرد طرح پیشنهادی به همراه چهار طرح منتخب از جدیدترین فشرده‌سازهای گزارش‌شده، با استفاده از نرم افزار شبیه‌ساز **Synopsys HSPICE** مورد ارزیابی قرار می‌گیرد. نتایج شبیه‌سازی، برتری چشمگیر طرح پیشنهادی را از نظر پارامترهای مصرف توان و حاصلضرب توان-تاخیر (PDP) در مقایسه با سایر طرح‌ها را نشان می‌دهد.

نوآوری‌های اصلی ارائه‌شده در این مقاله را می‌توان به شرح زیر برشمرد:

- طراحی یک معماری جدید برای فشرده‌ساز پنج-به-دو که از ترکیب بهینه‌شده‌ای از گیت‌های XORسه‌ورودی و دوورودی برای کاهش مسیر بحرانی و مصرف توان بهره می‌برد.
- بهره‌گیری از فناوری ترانزیستورهای اثر میدان نانولوله کربنی (CNFET) به‌منظور دستیابی به عملکرد برتر در مقیاس نانو و غلبه بر محدودیت‌های فناوری CMOS
- در طراحی گیت‌های XOR ، از به کارگیری شبکه‌های خازنی تقسیم‌ولتاژ که منجر به افزایش نویزپذیری و توان ایستا می‌شوند، اجتناب شده است که این امر قابلیت اطمینان طرح را افزایش می‌دهد.
- انجام شبیه‌سازی‌های گسترده تحت تغییرات ولتاژ تغذیه، دما و فرکانس و مقایسه عادلانه با چهار طرح منتخب و پیشرو از جدیدترین تحقیقات، که برتری کیفی و کمی به ویژه در معیار PDP طرح پیشنهادی را به‌وضوح نشان می‌دهد.

ساختار این مقاله به شرح زیر است: در بخش دوم، مبانی فناوری ترانزیستورهای نانولوله کربنی (CNFET) مرور می‌شود. بخش سوم به معرفی، تحلیل و دسته‌بندی ده معماری مختلف از فشرده‌سازهای پنج-به-دو موجود در ادبیات تحقیقاتی می‌پردازد. در بخش چهارم، جزئیات طراحی مدار و معماری نوین فشرده‌ساز پنج-به-دو پیشنهادی ارائه می‌گردد. بخش پنجم به تشریح شبیه‌سازی، ارائه نتایج کمی و مقایسه عملکرد طرح پیشنهادی با چهار طرح منتخب و پیشرو اختصاص دارد. سرانجام، در بخش ششم، نتیجه‌گیری و پیشنهادهایی برای پژوهش‌های آتی ارائه می‌شود.

۲- فناوری ترانزیستورهای نانولوله کربنی

نانولوله‌های کربنی، ساختارهای استوانه‌ای متشکل از اتم‌های کربن هستند که به دلیل برخورداری از خواص

[1] Partial products generation
[2] partial products additions
[3] final addition

UNCORRECTED PROOF

الکترونیکی و مکانیکی منحصربه‌فرد، گزینه‌ای ایده‌آل برای کاربردهای نانوالکترونیک محسوب می‌شوند. ویژگی کلیدی این مواد، وابستگی خواص الکتریکی به ساختار اتمی (کایرالیتی) آنهاست؛ به طوری که می‌توانند بسته به آرایش اتمی، همانند رساناهای فلزی یا نیمه‌رساناها عمل کنند [4] [5]. این قابلیت، بنیان ساخت ترانزیستورهای اثر میدان نانولوله کربنی (CNFET) را تشکیل می‌دهد.

نانولوله‌های کربنی بر اساس تعداد لایه‌های گرافنی تشکیل‌دهنده به دو دسته اصلی تک‌دیواره (SWCNT) و چنددیواره (MWCNT) تقسیم می‌شوند در این ساختارها، اتم‌های کربن در در آرایشی شش‌ضلعی (شبکه گرافنی) به یکدیگر متصل شده‌اند. کیفیت این آرایش اتمی تأثیر مستقیمی بر خواص الکترونیکی نهایی دارد؛ عیوب ساختاری مانند حضور حلقه‌های پنج‌ضلعی یا هفت‌ضلعی که ممکن است در فرآیندهای ساخت انبوه ایجاد شوند، می‌توانند این خواص مطلوب را تا حد زیادی تضعیف کنند [6].

در ترانزیستورهای نانو لوله کربنی با اتصال سد شاتکی (SB-CNFET)، مکانیسم کنترل جریان متفاوت از ترانزیستورهای متعارف MOSFET است. در این ترانزیستورها، ولتاژ گیت بر عرض سد شاتکی در ناحیه سورس تأثیر مستقیم دارد. جریان روشن (I_{ON}) عمدتاً از طریق تونل‌زنی الکترون‌ها از این سد عبور می‌کند. این مکانیسم منجر به هدایت دوگانه (هم توسط الکترون‌ها و هم حفره‌ها) می‌شود که یکی از ویژگی‌های متمایز این نوع ترانزیستورها است[7] .

خواص الکتریکی یک نانولوله کربنی (رسانایی یا نیمه‌رسانایی) به طور کامل توسط کایرالیتی آن، که با یک جفت عدد صحیح مثبت (n_1, n_2) مشخص می‌شود، تعیین می‌گردد. این اعداد، ضرایب بردار کایرالیتی (C_h) هستند که اندازه آن مطابق رابطه (۱) محاسبه می‌شود. در این رابطه، a فاصله بین اتم‌های کربن و برابر با ۰،۲۴۹ نانومتر است. جهت بردار کایرالیتی نیز بر اساس رابطه‌ی n_1 و n_2 با یکدیگر مشخص می‌شود، یعنی اگر n_1 و n_2 با هم برابر باشند و هر دو مقدار غیرصفر داشته باشند بردار آرمیچر[1] (نوع چیدمان اتم ها به شکل صندلی) ایجاد می شود و چنانچه یکی از اعداد صحیح n_1 و n_2 مقدار غیر صفر داشته باشد و دیگری برابر با صفر باشد بردار زیگزاگ[2] به وجود می‌آید که در این حالت چیدمان اتم‌ها به صورت زیگزاگ می‌باشد[8] [9].

$$C_h = a * \sqrt[2]{{n_1}^2 + {n_2}^2 + n_1 n_2} \qquad (۱)$$

در رابطه (۱)، a فاصله بین اتم‌های کربن و برابر با 0.249nm است. n_1 و n_2 نیز اعداد صحیح و مثبتی هستند که ضرایب بردار کایرالیتی نامیده می‌شوند.

رابطه کلی برای محاسبه قطر نانولوله کربنی با توجه به رابطه بردار کایرالیتی، بر اساس رابطه (۲) می باشد:

$$D_{CNT} = \frac{a * \sqrt[2]{{n_1}^2 + {n_2}^2 + n_1 n_2}}{\pi} \qquad (۲)$$

حاصل کسر $\frac{a}{\pi}$ به طور تقریبی برابر با ۰.۰۷۸۳ می باشد. بنابراین رابطه نهایی برای قطر نانو لوله کربنی به صورت فرمول (۳) می باشد[8]:

$$D_{CNT} = 0.0783 * \sqrt[2]{{n_1}^2 + {n_2}^2 + n_1 n_2} \qquad (۳)$$

در ترانزیستورهای اثر میدانی نانو لوله کربنی می‌توانیم با تغییر پارامترهای n_1 و n_2 و در نتیجه تغییر قطر نانولوله کربنی، ولتاژ آستانه را تنظیم و کنترل نماییم. این مزیت یکی دیگر از دلایل برتری ترانزیستورهای اثر میدانی نانولوله کربنی نسبت به ترانزیستورهای اثر میدانی اکسید فلز به شمار می‌رود. ولتاژ آستانه ترانزیستور نانولوله کربنی با توجه به رابطه (۴) و بر اساس پهنای باند ممنوعه (شکاف انرژی) و به صورت تقریبی محاسبه می‌شود [10]:

$$V_{th} \cong \frac{E_g}{2e} = \frac{\sqrt[2]{3}}{3} * \frac{a * V_\pi}{e * D_{CNT}} \qquad (۴)$$

V_π انرژی پیوندی π-π اتم کربن می‌باشد که تقریبا برابر با ۳.۰۳۳ e.v است، e بار الکترون و D_{CNT} قطر نانو لوله کربنی است [10]. ساده شده رابطه بالا در رابطه (۵) بیان شده است:

$$V_{th} = \frac{0.43}{D_{CNT}(nm)} v \qquad (۵)$$

۳- مروری بر سلول‌های فشرده‌ساز پنج-به-دو طراحی‌شده در مقالات مختلف

فشرده‌ساز پنج-به-دو یک بلوک محاسباتی کلیدی در مراحل کاهش بخش‌های میانی ضرب‌کننده‌ها است. این ساختار که نمودار بلوکی آن در شکل (۲-الف) آمده است،

[1] Armchair

[2] Zigzag

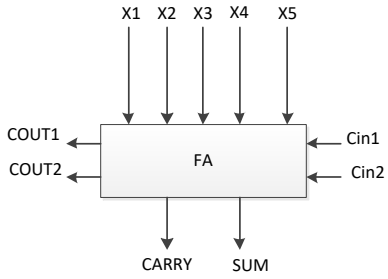
UNCORRECTED PROOF

هفت ورودی و چهار خروجی دارد: پنج ورودی اصلی با وزن بیتی یکسان X1 ، X2، X3، X4، X5 و دو ورودی نقلی از فشرده‌ساز مرحله قبل Cin1 وCin2 .

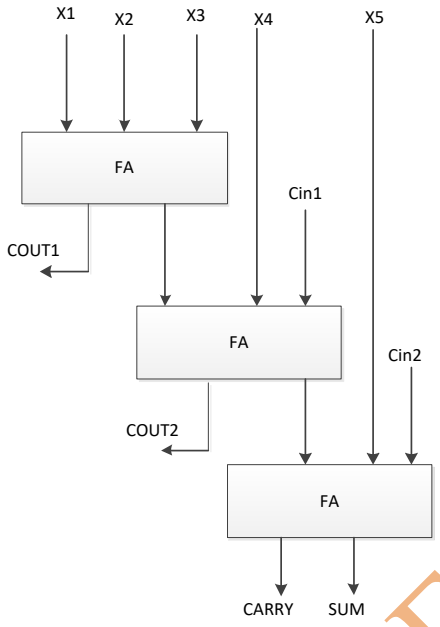
یک خروجی جمع (SUM) با وزن بیتی برابر ورودی‌های اصلی و سه خروجی نقلی CARRY ، Cout1، Cout2 با وزن بیتی یک سطح بالاتر.

معادله (۶) که در ادامه خواهد آمد، رابطه حسابی-بولی حاکم بر تمامی طراحی‌های فشرده‌ساز پنج-به-دو است. اگرچه روش‌های پیاده‌سازی در سطح گیت و ترانزیستور ممکن است متفاوت باشند، اما همه آن‌ها در نهایت از این معادله پایه تبعیت می‌کنند. نقش حیاتی این ساختار در بهینه‌سازی سرعت و توان مصرفی عملیات ضرب، آن را به یک بلوک اساسی در سیستم‌های دیجیتال پربازده تبدیل کرده است.

$$X1+X2+X3+X4+X5+Cin1+Cin2 = SUM+2.(CARRY+COUT1+COUT2) \quad (۶)$$



الف



ب

شکل (۲): بلوک دیاگرام فشرده ساز پنج-به-دو [1]

ساده‌ترین روش برای پیاده‌سازی یک فشرده‌ساز پنج-به-دو، اتصال سری سه مدار تمام‌جمع‌کننده (Full Adder) است. همان‌طور که در شکل (۲-ب) نشان داده شده است، این معماری ساده دارای تأخیر مسیر بحرانی معادل شش گیت XOR می‌باشد.

در این مقاله، با هدف ارائه یک طرح بهینه، ده معماری شاخص از فشرده‌سازهای پنج-به-دو که در ادبیات پژوهشی اخیر ارائه شده‌اند، مورد بررسی و تحلیل ساختاری قرار می‌گیرند. تحلیل حاضر بر ارزیابی مکانیسم عملکرد، مسیر بحرانی، بلوک‌های سازنده مانند انواع گیت‌های XOR و MUXو روش طراحی هر معماری متمرکز است. این بررسی مقدماتی، اساس مقایسه کمی و انتخاب چهار طرح برتر برای سنجش در برابر معماری نوین پیشنهادی این مقاله را فراهم می‌سازد.

UNCORRECTED PROOF

۳-۱- معماری فشرده‌ساز پنج-به-دو بر پایه گیت‌های XOR و MUX ارایه شده در [11]

معماری ارائه‌شده در مرجع [11] که در شکل (۳) نشان داده شده است، از ترکیب گیت‌های XOR و مالتی‌پلکسر (MUX) برای پیاده‌سازی توابع خروجی بهره می‌برد. . تأخیر مسیر بحرانی این طراحی معادل پنج گیت XOR ارزیابی شده است. لازم به ذکر است که عملکرد نهایی این ساختار هم از نظر تأخیر و هم مصرف توان مستقیماً تابعی است از کارایی سلول‌های XOR و MUX به کار رفته در آن.

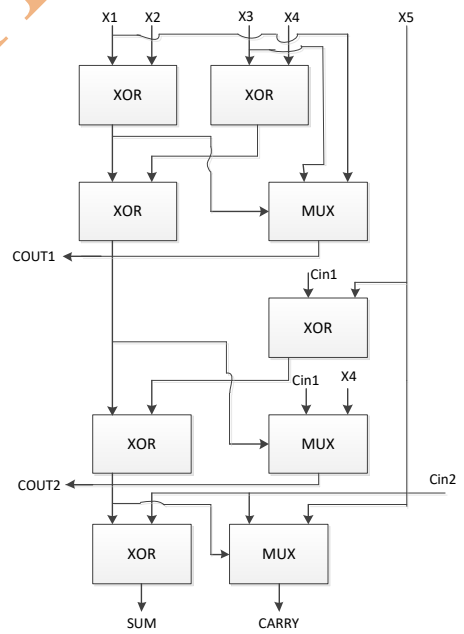
معادلات منطقی چهارگانه خروجی این فشرده‌ساز در روابط (۷) تا (۱۰) بیان شده‌اند:

$$SUM = X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5 \otimes Cin1 \otimes Cin2 \quad (۷)$$

$$CARRY = (X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5 \otimes Cin1).Cin2 + \overline{(X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5 \otimes Cin1)}.X5 \quad (۸)$$

$$COUT1 = (X1 \otimes X2).X3 + \overline{(X1 \otimes X2)}.X1 \quad (۹)$$

$$COUT2 = (X1 \otimes X2 \otimes X3 \otimes X4).Cin1 + \overline{(X1 \otimes X2 \otimes X3 \otimes X4)}.X4 \quad (۱۰)$$



شکل (۳): ساختار فشرده ساز پنج-به-دو طراحی شده در [11]

۳-۲- ساختار فشرده‌ساز پنج-به-دو طراحی شده در [12]

با هدف بهبود عملکرد و کاهش بیشتر تأخیر، معماری پیشرفته‌تری در مرجع [12] ارائه شده است که شماتیک آن در شکل (۴) ترسیم شده است. در این طراحی، تأخیر مسیر بحرانی به مقدار معادل چهار گیت XOR کاهش یافته است. با این حال، دستیابی به این تأخیر بهینه به طور مستقیم به کارایی پیاده‌سازی گیت‌های XOR مورد استفاده وابسته است.

یک ویژگی قابل توجه در این معماری، استفاده از یک بلوک مولد رقم نقلی (Carry Generation - CGEN) برای تولید خروجی Cout1 است. این بلوک را می‌توان به سادگی و با کارایی بالا توسط یک سلول مالتی‌پلکسر پیاده‌سازی کرد.

توابع منطقی خروجی‌های این فشرده‌ساز در روابط (۱۱) تا (۱۴) تعریف شده‌اند.

$$SUM = X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5 \otimes Cin1 \otimes Cin2 \quad (۱۱)$$

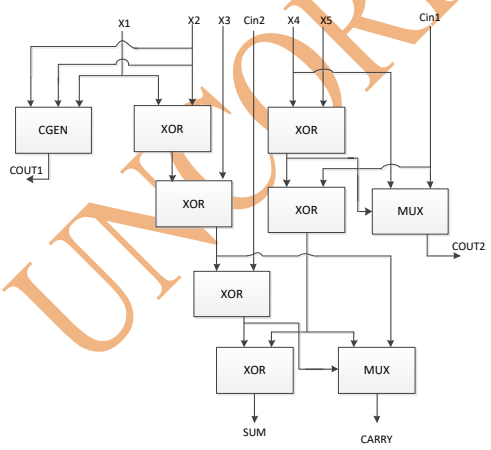
$$COUT1 = (X1 + X2).X3 + X1.X2 \quad (۱۲)$$

$$COUT2 = (X4 \otimes X5).Cin1 + X4.X5 \quad (۱۳)$$

$$= (X4 \otimes X5).Cin1 + \overline{(X4 \otimes X5)}.X4$$

$$CARRY = ((X1 \otimes X2 \otimes X3) \otimes (X4 \otimes X5 \otimes Cin1)).Cin2 + (X1 \otimes X2 \otimes X3).(X4 \otimes X5 \otimes Cin1)$$

$$= ((X1 \otimes X2 \otimes X3).(X4 \otimes X5 \otimes Cin1)).Cin2 + \overline{(X1 \otimes X2 \otimes X3).(X4 \otimes X5 \otimes Cin1)}.(X1 \otimes X2 \otimes X3) \quad (۱۴)$$

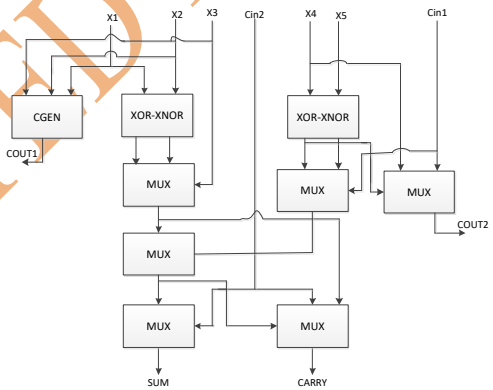


شکل (۴): ساختار فشرده ساز پنج-به-دو طراحی شده در [12]

۳-۳- ساختار فشرده‌ساز پنج-به-دو طراحی شده در [13]

UNCORRECTED PROOF

رویکرد طراحی نوآورانه‌ای در مرجع [13] اتخاذ شده است که در آن، گیت‌های پرمصرف و نسبتاً کند XOR تا حد امکان با گیت‌های مالتی‌پلکسر (MUX) کارآمدتر جایگزین شده‌اند. این معماری که نمودار آن در شکل (۵) ارائه شده، تأخیر مسیر بحرانی جدیدی تعریف می‌کند که معادل یک گیت XOR به علاوه سه گیت MUX است. این طراحی یک معاوضه جالب بین بلوک‌های منطقی مختلف را به نمایش می‌گذارد. در مقایسه با طرح‌های [۱۱] و [۱۲] که تأخیر را صرفاً بر اساس گیت XOR می‌سنجیدند، این معماری از ترکیب دو نوع گیت با ویژگی‌های متفاوت استفاده می‌کند. عملکرد نهایی این طرح شدیداً به نسبت تأخیر و توان واحدهای MUX به XOR در فناوری پیاده‌سازی بستگی دارد. در شرایطی که گیت MUX از نظر تأخیر و توان به‌طور قابل‌توجهی بهینه‌تر از گیت XOR پیاده‌سازی شود، این جایگزینی می‌تواند به بهبود شاخص PDP منجر شود.



شکل(۵): ساختار فشرده ساز پنج-به-دو طراحی شده در [13]

۳-۴- معماری فشرده‌ساز پنج-به-دو مبتنی بر گیت انتقال و ساده‌سازی منطقی (طرح ارجاع [14])

مرجع [14] با هدف ساده‌سازی بیشتر معماری و کاهش منابع مداری، رویکرد متفاوتی را در پیش گرفته است. در این طراحی که در شکل (۶) ارائه شده، از ترکیب گیت‌های منطقی مرسوم با گیت انتقال استفاده شده است. تأخیر مسیر بحرانی در این ساختار معادل دو گیت XOR و دو گیت TG ارزیابی می‌شود.

تحلیل مقایسه‌ای و ملاحظات طراحی: معرفی گیت انتقال (TG) به عنوان یک بلوک بنیادی، یک معاوضه طراحی قابل توجه را نشان می‌دهد. در مقایسه با طرح‌های قبلی که صرفاً بر گیت‌های منطقی استاندارد (NAND, NOR, XOR, MUX) متکی بودند، گیت‌های TG معمولاً با تعداد ترانزیستور کمتر و مصرف توان ایستای پایین‌تری پیاده‌سازی می‌شوند و می‌توانند برای عبور سیگنال‌های آنالوگ یا ریل-به-ریل دیجیتال مناسب باشند. این امر می‌تواند منجر به کاهش کلی مساحت و توان مصرفی شود. با این حال، طراحی و زمان‌بندی مدارهای مبتنی بر TG می‌تواند چالش‌های خاص خود را داشته و مستلزم دقت بیشتری در شبیه‌سازی و چیدمان فیزیکی باشد.

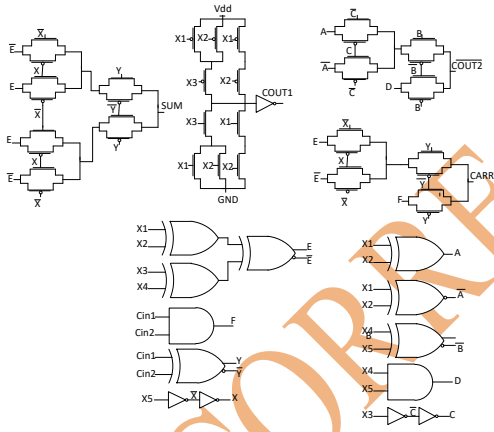
روابط (۱۵) تا (۱۸) توابع منطقی خروجی‌های این فشرده‌ساز را تعریف می‌کنند.

$$SUM = (Cin1 \otimes Cin2).\overline{(a1 \otimes a2 \otimes a3 \otimes a4 \otimes a5)} + \overline{(Cin1 \otimes Cin2)}.(a1 \otimes a2 \otimes a3 \otimes a4 \otimes a5) \quad (۱۵)$$

$$CARRY = (Cin1 \otimes Cin2).(a1 \otimes a2 \otimes a3 \otimes a4 \otimes a5) + \overline{(Cin1 \otimes Cin2)}.(Cin1.Cin2) \quad (۱۶)$$

$$Cout1 = a1.a2 + a3.(a1 + a2) \quad (۱۷)$$

$$COUT2 = (a4 \otimes a5).(a1 \otimes a2 \otimes a3) + \overline{(a4 \otimes a5)}.(a4.a5) \quad (۱۸)$$



شکل(۶): ساختار فشرده ساز پنج-به-دو طراحی شده در [14]

۳-۵- معماری فشرده‌ساز پنج-به-دومبتنی بر بهره‌گیری از ویژگی‌های ذاتی CNFET (طرح ارجاع [15])

این بخش به معرفی یک رویکرد طراحی مبتنی بر فناوری می‌پردازد که در مرجع [15]، ارائه شده است. در این معماری، به جای تمرکز صرف بر بهینه‌سازی منطق گیت‌ها، از ویژگی‌های منحصربه‌فرد ترانزیستورهای نانولوله کربنی به عنوان یک مزیت طراحی فعال استفاده شده است. هسته اصلی این طرح، تغییر ولتاژ آستانه ترانزیستورها در کنار یک شبکه خازنی تقسیم‌ولتاژ است که با همکاری یکدیگر، توابع

UNCORRECTED PROOF

منطقی موردنیاز را با حداقل استفاده از گیت‌های استاندارد پیاده‌سازی می‌کنند. این رویکرد، یک تغییر پارادایم از طراحی سطح گیت به سمت طراحی در سطح ترانزیستور و استفاده از خواص فیزیکی آن را نشان می‌دهد. در مقایسه با تمام طرح‌های مرورشده قبلی که عمدتاً در سطح گیت و مستقل از فناوری خاصی بهینه می‌شدند، این معماری مستقیماً برای فناوری CNFET سفارشی‌سازی شده است. این امر می‌تواند در تئوری به بهبودهای چشمگیر در چگالی ترانزیستور و مصرف توان ایستا منجر شود. با این حال، این مزیت با چندین چالش عملی همراه است. وابستگی شدید به دقت مدل‌سازی و فرآیند ساخت برای کنترل دقیق ولتاژ آستانه و مقادیر خازن، حساسیت بالا به نویز و تغییرات دما، و دشواری بیشتر در طراحی و ابزارهای پشتیبانی نسبت به روش‌های متعارف سطح گیت .معادلات حاکم بر خروجی‌های این فشرده‌ساز در روابط (۱۹) تا (۲۲) ارائه شده است.

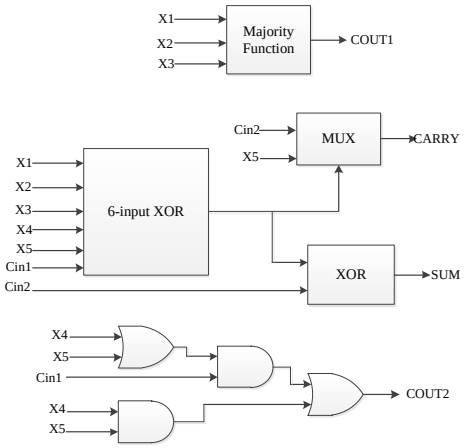
$$SUM = X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5 \otimes Cin1 \otimes Cin2 \quad (۱۹)$$

$$CARRY = (X1 \oplus X2 \oplus X3 \oplus X4 \oplus X5 \oplus Cin1).Cin2 + \overline{(X1 \oplus X2 \oplus X3 \oplus X4 \oplus X5 \oplus Cin1)}.X5 \quad (۲۰)$$

$$COUT1 = Majority(X1, X2, X3) \quad (۲۱)$$

$$COUT2 = (X4 \oplus X5).Cin1 + X4.X5 \quad (۲۲)$$

شکل (۷) دیاگرام این فشرده ساز را نشان می دهد.



شکل(۷): ساختار فشرده ساز پنج-به-دو طراحی شده در [15]

۳-۶- معماری فشرده‌ساز پنج-به-دو مبتنی بر تسهیم‌سازی و فناوری CMOS نانومتری (طرح [16])

عملکرد فشرده‌سازهای پنج-به-دو و شش-به-دو را برای استفاده در ضرب‌کننده‌های موازی با سرعت بالا هدف قرار داده است. این طرح با استفاده از منطق ترکیبی شامل بلوک‌های فشرده‌ساز چهار-به-دو و شمارنده سه-به-دو، یک معماری با عملکرد بالا ارائه می‌دهد. یک نوآوری کلیدی در این معماری، تسریع سرعت از طریق کاهش مشکل انتقال رقم نقلی بین فشرده‌سازهای مجاور است. این بهبود در ساختارهای پنج-به-دو و شش-به-دو پیشنهادی، به‌طور قابل‌توجهی تأخیر مسیر بحرانی را کاهش می‌دهد.

این معماری نمونه‌ای از یک بهینه‌سازی در سطح سیستم است، زیرا عملکرد یک سلول را با در نظر گرفتن تعامل آن در آرایه بزرگتر مثل ضرب‌کننده بهبود می‌بخشد. در مقایسه با طرح‌هایی که صرفاً روی بهینه‌سازی داخلی یک سلول تمرکز داشتند، این رویکرد می‌تواند به بهبودهای چشمگیرتری در سرعت عملیات نهایی ضرب منجر شود. با این حال، ممکن است معاوضه‌ای بین پیچیدگی منطقی داخلی این سلول و سادگی اتصالات خارجی وجود داشته باشد. نتایج شبیه‌سازی این طرح در فناوری CMOS 90 نانومتر و ولتاژ تغذیه ۰.۹ ولت، تأخیر به ترتیب ۳.۵ و ۴ گیت XOR برای ساختارهای پنج-به-دو و شش-به-دو را گزارش کرده که نشان‌دهنده بهبود سرعت ۱۵٪ و ۲۰٪ نسبت به بهترین معماری‌های گزارش‌شده قبلی است، در حالی که مصرف توان و تعداد ترانزیستورها در سطح متعادلی باقی مانده‌اند.

۳-۷- معماری فشرده‌ساز پنج-به-دو و شش-به-دو سطح-سیستم برای ضرب‌کننده‌های موازی (مرجع [17])

مقاله [17] به بررسی و طراحی فشرده‌سازهای ۵-به-۲ و ۶-به-۲ با عملکرد بالا برای استفاده در ضرب‌کننده‌های موازی با سرعت بالا می‌پردازد. در این مقاله، با استفاده از منطق ترکیبی شامل بلوک‌های فشرده‌ساز ۴-به-۲ و شمارنده ۳-به-۲، ساختاری با عملکرد بالا برای فشرده‌ساز ۶-به-۲ ارائه شده است که بهبود قابل توجهی در سرعت نسبت به معماری‌های قبلی نشان می‌دهد. بهینه‌سازی از طریق کاهش مشکل انتقال خروجی Carry بین ساختارهای فشرده‌ساز مجاور انجام شده است. همچنین، با برخی اصلاحات، فشرده‌ساز ۶-به-۲ پیشنهادی به فشرده‌ساز ۵-به-۲ تبدیل می‌شود که تأخیر مسیر بحرانی آن به طور قابل توجهی کاهش یافته و برتری این مدارها را نشان می‌دهد.

UNCORRECTED PROOF

در این مقاله نتایج شبیه‌سازی‌های پس‌ازطرح بر اساس فرآیند استاندارد CMOS 90 نانومتری و منبع تغذیه ۰.۹ ولتی، عملکرد صحیح فشرده‌سازهای پیاده‌سازی شده را تأیید است. تأخیرهای مربوط به ساختارهای ۵-به-۲ و ۶-به-۲ پیشنهادی در این مقاله به ترتیب برابر با ۳.۵ و ۴ دروازه منطقی XOR است که نشان‌دهنده افزایش سرعت ۱۵٪ و ۲۰٪ نسبت به بهترین معماری‌های گزارش شده می‌باشد. مصرف توان و تعداد ترانزیستورهای مدارهای پیشنهادی نیز در سطح متوسطی باقی مانده است، بنابراین با در نظر گرفتن محصول توان-تأخیر (PDP)، این طراحی برای طراحی ضرب‌کننده‌های موازی با سرعت بالا مناسب است.

۳-۸- معماری فشرده‌ساز پنج-به-دو بتنی بر تحلیل و ساده‌سازی جدول درستی (طرح مرجع [18])

مقاله [18] با هدف دستیابی به سرعت فوق‌العاده بالا، یک رویکرد طراحی بنیادی‌تر را دنبال می‌کند. نوآوری این طرح، بازنگری و ساده‌سازی مستقیم جدول درستی سلول فشرده‌ساز و تمرکز بر بهینه‌سازی تولید خروجی رقم نقلی دارد. با کاهش تعداد حالت‌های مؤثر و حذف پیچیدگی‌های غیرضروری در سطح توصیف رفتاری، ساختاری ظریف‌تر حاصل شده است. شبیه‌سازی‌ها و مقایسات ارائه‌شده در مقاله نشان می‌دهد که این معماری به بهبودی چشمگیر در محدوده ۸۰٪ برای معیار حاصلضرب تأخیر-توان نسبت به بهترین طرح‌ها دست یافته است.

۳-۹- معماری فشرده‌ساز پنج-به-دو مبتنی بر بازطراحی معادلات داخلی (طرح مرجع[19])

مقاله [19] نیز با هدف همزمان کاهش مصرف توان و تأخیر، معماری جدیدی ارائه می‌دهد .رویکرد این کار، بازنگری در معادلات داخلی و بهره‌گیری از ساختارهای تمام‌جمع‌کننده به‌گونه‌ای جدید است. ارزیابی‌ها در فناوری CMOS 90نانومتر نشان می‌دهد که این طرح به بهبود ۲۴،۵۹٪ در مصرف توان و ۱۸،۵۴٪ در تأخیر نسبت به دو معماری برتر معیار دست یافته است. همچنین، براساس تحلیل‌های ارائه‌شده، این معماری تحت تغییرات ولتاژ تغذیه و دما نیز از ثبات و برتری در معیار PDP برخوردار است. این مقاله نمونه‌ای از تلاش‌های مؤثری است که از طریق بازتعریف رابطه بین بلوک‌های شناخته‌شده مانند تمام‌جمع‌کننده و بهینه‌سازی همزمان چند پارامتر، به پیشرفت‌های قابل‌توجهی نائل می‌آید.

۳-۱۰- معماری فشرده‌ساز پنج-به-دو مبتنی بر جایگزینی گیت XOR با XNOR (طرح مرجع [20])

مقاله [20] به بررسی یک معماری جدید برای فشرده‌ساز پنج به دو می‌پردازد که با اعمال تغییراتی در معادلات داخلی و استفاده از بلوک‌های تمام جمع کننده‌های بهینه، بهبودهایی در سرعت و مصرف توان به همراه دارد. این مقاله به مقایسه معماری پیشنهادی با بهترین طراحی‌های موجود از نظر توان، تأخیر و مساحت می‌پردازد.

در این مقاله، فشرده‌ساز پنج به دو به عنوان اجزای کلیدی در مرحله کاهش محصول جزئی در ضرب‌کننده‌ها معرفی می‌شوند. طراحی پیشنهادی با استفاده از گیت‌های XNOR به جای XOR و حذف گیت‌های NOT نهایی، به کاهش توان مصرفی و افزایش سرعت عملکرد می‌انجامد. نتایج شبیه‌سازی‌ها نشان می‌دهد که معماری جدید در مقایسه با طراحی‌های موجود، دارای تأخیر کمتر و مصرف توان کمتری است. این مقاله به طور کلی به معرفی و تحلیل معماری‌های مختلف فشرده‌ساز پنج به دو، ارائه یک طراحی بهینه و مقایسه نتایج شبیه‌سازی‌ها می‌پردازد و نشان می‌دهد که طراحی پیشنهادی از نظر کارآیی و مصرف انرژی بهبود قابل توجهی دارد.

۴. ساختار فشرده‌ساز پنج-به-دو پیشنهادی

در این بخش، ساختار جدید پیشنهادی برای فشرده‌ساز پنج-به-دو با استفاده از ترانزیستورهای نانولوله کربنی ارائه می‌شود. همان‌طور که پیش‌تر بیان شد، این سلول دارای هفت ورودی (پنج ورودی اصلی X1 تا X5 و دو ورودی نقلی Cin1 و Cin2 از مرحله قبل) و چهار خروجی (خروجی‌های اصلی به نام‌های SUM و CARRY و دو خروجی نقلی Cout1 و Cout2 برای انتقال به مرحله بعد) است.

با توجه به ساختار فشرده‌ساز پنج-به-دو و معادلات مربوطه، بیشترین تأخیر در این سیستم مربوط به خروجی‌های SUM و CARRY است. به همین دلیل، طراحی جدید

UNCORRECTED PROOF

تمرکز ویژه‌ای بر بهبود این دو خروجی دارد. در میان خروجی‌ها، خروجی CARRY دارای بیشترین تأخیر است. معادلات خروجی این فشرده‌ساز بر اساس معادلات (۲۳) تا (۲۶) بازنویسی شده‌اند تا به‌طور دقیق‌تری به تأخیرها پرداخته شود و بهینه‌سازی‌های لازم انجام گیرد.

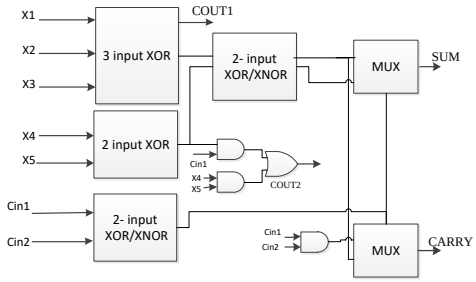
$$SUM = (Cin1 \otimes Cin2).\overline{(X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5)} + \overline{(Cin1 \otimes Cin2)}.(X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5) \quad (۲۳)$$

$$CARRY = (Cin1 \otimes Cin2).(X1 \otimes X2 \otimes X3 \otimes X4 \otimes X5) + \overline{(Cin1 \otimes Cin2)}.(Cin1.Cin2) \quad (۲۴)$$

$$COUT1 = (X1 + X2).X3 + X1.X2 \quad (۲۵)$$

$$COUT2 = (X4 \oplus X5).Cin1 + X4.X5 \quad (۲۶)$$

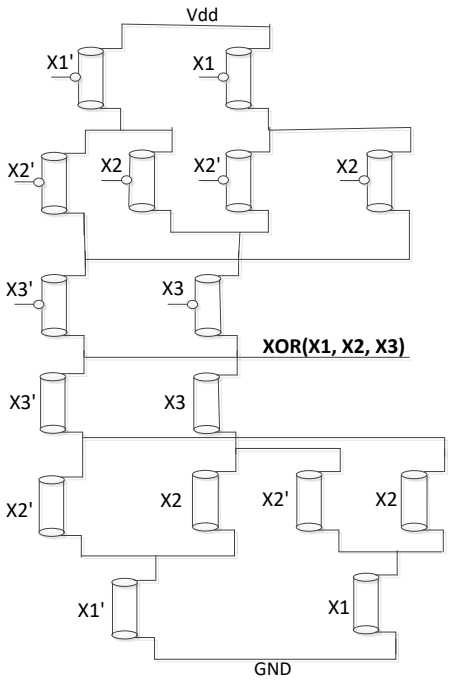
بر طبق این معادلات جهت طراحی فشرده ساز پنج-به-دو می‌توان با یک‌مرتبه محاسبه مقدار XOR ورودی‌های X1, X2, X3, X4, X5، در ساختار مدار ۳ مرتبه از آن استفاده کرد، که این امر به ماژولار بودن و سادگی مدار بسیار کمک می‌کند و هزینه محاسبات و ساخت را کاهش می‌دهد. با توجه به این توضیحات و معادلات (۲۰) الی (۲۳) شماتیک مدار فشرده ساز پنج-به-دو پیشنهادی در شکل(۸) نشان داده شده است. خروجی COUT1 نیز با استفاده از تابع اکثریت تولید می‌شود.



شکل (۸). ساختار فشرده ساز پنج-به-دو پیشنهادی

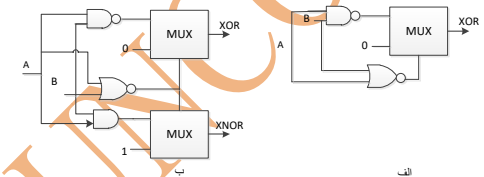
جهت طراحی XORها می‌توان از شبکه خازنی استفاده نمود. اما به دلیل چالش‌هایی از جمله نویزپذیری و مصرف توان بالا در طراحی فشرده ساز پیشنهادی از خازن استفاده نشده است. در ادامه به بررسی چگونگی طراحی هر کدام از گیت‌های مورد استفاده در ساختار فشرده‌ساز پیشنهادی پرداخته خواهد شد.

ساختار XOR سه ورودی $(X1 \oplus X2 \oplus X3)$ در شکل (۹) نشان داده شده است. از جمله ویژگی‌های این ساختار سادگی طراحی سادگی طراحی، متقارن بودن و در نتیجه کاهش هزینه‌های طراحی و ساخت می‌باشند.



شکل (۹). ساختار XOR سه-ورودی

جهت XOR\XNOR دو ورودی از ساختار جدیدی که در شکل (۱۰) نشان داده شده، استفاده شده است. جهت کاهش تاخیر مدار پیشنهادی ساختار طراحی شده به گونه ای است که خروجی XOR و XNOR را همزمان تولید می‌کند. بر طبق معادلات (۲۳) و (۲۴) برای تولید خروجی-های SUM و CARRY نیاز به این گیت‌هاست. ویژگی-های این گیت سادگی طراحی و تولید همزمان هر ۲ خروجی می‌باشند.



شکل(۱۰). ساختار گیت XOR/XNOR

جهت تولید خروجی COUT1 نیز از معادله (۲۲) استفاده شده است. همانطور که مشخص است از خروجی گیت AND موجود برای XOR دو ورودی می‌توان برای تولید COUT1 استفاده کرد.

۵. نتایج شبیه‌سازی و مقایسه

برای مقایسه و بررسی کارآیی مدارهای فشرده ساز پنج-به-دو پیشنهادی و ارائه‌شده در مقالات دیگر؛ شبیه سازی

UNCORRECTED PROOF

جامعی نسبت به شرایط محیطی مختلف توسط نرم افزار شبیه ساز Synopsys HSPICE انجام شده‌است. برای شبیه‌سازی از ترانزیستورهای CNFET و مدل کتابخانه ای ۳۲ نانومتر دانشگاه استنفورد[1] استفاده شده است [21], [22]. این مدل برای ترانزیستورهای مشابه MOSFET که دارای یک نانو لوله کربنی یا بیشتر هستند، ایجاد شده است. این مدل اثرات سد شاتکی[2] و اثرات پارازیتی[3] شامل وجود مقاومت از نانو لوله کربنی به ناحیه های سورس، درین و گیت را در نظر می‌گیرد. در این مدل شبیه‌سازی؛ مقاومت های پارازیتی و خازن های ارتباطی نیز در نظر گرفته می-شود. برخی از پارامترهای مهم این مدل به همراه توصیف مختصری از آن در جدول (۲) آمده است. همانطور که در این جدول مشخص شده‌است کلیه پارامترهای در نظر گرفته شده برای ترانزیستورهای مبتنی بر نانو لوله های کربنی مشخص گردیده و بر اساس این پارامترها تمام شبیه سازی‌های صورت گرفته مدل می شوند.

جهت مقایسه بهترین و جدیدترین سلول‌های فشرده ساز پنج-به-دو که تاکنون در مقالات مختلف طراحی شده، انتخاب شده است [15] [16] [17] [18].

۵-۱- نتایج شبیه‌سازی در فرکانس‌های کاری مختلف

طرح‌های مختلف فشرده ساز پنج-به-دو را در شرایط فرکانس کاری ۱۰۰و ۲۵۰و ۵۰۰ و ۱۰۰۰ مگاهرتز و منبع تغذیه ۰.۷ ولت و خازن بار ۲.۱fF و دمای ۲۷ درجه سانتی-گراد شبیه‌سازی شده‌اند. نتایج شبیه‌سازی در جدول (۳) آمده است.

در شکل(۱۱) نتایج شبیه‌سازی در فرکانس‌های مختلف نشان داده شده است. نتایج بیانگر اینست که مدار پیشنهادی دارای PDP کمتری نسبت به سایر ساختارهای فشرده ساز پنج-به-دو در فرکانس‌های مختلف است.

۵-۲- نتایج شبیه‌سازی در منبع تغذیه‌های مختلف

مدار فشرده‌ساز پنج-به-دو پیشنهادی و دیگر ساختارهای فشرده ساز در مقالات را بار دیگر با تغییرات منبع تغذیه در دمای ۲۷ درجه سانتی‌گراد و خازن بار ۲.۱fF شبیه‌سازی شده‌اند. نتایج این شبیه‌سازی در جدول (۴) و شکل (۱۲) آمده است. بر اساس نتایج بدست‌آمده مدار فشرده ساز طراحی شده پیشنهادی دارای PDP کمتر نسبت به بقیه مدارات طراحی شده قبلی است.

۵-۳- نتایج شبیه سازی در برابر تغییرات دما

تغییرات دما از جمله عواملی است که کارآیی و عملکرد مدار را تحت تاثیر قرار می دهد. به منظور بررسی کارآیی و استحکام مدار در برابر تغییرات دما؛ مدارهای فشرده ساز ارائه شده از دمای ۰ تا ۷۰درجه سانتیگراد، با منبع تغذیه ۰.۷ ولت و خازن بار ۲.۱fF شبیه سازی و مقایسه شده اند. نتایج حاصل در شکل(۱۳) نشان داده شده است. بر طبق این شکل مدار فشرده ساز طراحی شده دارای عملکرد مناسب است.

۶. نتیجه‌گیری

فشرده‌سازها مدارهای محاسباتی هستند که برای تولید حاصل‌جمع جزئی در عملیات ضرب استفاده می‌شوند. فناوری ترانزیستورهای نانولوله‌های کربنی (CNTFET) یکی از بهترین فناوری‌ها برای جایگزینی MOSFET است. در این مقاله یک ساختار جدید برای فشرده ساز پنج-به-دو با استفاده از ترانزیستورهای نانولوله کربنی طراحی شده است. جهت ارزیابی کارآیی سلول‌های مختلف فشرده ساز، شبیه‌سازی متنوعی با استفاده از نرم افزار شبیه‌ساز **Synopsys HSPICE** در شرایط مختلف کاری مانند فرکانس‌های کاری، منابع تغذیه و دماهای مختلف شبیه-سازی شده‌اند. نتایج شبیه‌سازی برتری ساختار پیشنهادی را نسبت به مداراهای نظیر ارائه‌شده در مقالات پیشین را نشان می‌دهد. به عنوان گام‌های آینده این پژوهش، می‌توان بررسی عملکرد فشرده‌ساز پیشنهادی در آرایه‌های بزرگ ضرب‌کننده و بهینه‌سازی بیشتر برای کاربردهای کم‌مصرف و پرسرعت مانند پردازنده‌های سیگنال و سیستم‌های نهفته را پیشنهاد نمود.

۷. منابع

[1] Agarwal, Shantanu, G. Harish, S. Balamurugan, and R. Marimuthu. "Design of High Speed 5:2 and 7:2 Compressor Using Nanomagnetic Logic." In *VLSI Design and Test*, edited by S. Rajaram, N.B. Balamurugan, D. Gracia Nirmala Rani, and Virendra Singh, 892:45–56. Communications in Computer and Information Science. Singapore:

[1] Stanford University
[2] Schottky Barrier (SB)
[3] Parasitic

UNCORRECTED PROOF

Adder and Compressor." In *VLSI Design: Circuits, Systems and Applications*, edited by J. Li, A. R. Sankar, and P. A. S. Beulet, 69–78. Singapore: Springer, 2018. https://doi.org/10.1007/978-981-10-7251-2_8.

[11] Oklobdzija, Vojin G., and K. Nowka. "Low-Power 4-2 and 5-2 Compressors." In *Conference Record of the Thirty-Fifth Asilomar Conference on Signals, Systems and Computers (Cat. No.01CH37256)*, 1:290–94. Pacific Grove, CA, USA: IEEE, 2001. https://doi.org/10.1109/ACSSC.2001.986892.

[12] Chang, Chip-Hong, Jiangmin Gu, and Mingyan Zhang. "Ultra Low-Voltage Low-Power CMOS 4-2 and 5-2 Compressors for Fast Arithmetic Circuits." *IEEE Transactions on Circuits and Systems I: Regular Papers* 51, no. 10 (October 2004): 1985–97. https://doi.org/10.1109/TCSI.2004.835683.

[13] Veeramachaneni, Sreehari, M. Krishna, L. Avinash, S. R. Puppala, and M. B. Srinivas. "Novel Architectures for High-Speed and Low-Power 3-2, 4-2 and 5-2 Compressors." In *20th International Conference on VLSI Design Held Jointly with 6th International Conference on Embedded Systems (VLSID'07)*, 324–29. Bangalore, India: IEEE, 2007. https://doi.org/10.1109/VLSID.2007.116.

[14] Tohidi, M., A. Abolhasani, K. Hadidi, and A. Khoei. "CMOS Implementation of a New High Speed 5-2 Compressor for Parallel Accumulations." *IEICE Electronics Express* 10, no. 21 (2013): 20130364. https://doi.org/10.1587/elex.10.20130364.

[15] Bagherizadeh, Mehdi, M. H. Moaiyeri, and M. Eshghi. "A High-Performance 5-to-2 Compressor Cell Based on Carbon Nanotube FETs." *International Journal of Electronics* 106, no. 6 (June 2019): 912–27. https://doi.org/10.1080/00207217.2019.1576230.

[16] Fathi, A., B. Mashoufi, and S. Azizian. "Very Fast, High-Performance 5-2 and 7-2 Compressors in CMOS Process for Rapid Parallel Accumulations." *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 28, no. 6 (June 2020): 1403–12. https://doi.org/10.1109/TVLSI.2020.2983458.

[17] Rahnamaei, Ali. "CMOS High-Performance 5-2 and 6-2 Compressors for High-Speed Parallel Multipliers." *Informacije MIDEM* 50, no. 3 (September 2020): 115–24. https://doi.org/10.33180/InfMIDEM2020.204.

Springer, 2019. https://doi.org/10.1007/978-981-13-5950-7_5.

[2] Bagherizadeh, Mehdi, and M. Eshghi. "Two Novel Low-Power and High-Speed Dynamic Carbon Nanotube Full-Adder Cells." *Nanoscale Research Letters* 6, no. 1 (September 2011): 519. https://doi.org/10.1186/1556-276X-6-519.

[3] Hashemipour, M., R. F. Mirzaee, and K. Navi. "21T Ternary Full Adder Based on Capacitive Threshold Logic and Carbon Nanotube FETs." *IEEE Transactions on Nanotechnology* 23 (2024): 338–45. https://doi.org/10.1109/TNANO.2024.3386825.

[4] Mehrabani, Yavar Safaei, and Reza Faghih Mirzaee. "DAFA: Dynamic Approximate Full Adders for High Area and Energy Efficiency." *Integration* 97 (July 2024): 102191. https://doi.org/10.1016/j.vlsi.2024.102191.

[5] Bagherizadeh, Mehdi, M. Moradi, and M. Torabi. "Designing a Novel High Performance Four-to-Two Compressor Cell Based on CNTFET Technology for Low Voltages." *International Journal of Electrical and Computer Engineering (IJECE)* 8, no. 6 (December 2018): 4863–70. https://doi.org/10.11591/ijece.v8i6.pp4863-4870.

[6] Darvishi, Mehdi, and Mehdi Bagherizadeh. "A New High-Performance Bridge Structure for 4-to-2 Compressor Using CMOS and CNFET Technology." *International Journal of Modern Education and Computer Science* 9, no. 6 (June 2017): 48. (in Persian)

[7] Sharifi, F., A. H. Hosseini, and M. Nouraei. "Design of a CNFET-Based Quaternary Full Adder." *Tabriz Journal of Electrical Engineering* 54, no. 2 (July 2024): 183–92. https://doi.org/10.22034/tjee.2023.58077.4695.

[8] Sridevi, S., and T. S. R. Priya. "Design of High-Speed and Power-Efficient Ternary Prefix Adders Using CNFETs." *IEEE Transactions on Nanotechnology* 17, no. 4 (July 2018): 772–82. https://doi.org/10.1109/TNANO.2018.2797907.

[9] Karimi, A., and K. Navi. "The Design of Adder, Subtractor, and Derivative Circuits Without the Use of Op-Amp in CNFET Technology." *Computers and Electrical Engineering* 113 (January 2024): 109047. https://doi.org/10.1016/j.compeleceng.2023.109047.

[10] Jeevan, B., and K. Sivani. "A New High-Speed Multiplier Based on Carry-Look-Ahead

UNCORRECTED PROOF

Transistors Including Nonidealities and Its Application—Part I: Model of the Intrinsic Channel Region." *IEEE Transactions on Electron Devices* 54, no. 12 (December 2007): 3186–94. https://doi.org/10.1109/TED.2007.909030.

[22] Deng, J., and H.-S. Philip Wong. "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application—Part II: Full Device Model and Circuit Performance Benchmarking." *IEEE Transactions on Electron Devices* 54, no. 12 (December 2007): 3195–3205. https://doi.org/10.1109/TED.2007.909890.

[18] Fathi, A., M. M. Ghasemi, and A. Khoei. "Design and Performance Analysis of an Ultra-High-Speed 5-2 Compressor." *International Journal of Circuit Theory and Applications* 50, no. 5 (May 2022): 1576–88. https://doi.org/10.1002/cta.3247.

[19] Najafi, A., A. Najafi, and S. Mirzakuchaki. "Low-Power and High-Performance 5:2 Compressors." In *2014 22nd Iranian Conference on Electrical Engineering (ICEE)*, 33–37. Tehran, Iran: IEEE, 2014. https://doi.org/10.1109/IranianCEE.2014.6999498.

[20] Srinivas, N., and Y. R. Rao. "Design of High Speed 5:2 Compressor for Fast Arithmetic Circuits." *International Journal of Innovative Research in Computer and Communication Engineering* 5, no. 5 (2017).

[21] Deng, J., and H.-S. Philip Wong. "A Compact SPICE Model for Carbon-Nanotube Field-Effect

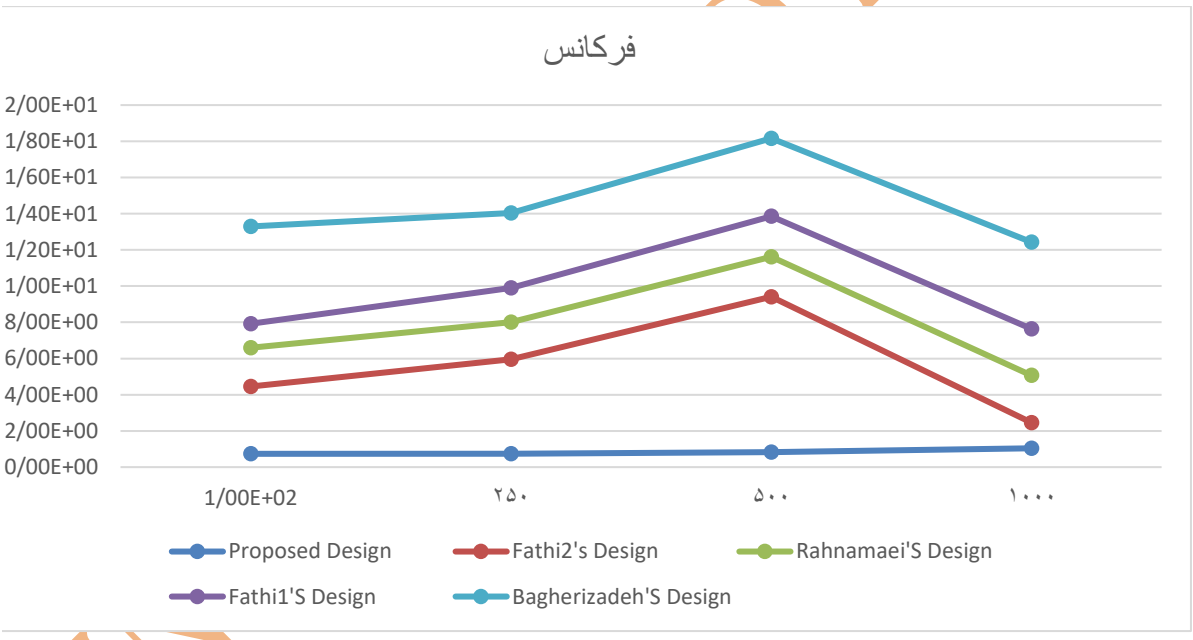
جدول (۲). برخی از پارامترهای مدل نانو لوله کربنی

پارامتر ترانزیستور	مقدار	توضیحات
L_{ch}	32nm	طول فیزیکی کانال
L_{geff}	100nm	میانگین مسیرهای آزاد در ناحیه گانال ذاتی نانو لوله کربنی بر اساس اثر پراکندگی ارتجاعی غیر آیده آل[۱]
L_{ss}	32nm	طول نانو لوله کربنی باردار شده در ناحیه سورس ترانزیستور[۲]
L_{dd}	32nm	طول نانو لوله کربنی باردار شده در ناحیه درین ترانزیستور
K_{gate}	16	ضریب دی الکتریک عایق گیت ترانزیستور
T_{ox}	4nm	ضخامت عایق گیت ترانزیستور
C_{sub}	40pF/m	خازن متقابل میان ناحیه کانال و بستر ترانزیستور
Efi	0.6ev	درجه بارداری لوله ها[۳]
Pitch	4.0nm	فاصله میان مرکز نانولوله کربنی از نانو لوله کربنی مجاور در یک ترانزیستور
(n1, n2)	(19,0)	کایرالیتی[۴] لوله ها
Tubes	Random Number fit to Gaussian(8,3,3)	تعداد نانو لوله های کربنی درون ترانزیستور
W_{gate}	6.4nm	عرض فلز گیت[۵]

[1] The mean free path in the intrinsic CNT channel
[2] The length of doped CNT source-side extension region
[3] The Fermi level of the doped S/D tube
[4] Chirality
[5] Metal gate

UNCORRECTED PROOF

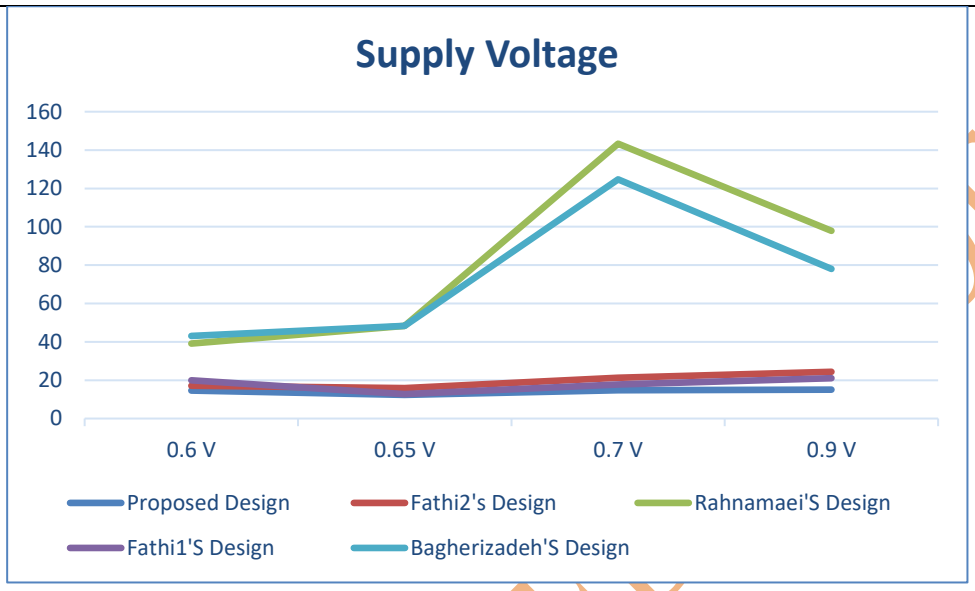
جدول(۳). نتایج شبیه‌سازی مدارهای فشرده ساز پنج-به-دو در فرکانس‌های کاری مختلف					
Design	۱۰۰	۲۵۰	۵۰۰	۱۰۰۰	**Parameters**
Proposed	1.022	1.0317	1.0338	1.8677	Delay(E-10)
	1.8061	4.2249	8.0569	8.1559	Power(-07)
	1.8459	4.3591	8.3292	8.6076	PDP(E-17)
Fathi2's design [18]	1.0725E-10	1.2539E-10	1.2454E-10	1.4359E-10	Delay
	7.9966E-07	1.5039E-06	2.5131E-06	2.6121E-06	Power
	8.5765E-17	1.8858E-16	3.1299E-16	6.419E-16	PDP
Rahnamaei's design [17]	6.4368E-11	6.4382E-11	6.5411E-11	5.2213E-10	Delay
	4.0483E-07	9.9482E-07	1.9747E-06	4.1369E-06	Power
	2.6058E-17	6.4048E-17	1.2917E-16	2.1600E-15	PDP
Fathi1's design [16]	1.4184E-11	1.3421E-11	9.9996E-10	9.9867E-10	Delay
	1.8136E-07	4.3674E-07	8.6600E-07	1.7205E-06	Power
	2.5724E-18	5.8615E-18	8.6597E-16	1.7182E-15	PDP
Bagherizadeh's Design [15]	2.0887E-11	2.0531E-11	2.0887E-11	5.1688E-10	Delay
	2.2938E-05	1.9972E-05	2.0962E-05	2.2907E-05	Power
	4.7909E-16	4.10E-16	4.3784E-16	1.1840E-14	PDP



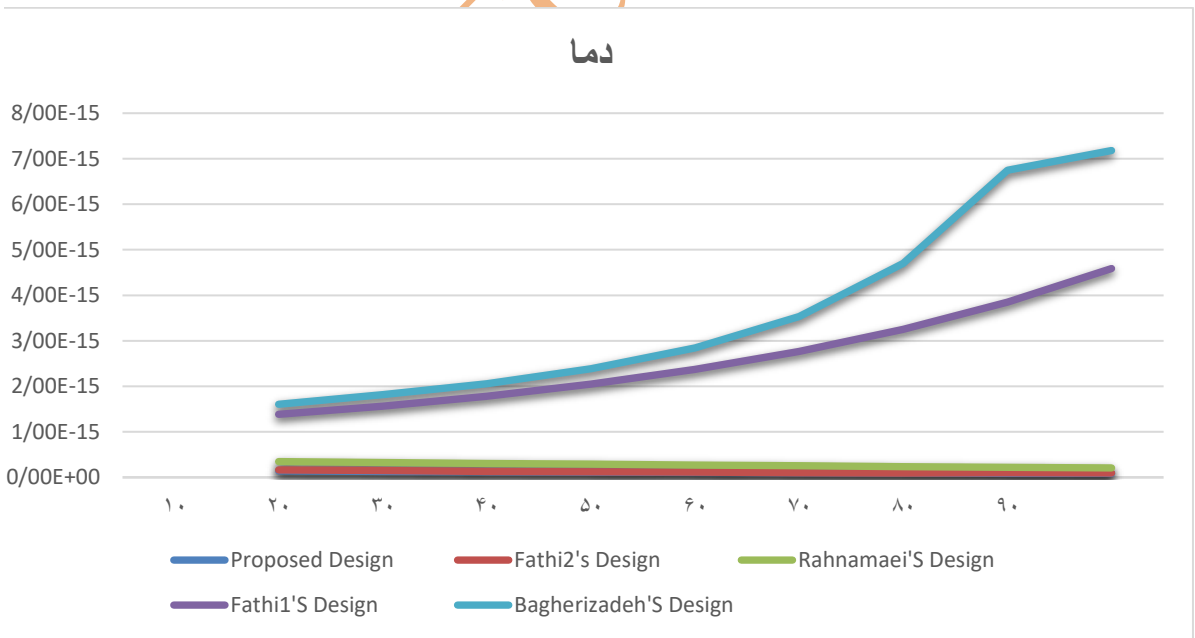
شکل(۱۱) نتایج شبیه‌سازی مدارهای فشرده ساز پنج-به-دو در فرکانس‌های مختلف

جدول (۴). نتایج شبیه‌سازی مدارهای فشرده ساز ۵:۲ در منبع تغذیه‌های مختلف					
Design	**0.6**	**0.7**	**0.8**	**0.9**	**parameters**
Proposed	198.24	131.17	103.38	8.6786E-11	Delay(pS)
	0.37063	0.56071	0.80569	1.1984E-02	Power(mW)
	0.73473	0.73548	0.83292	1.0401E-12	PDP(aj)
Fathi2's design [18]	1.6422E-10	1.2736E-10	1.0725E-10	9.5414E-11	Delay
	2.2695E-07	4.1053E-07	7.9966E-07	1.4869E-06	Power
	3.7271E-17	5.2285E-17	8.5765E-17	1.4187E-16	PDP
Rahnamaei's design [17]	1.4406E-10	9.5417E-11	7.4709E-11	6.4368E-11	Delay
	1.4781E-07	2.1474E-07	2.9536E-07	4.0483E-07	Power
	2.1293E-17	2.0490E-17	2.2066E-17	2.6058E-17	PDP

Fathi1's design [16]	2.0182E-11	1.8454E-11	1.5454E-11	1.4184E-11	Delay
	6.6002E-08	1.0188E-07	1.4468E-07	1.8136E-07	Power
	1.3321E-18	1.8801E-18	2.2359E-18	2.5724E-18	PDP
Bagherizadeh's Design [15]	6.5259E-11	3.3697E-11	2.5065E-11	2.0887E-11	Delay
	8.2321E-06	1.2293E-05	1.7190E-05	2.2938E-05	Power
	5.3722E-16	4.1424E-16	4.3087E-16	4.7909E-16	PDP



شکل(۱۲). مقایسه نتایج شبیه‌سازی مدارهای فشرده ساز پنج-به-دو در منبع تغذیه‌های مختلف



شکل(۱۳). نتایج شبیه‌سازی مدارهای فشرده ساز پنج-به-دو در برابرتغییرات دما

Design and Analysis of a High-Performance, Low-Power 5-to-2 Compressor Using Carbon Nanotube Field-Effect Transistors

Mehdi Bagherizadeh

Department of Computer Engineering, Raf.C. , Islamic Azad University, Rafsanjan, Iran

*****Corresponding Author: Mehdi Bagherizadeh, Email: m.bagherizadeh@srbiau.ac.ir

ARTICLE INFO

Keywords:

5-to-2 Compressor;

CNFET;

Parallel Multiplier;

Low-Power Design.

ABSTRACT

Scaling of complementary metal-oxide-semiconductor (CMOS) technology to the nanoscale introduces many limitations such as increased leakage currents, high power dissipation, and short-channel effects. Carbon nanotube field-effect transistors (CNFETs) have been proposed as an efficient alternative for designing high-performance, low-power circuits. The Multiplication operation is fundamental to many computing systems, including microprocessors and digital signal processors (DSPs), where compressor cells serve as the basic building blocks for accumulating partial products. In this paper, we first review and analyze ten existing 5-to-2 compressor architectures. Subsequently, we propose a novel 5-to-2 compressor design based on CNFET technology. The proposed design was comprehensively simulated under varying environmental conditions using the Synopsys HSPICE tool. Its performance was compared against four state-of-the-art 5-to-2 compressors in terms of delay, power consumption, and power-delay product (PDP). Simulation results demonstrate a superior performance, achieving a lower PDP compared to all other designs.

UNCORRECTED PROOF